

60 nm 와 20 nm 두께의 수소화된 비정질 실리콘에 따른 저온 니켈실리사이드의 물성 변화

김종률 · 박종성 · 최용윤 · 송오성*

서울시립대학교 신소재공학과, 서울 130-743

(2008년 8월 19일 받음, 2008년 9월 25일 수정, 2008년 10월 16일 확정)

ICP-CVD를 사용하여 수소화된 비정질 실리콘(a-Si:H)을 60 nm 또는 20 nm 두께로 성장 시키고, 그 위에 전자총증착장치(e-beam evaporator)를 이용하여 30 nm Ni 증착 후, 최종적으로 30 nm Ni/(60 또는 20 nm a-Si:H)/200 nm SiO₂/single-Si 구조의 시편을 만들고 200~500°C 사이에서 50°C간격으로 40초간 진공열처리를 실시하여 실리사이드화 처리하였다. 완성된 니켈실리사이드의 처리온도에 따른 면저항값, 상구조, 미세구조, 표면조도 변화를 각각 사점면저항측정기, HRXRD, FE-SEM과 TEM, SPM을 활용하여 확인하였다. 60 nm a-Si:H 기판 위에 생성된 니켈실리사이드는 400°C이후부터 저온공정이 가능한 면저항값을 보였다. 반면 20 nm a-Si:H 기판 위에 생성된 니켈실리사이드는 300°C이후부터 저온공정이 가능한 면저항값을 보였다. HRXRD 결과 60 nm 와 20 nm a-Si:H 기판 위에 생성된 니켈실리사이드는 열처리온도에 따라서 동일한 상변화를 보였다. FE-SEM과 TEM 관찰결과, 60 nm a-Si:H 기판 위에 생성된 니켈실리사이드는 저온에서 고저항의 미반응 실리콘이 잔류하고 60 nm 두께의 니켈실리사이드를 가지는 미세구조를 보였다. 20 nm a-Si:H 기판위에 형성되는 니켈실리사이드는 20 nm 두께의 균일한 결정질 실리사이드가 생성됨을 확인하였다. SPM 결과 모든 시편은 열처리온도가 증가하면서 RMS값이 증가하였고 특히 20 nm a-Si:H 기판 위에 생성된 니켈실리사이드는 300°C에서 0.75 nm의 가장 낮은 RMS 값을 보였다.

주제어 : 나노급 니켈 실리사이드, ICP-CVD, 수소화된 비정질 실리콘, 플렉트로닉스, 쾌속열처리

I. 서 론

수소화된 비정질 실리콘(hydrogenated amorphous silicon, a-Si:H)은 a-Si에 글로우 방전(glow discharge) 또는 플라즈마 화학기상증착장비(plasma enhanced chemical vapor deposition, PECVD)를 이용하여 수소를 도핑 시킨 박막재료이다.

실리콘 계열인 a-Si는 유리 기판에 저온공정을 위한 박막재료이며, 단결정 및 다결정 실리콘과 다르게 결합밀도가 높아 일정한 에너지 밴드 갭을 가질 수 없는 문제가 있어서 결합밀도를 감소시키기 위해 a-Si에 수소를 도핑시켜서 일정한 에너지 밴드 갭을 유지할 수 있는 a-Si:H가 개발되었으며, 현재 TFT-LCD(thin film transistor liquid crystal display)의 스위칭 소재로 널리 사용되는 중요한 재료이다.¹⁾

이러한 저온 공정용 a-Si:H는 기존의 주요 응용처인 반도체분야의 배선층과 TFT-LCD이외에도 차세대 디스플레이의 AMOLED(active matrix organic light emitting

diode)와 p-n 접합의 박막태양전지에도 채용이 가능한 것으로 예상된다. AMOLED는 TFT-LCD 보다 구동전압이 낮고, 자체 발광하기 때문에 휘도와 효율이 높고, 시야각이 넓으며, 대조비(contrast)가 우수하다. 특히 TFT-LCD와 달리 후면광(backlight unit)이 필요 없어 디스플레이의 두께를 유리 정도의 두께로 매우 얇게 할 수 있으며, 유리 기판 대신에 폴리머 기판(플라스틱)을 이용한 플렉시블 디스플레이에도 적용이 가능한 것으로 예상된다.^{2,3,4)}

또한 a-Si:H는 태양전지분야에도 널리 사용된다. 물론 단결정, 다결정 실리콘을 이용한 태양전지보다 현재 수준에서 아직 에너지 변환효율은 낮으나, 제조공정 단가 및 이용 분야가 다양하다는 큰 장점을 가지고 있다.⁵⁾ 특히 AMOLED와 같이 유리 기판 또는 폴리머 기판을 이용하여 대형화 태양광 모듈의 가능하며, 폴리머 기판을 이용 시에는 플렉시블한 태양전지를 구사할 수 있어 평평하지 않은 표면을 가진 구조물에도 적용이 가능하다.

아직까지 TFT-LCD에 채용되는 a-Si:H는 큰 문제없이 사용되고 있으나, 최근 플렉시블 기판을 이용한 AMOLED

* [전자우편] songos@uos.ac.kr

의 TFT와 p-n 접합의 박막 태양전지 관련하여 기판 위에 형성되는 a-Si:H에 낮은 이동도($0.5\sim 1 \text{ cm}^2/\text{Vs}$)에 따른 전기전도도 감소로 재료의 한계에 도달하였다. 이러한 a-Si:H의 낮은 이동도에 의해서 저항이 증가하며, 결국 RC 지연효과(resistance and capacitance delay)가 발생하고 디스플레이 화면에 왜곡이 생겨 표시품질 저하 및 태양전지의 낮은 효율 문제가 발생하게 된다. 따라서 접촉저항과 기생 커패시터를 감소시켜 빠른 동작의 TFT를 제작과 효율이 높은 태양전지를 위해서는 a-Si:H 대체할 저저항이면서도 저온공정으로 제작이 가능한 실리사이드와 같은 새로운 배선층 소재 개발이 필요하다.

최근 들어 a-Si:H의 한계를 극복하기 위해서 Ibaraki 등⁶⁾ 과 Hattori 등⁷⁾ 은 나노급 a-Si:H 위에 전이금속을 반응시켜 형성된 실리사이드가 RC지연효과를 개선시켜 TFT의 채널층에 향상된 채널전류가 가능하다고 보고하였다. 또한 Hwang⁸⁾ 등은 a-Si:H에 Ni금속의 두께를 달리하여 실리사이드화 함으로써 결정화가 발달한 니켈실리사이드가 형성되어 에너지 변환효율을 높인 p-n접합의 박막 태양전지도 보고한 바 있다.

실리사이드(silicide)는 실리콘과 전이금속이 정량적인 화학비로 결합한 중간상 물질로써, CMOS(complementary metal-oxide semiconductor)공정의 게이트상부와 소오스/드레인 상부에 선택적으로 형성시켜 배선층과의 확산으로 인한 스파이킹 현상을 방지하기 위해 WSi_x 가 채용되었다. 이후로 전기적으로 소자의 접촉저항을 줄임으로 RC 지연효과를 개선하여 ohmic contact을 형성하는 것과 공정적 측면에서 TFT와 금속배선층 사이를 연결하기 위한 ILD(inter layer dielectric)층 건식식각에서 게이트와 소오스/드레인간의 높이 차이를 해결할 수 있는 에치 스톱핑층(etch sopping layer)으로 역할을 하며, 이미 TiSi_2 , CoSi_2 , NiSi 등 다양한 실리사이드가 개발되었다.^{9,10,11)} 이러한 실리사이드는 최근 반도체소자의 고집적화에 따른 소자선평이 수 나노미터가 되면서 반도체 제조공정에서 매우 보편적인 단위공정으로 자리 잡고 있으며, 특히 니켈실리사이드가 나노급 소자에 적합한 것으로 알려져 있다. 그러나 실리사이드를 플렉시블 기판 디스플레이와 p-n접합 태양전지 적용하려면 기존 CMOS공정에 쾌속열처리기(rapid thermal annealing ; RTA)를 이용한 900°C 이상에서 고온공정이 아니라 폴리이미이드(polyimide)¹²⁾와 같은 플렉시블 기판의 변형온도가 없는 380°C 이하에 맞추어 저온공

정이 진행되어야 한다.

특히 저온공정으로 제조가 가능한 니켈실리사이드는 450°C 이후 Ni_2Si 에서 NiSi 로 상변화가 발생하지만, 나노급 두께의 a-Si:H을 이용한 니켈실리사이드는 폴리머 기판을 사용할 수 있는 380°C 이하의 RTA 열처리 온도와 a-Si:H 두께에 따른 저온 형성 나노급 니켈실리사이드를 만드는 것이 가능하지만, 500°C 이하로 처리한 나노급의 니켈실리사이드의 상변화 및 물성변화와 가능성에 대해서는 아직 잘 알려지지 않았다.

따라서 본 연구에서는 CMOS 공정을 이용하여 60 nm a-Si:H과 20 nm a-Si:H 형성 시키고 그 위에 Ni금속을 전자총증착장치(e-beam evaporator)로 성막하여 니켈실리사이드화 함으로써 500°C 이하 저온에서 형성된 나노급 니켈실리사이드의 전기저항 변화, 상변화 그리고 미세구조 변화를 확인하여 보았다.

II. 실험방법

본 연구에서는 비저항 $10\sim 15 \Omega \cdot \text{cm}$, 직경 100 nm, 두께가 $550 \mu\text{m}$ 인 p-type(100) 단결정 실리콘 웨이퍼에 위에 200 nm SiO_2 층이 증착된 기판을 사용하였다. 기판 표면의 유기물과 기타 불순물을 제거하기 위해서 wet-station 중 SPM cleaning($\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2 = 4 : 1$)과 DHF cleaning(D · I water : HF = 10 : 1) 세정공정을 통해 기판을 세척하였다.

세정을 마친 기판은 저온공정을 상정하여 열산화막이 존재하는 실리콘기판 위에 a-Si:H을 BMR Technology사의 ICP-CVD 이용하여 250°C 에서 제조하였다. a-Si:H을 기판 위에 각각 60 nm와 20 nm를 형성 후 자연 산화막을 제거하기 위해 $\text{BOE}(\text{NH}_4\text{F} : \text{HF} = 50 : 1)$ 용액을 이용하여 자연산화막을 완전히 제거하였다.

자연산화막이 제거된 a-Si:H이 증착된 기판을 전자총 증착 장치(E-Gun evaporator)에 장입하여 Ni금속을 각 시편에 30 nm Ni을 증착하였다. 최종적으로 Fig. 1 같이 30 nm Ni/ 60 nm a-Si:H/ 200 nm SiO_2 /single-Si, 30 nm Ni/ 20 nm a-Si:H/ 200 nm SiO_2 /single-Si 준비하였다.

완성된 시편들은 0.1 Pa의 진공에서 7쌍의 할로젠램프로 구성된 쾌속열처리기(RTA : rapid thermal annealer)

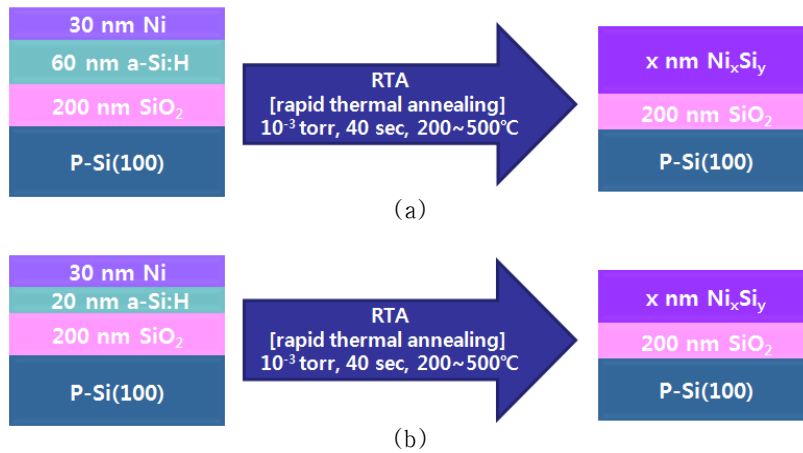


Fig. 1. Illustration of silicidation annealing experimental procedure : (a) 30 nm-Ni/ 60 nm a-Si:H/ 200 nm SiO₂/single-Si, (b) 30 nm-Ni/ 20 nm a-Si:H/ 200 nm SiO₂/single-Si.

를 활용하여 200~500°C 사이에서 50°C 간격으로 40초간 진공 열처리하여 실리사이드가 생성되도록 하였다. 열처리가 완료된 시편들은 잉여금속을 제거하기 위해서 80°C 에서 30%-황산(H₂SO₄)에 20분간 담가 처리하였다.

완성된 시편은 각 실리사이드화 온도별로 전기저항 변화를 확인하기 위해서 사점전기저항측정기(four point probe, Changmin사, CMT-SR1000N)를 이용하여 상좌좌우중심(TCBRL) 위치에서 면저항(sheet resistance, R_s)을 측정하고 평균값으로 판단하였다.

생성된 상을 확인하기 위해서 고해상도 X-선 회절분석(HRHRD, PANalytical사, X'pert-pro MPD)을 이용하였다. X선 소오스는 니켈 필터를 통과시켜 얻은 CuKα로 파장은 1.5406 Å 이며, 전류는 30 mA, 가속전압은 40 kV 이었다. 완성된 시편이 나노급 박막인 점을 고려하여 θ를 1.5°로 고정한 glancing 모드로 측정하였고, 스캔영역은 JCPDS(joint committee powder diffraction standards) 카드 상에 나타나있는 니켈실리사이드를 고려하여 2θ를 20~80° 범위에서 200°C~500°C 열처리한 시편의 상을 분석하였다. 얻어진 HRHRD 회절패턴에서 JCPDS 카드를 이용하여 상을 분석하였다.

기판 위에 생성된 니켈실리사이드는 FE-SEM을 이용하여 미세구조를 관찰하였다. 니켈실리사이드층 평면이미지는 표면코팅 없이 15 kV가속전압, 배율 ×50,000에서 니켈실리사이드 층의 평면 이미지를 관찰하였다.

TEM을 이용하여 니켈실리사이드 층에 대한 박막의 두께와 균질성 및 미세조직을 관찰하였다. 수직단면 관찰용

TEM 시편 제작방법은 일반적인 방법¹³⁾으로 제작하였으며, PIPS(precision ion polishing system)을 사용하여 시편의 중심부가 전자빔에 투과가 가능한 100 nm 두께가 되도록 정밀 연마를 실시하였고, 시편을 JEOL 200 kV 투과전자현미경에 장입하여 실리사이드 층을 명시야상(bright field image)으로 관찰하여 두께와 미세구조를 확인하였다. 또한 TEM의 명시야상으로 관찰된 실리사이드 층을 SADP(selected area diffraction pattern)으로 관찰하여 니켈실리사이드층의 결정성을 확인하였다.

실리사이드 공정에 따른 니켈실리사이드가 열처리온도에 따른 실리사이드층의 표면조도 변화를 확인하기 위해 SPM(scanning probe microscope, PSIA XE-100)을 이용하여 5×5 μm² 범위를 접촉방식(contact mode)으로 스캔하여 RMS(root mean square)를 측정함으로써 실리사이드 박막의 표면의 균일성을 정량화 하였다. 측정된 표면조도 값은 실리사이드화 온도에 따라 나타내었고 XE-100의 소프트웨어를 이용하여 각 시편의 RMS값은 1 μm 길이의 5개 수평선(horizontal line)을 설정하여 이들의 평균값으로 결정하였다.

III. 실험결과 및 고찰

Fig. 2에는 저온공정을 상정하여 30 nm Ni/(60 nm a-Si:H 과 20 nm a-Si:H)/200 nm SiO₂/single-Si 적층 구조 시편을 RTA로 200~500°C (50°C 간격), 40초간 실리

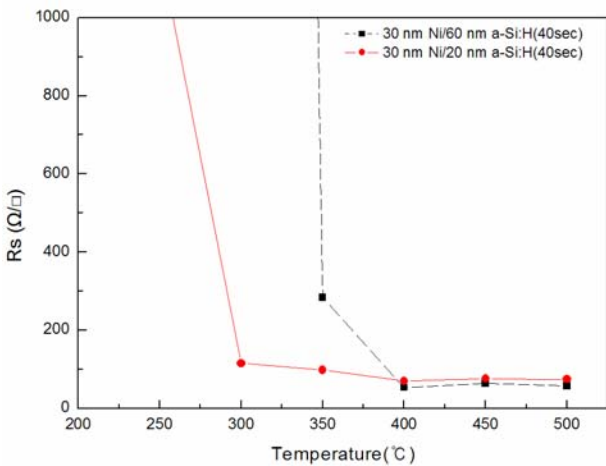


Fig. 2. Sheet resistance of nickel silicides with silicidation temperatures on 60 nm and 20 nm a-Si:H/200 nm SiO₂/single-Si substrates.

사이드화한 니켈실리사이드층의 면저항값 측정결과를 나타내었다.

60 nm a-Si:H 기판 위에 생성된 니켈실리사이드는 열처리 온도가 증가하면서 면저항값이 낮아지는 경향을 보였다. 면저항값은 300°C 이하에서는 배선층으로 사용할 수 없는 약 1.2 kΩ/□의 고저항값을 보였으며, 350°C 부터 284 Ω/□의 면저항값으로 면저항값이 낮아지는 것을 관찰 할 수 있었다. 이후 400°C 열처리 온도 구간부터는 54 Ω/□로 저저항값을 보이다 450°C 에서는 면저항값이 증가하여 64 Ω/□의 면저항값이 관찰되었다.

60 nm a-Si:H 기판의 니켈실리사이드는 기존 보고된 Julies¹⁴⁾ 와 Poon 등¹⁵⁾의 450°C 이상에서 Ni₂Si(δ-Ni₂Si)에서 NiSi로 상변화가 일어나면서 일정한 면저항값을 보인다는 것과 다른 경향을 보였다. 이러한 이유는 본연구가 기존에 보고된 단결정실리콘과 다결정실리콘을 이용한 니켈실리사이드가 아니라 a-Si에 H을 도핑을 하여 형성된 a-Si:H에 니켈실리사이드를 형성하였기 때문에 NiSi가 형성되지 않았다고 판단되었다.

반면 20 nm a-Si:H 기판 위에 생성된 니켈실리사이드에서는 60 nm a-Si:H 기판의 니켈실리사이드와 다른 면저항값 데이터를 보였다. 면저항값 $R_s = \rho/t$ (ρ =비저항, t =실리사이드층의 두께)식에 따라서 a-Si:H의 두께가 감소하면서 면저항값이 증가하는 예상과 반대로 20 nm a-Si:H 기판의 니켈실리사이드는 60 nm a-Si:H 기판의 니켈실리사이드보다 300°C 에서 110 Ω/□로 낮은 면저항

값을 보이다 400°C 에서는 70 Ω/□로 약 15 Ω/□ 높은 면저항값을 보였다. 이후 450°C 에서는 60 nm a-Si:H 기판의 니켈실리사이드와 동일한 경향성을 보이며 면저항값이 증가한 76 Ω/□의 면저항값이 관찰되었다.

이러한 a-Si:H의 두께를 달리하여 제작한 니켈실리사이드는 400°C 이후 동일한 경향성의 면저항값을 보이고 있으나, 20 nm a-Si:H 기판 위에 생성된 니켈실리사이드가 300°C에서 부터 면저항값이 큰 차이를 보이는 것은 이후에 설명할 20 nm a-Si:H 두께로 인하여 실리사이드들의 결정성이 발달하였고 미세구조적으로도 잔류 실리콘과의 혼합 없이 니켈실리사이드가 형성되었기 때문에 낮은 면저항값을 보였다고 판단되었다.

Fig. 3에는 각각 30 nm Ni/(60 nm과 20 nm) a-Si:H/200 nm SiO₂/single-Si 시편구조에서 300, 400, 500°C로 40초

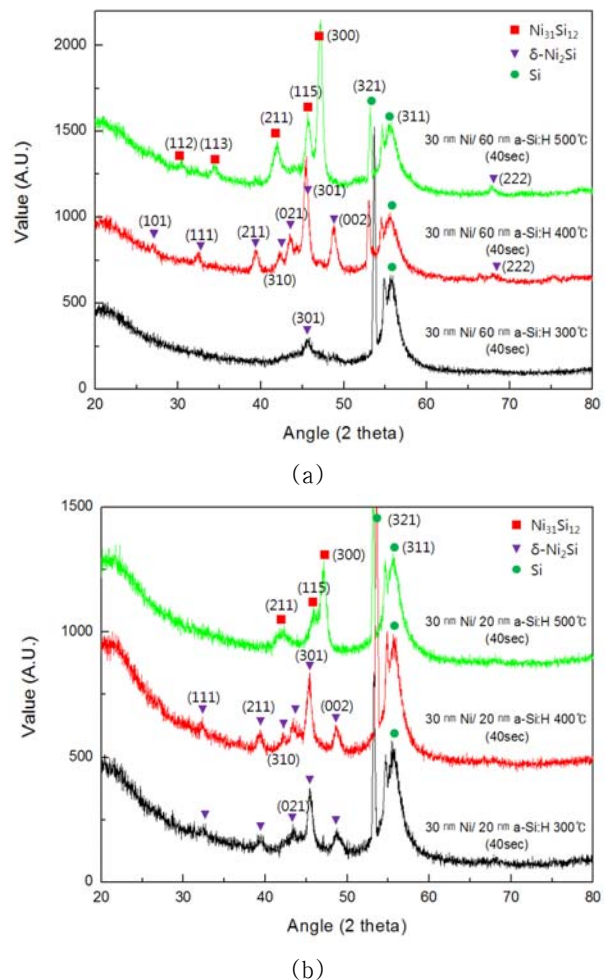


Fig. 3. HRXRD patterns for (a) 30 nm Ni/ 60 nm a-Si:H/200 nm SiO₂/single-Si, and (b) 30 nm Ni/ 20 nm a-Si:H/200 nm SiO₂/single-Si.

간 열처리하여 제조된 니켈실리사이드의 HRXRD 회절피크 강도($2\theta=20\sim 80^\circ$)의 결과를 나타내었다.

(a)에는 60 nm a-Si:H 기판 위에 생성된 니켈실리사이드는 모든 열처리 온도에서 하지층의 실리콘 기판에 나타나는 52.2° , 56.2° 에서 Si 피크(● 표시)인 321, 311 피크가 관찰되었다. 그래프 하단부에서부터 300°C 에서 열처리한 경우는 45.5° 에서 $\delta\text{-Ni}_2\text{Si}$ 피크(▼ 표시)인 301 피크가 폭이 넓은 피크(broad peak)로 관찰되었고, 400°C 에서 열처리한 경우는 $\delta\text{-Ni}_2\text{Si}$ 피크가 발달한 HRXRD 회절피크 강도를 관찰되었다. 500°C 에서 열처리한 경우는 기존에 잘 알려진 저저항의 NiSi상이 관찰되지 않았으며, 준안정상으로 알려진 $\text{Ni}_{31}\text{Si}_{12}$ (■ 표시)상과 $\delta\text{-Ni}_2\text{Si}$ 상이 혼합상으로 관찰되었다.

60 nm a-Si:H 기판 위에 생성된 니켈실리사이드는 300°C 와 400°C 에서는 기존에 Clevenger¹⁶⁾와 Kawazu¹⁷⁾ 등 보고에 따르면, Ni/a-Si:H 적층구조에서 $200\sim 300^\circ\text{C}$ 에서는 $\delta\text{-Ni}_2\text{Si}$ 상에 폭이 넓은 XRD 피크를 보이며, 이후 열처리 온도가 증가하면 결정질 니켈실리사이드($\delta\text{-Ni}_2\text{Si}$)가 형성되어 면저항값이 낮아진다는 보고와 일치하고 있었다. 그러나 450°C 에서 기존에 단결정, 다결정 실리콘 위에 형성되는 저저항상의 NiSi상이 형성되지 못하고 60 nm a-Si:H 기판 위에 니켈실리사이드는 준안정상인 $\text{Ni}_{31}\text{Si}_{12}$ 가 형성되어 Fig. 2의 면저항값이 증가된 것이라 판단되었다.

반면 (b)에는 20 nm a-Si:H 기판 위에 생성된 니켈실리사이드는 모든 열처리온도에서 하지층의 실리콘 기판에 나타나는 52.2° , 56.2° 에서 Si 피크인 321, 311 피크를 제외하고, 300°C 에서 열처리한 경우는 (a)와 동일한 $\delta\text{-Ni}_2\text{Si}$ 피크가 관찰되었으나, (a)와 다른 측정범위 전 구간에서 $\delta\text{-Ni}_2\text{Si}$ 피크가 발달된 것을 관찰되었다. 400°C 에서는 300°C 에서와 동일한 $\delta\text{-Ni}_2\text{Si}$ 상 피크가 발달되었으며, 500°C 에서는 (a)와 동일하게 NiSi상이 관찰되지 않고 준안정상으로 알려진 $\text{Ni}_{31}\text{Si}_{12}$ 상을 관찰할 수 있었다.

20 nm a-Si:H 기판 위에 생성된 니켈실리사이드는 300°C 에서 (a)와 다르게 $\delta\text{-Ni}_2\text{Si}$ 상이 발달한 것은 60 nm a-Si:H 기판 보다 두께가 얇기 때문에 열처리시 결정화가 발달한 니켈실리사이드가 형성되어 100°C 낮은 온도에서도 Fig. 2의 면저항값과 같이 $110 \Omega/\square$ 로 상대적으로 면저항값이 낮게 관찰되었다. 400°C 이후부터 (a)와 동일한 상변화를 보이고 (b)의 a-Si:H 두께가 얇기 때문에 면저항값이 (a)보다 약 $15 \Omega/\square$ 높게 관찰되었다는 것을 알 수 있었다.

따라서 HRXRD 데이터를 통하여 60 nm a-Si:H 기판 위에 생성된 니켈실리사이드는 열처리온도가 증가하면서 $\delta\text{-Ni}_2\text{Si}$ 상이 발달하였고, 450°C 이후 NiSi상의 형성되지 못하고 준안정상인 $\text{Ni}_{31}\text{Si}_{12}$ 상이 형성되었다. 20 nm a-Si:H 기판 위에 생성된 니켈실리사이드는 300°C 에서부터 $\delta\text{-Ni}_2\text{Si}$ 상이 발달하였으며, 400°C 이후 60 nm a-Si:H 기판의 니켈실리사이드와 동일한 $\text{Ni}_{31}\text{Si}_{12}$ 상이 형성되었다.

Fig. 4에는 30 nm Ni/(60 nm과 20 nm) a-Si:H/200 nm $\text{SiO}_2/\text{single-Si}$ 을 각각 300°C , 400°C 에서 열처리하여 실리사이드를 형성한 경우의 FE-SEM 평면이미지를 나타내었다.

(a), (b)는 각각 300°C , 400°C 로 열처리한 60 nm a-Si:H 기판 위에 생성된 니켈실리사이드의 FE-SEM 이미지이다. (a)의 300°C 에서 처리한 경우는 마치 결정립계와 같이 더욱 진한 콘트라스트를 가진 직경 $1.5 \mu\text{m}$ 의 결정립 형태가 관찰되었다. 이러한 결정립은 후에 보일 TEM 결과에 근거하여 결정립이라기보다는 입계와 같이 보이는 응집상은 미반응 실리콘이 국부적으로 혼합상으로 많이 남겨진 실리콘 과잉부라고 판단되었으며, 이러한 미반응 실리콘이 니켈실리사이드를 전기적으로 격리시키고 있는 미세구조 때문에 Fig. 2에 보인 바와 같이 급격한 면저항의 증가가 일어났다고 판단되었다.

(b)의 400°C 에서 처리한 경우는 (a)보다는 Si의 미반응부가 완화된 니켈실리사이드가 서로 전기적으로 연결된 미세구조를 가지고 있어서 Fig. 2에서와 같이 저저항의 면저항을 보이는 것으로 판단되었다.

(c), (d)는 각각 300°C , 400°C 로 열처리한 20 nm a-Si:H 기판 위에 생성된 니켈실리사이드의 FE-SEM 이미지로써, 모두 앞서 보인 (a), (b)와 달리 결정립간 불균일부 없이 균일한 입계를 보였으며, 후에 보일 TEM과 SPM 결과에 근거하여 균일한 두께의 결정층의 니켈실리사이드가 생성되었음을 알 수 있었다. 특히 처리온도가 400°C 로 올라가면 국부적인 콘트라스트 차가 없는 것에 근거하여 결정성이 더욱 향상되는 것으로 판단되었다.

Fig. 5에는 Fig. 4에서 확인한 30 nm Ni/(60 nm과 20 nm) a-Si:H/200 nm $\text{SiO}_2/\text{single-Si}$ 에서 열처리한 니켈실리사이드의 수직단면 TEM 이미지와 SADP(좌하단부)을 나타내었다.

(a)의 60 nm a-Si:H 기판 위에 300°C 에서 열처리하여 생성된 니켈실리사이드는 평균 60 nm 두께의 결정질 니켈

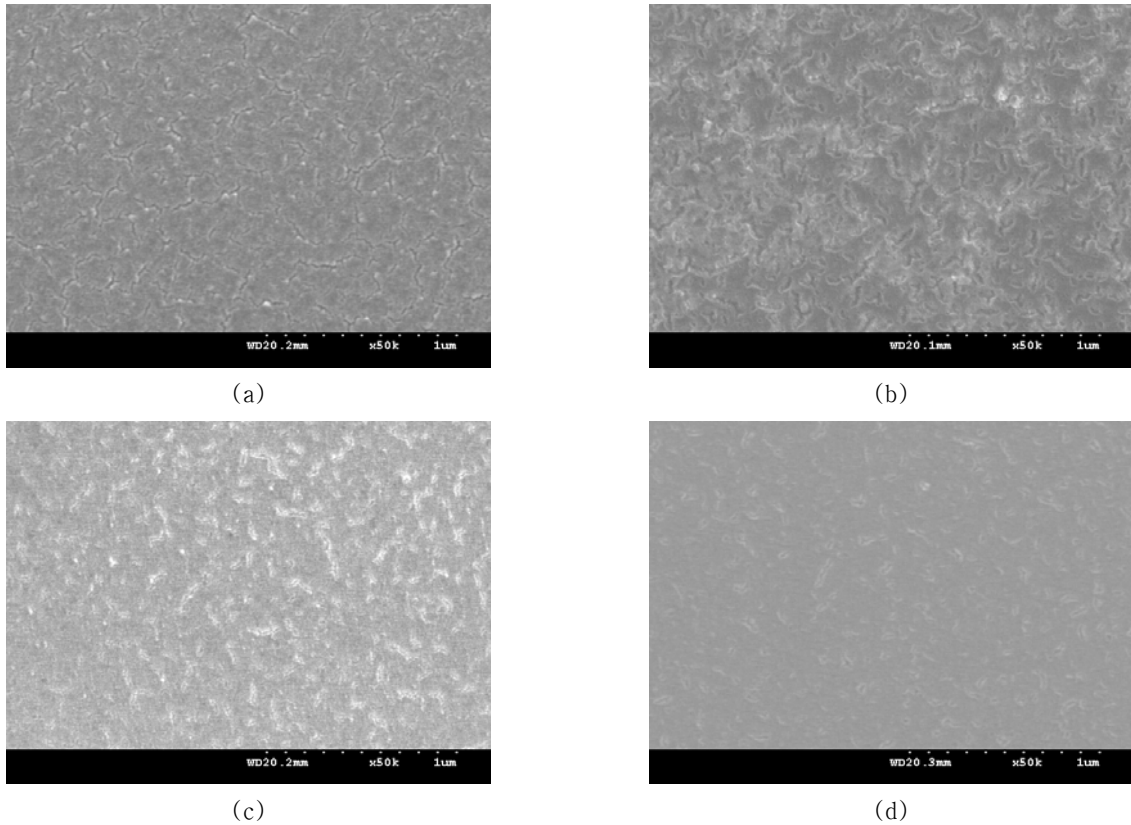


Fig. 4. FE-SEM images of nickel silicide layers with process condition of (a) 30 nm Ni/ 60 nm a-Si:H at 300°C, (b) 30 nm Ni/ 60 nm a-Si:H at 400°C, (c) 30 nm Ni/ 20 nm a-Si:H at 300°C, and (d) 30 nm Ni/ 20 nm a-Si:H at 400°C.

실리사이드가 형성되었으며, 니켈실리사이드층 사이에 잔류 a-Si:H이 존재하여 혼합상의 미세구조가 관찰되었다. 니켈실리사이드층 하부에는 약 10 nm 두께의 니켈실리사이드층이 불연속적으로 연결된 구조를 관찰할 수 있었다. 또한 니켈실리사이드와 a-Si:H는 확연히 다른 전자범 산란계수(scattering factor)를 가지기 때문에 명암차이에 의해서 니켈실리사이드의 존재를 확인할 수 있었다. 한편 (a)의 TEM 이미지의 좌하단부 SADP를 보면, 다결정에서 보이는 점 형태의 연결된 패턴에 근거하여 니켈실리사이드가 결정질이며¹⁸⁾, 이들 상은 앞서 보인 HRXRD결과에 근거하여 δ -Ni₂Si상으로 판단하였다.

(b)의 60 nm a-Si:H 기판 위에 400°C에서 열처리하여 생성된 니켈실리사이드는 (a)와 동일한 평균 60 nm 두께의 결정질 니켈실리사이드가 형성되었으며, (a)와 상대적으로 잔류 a-Si:H이 없으며 주상정형태가 발달한 니켈실리사이드가 확인되었다. 또한 주상정형태가 발달하면서 주상정 높이단차가 발생한 것을 볼 수 있었다. 결정성은

SADP와 앞서 보인 HRXRD에 의해 (a)와 동일한 δ -Ni₂Si가 생성되었을 알 수 있었으며, (a)와 다르게 뚜렷한 점형태의 SADP를 볼 수 있어 결정성이 더욱 발달된 것을 알 수 있었다.

(c)의 300°C로 처리한 20 nm a-Si:H기판 위에 생성된 니켈실리사이드는 평균 두께가 20 nm 두께의 결정질 니켈실리사이드가 형성되었다. (a)와 다르게 실리콘 층과의 혼합 없이 결정질의 니켈실리사이드층이 균일한 두께로 형성되었다. 또한 (a)보다 뚜렷한 점형태의 SADP와 앞서 보인 HRXRD분석의 δ -Ni₂Si상의 피크가 발달하여 (a)보다 우수한 결정질 니켈실리사이드가 형성됨을 알 수 있었다.

(d)의 400°C로 열처리한 경우에는 20 nm 두께, δ -Ni₂Si상의 니켈실리사이드가 주상정 형태로 존재하고 있었다. (c)와 비교하여 실리사이드 온도가 증가하여도 δ -Ni₂Si상 영역에는 실리사이드층의 두께변화는 크게 변화하지 않았으나, 주상정형태가 더욱 발달하였다.

따라서 TEM 수직단면 이미지를 통해서 a-Si:H의 두께

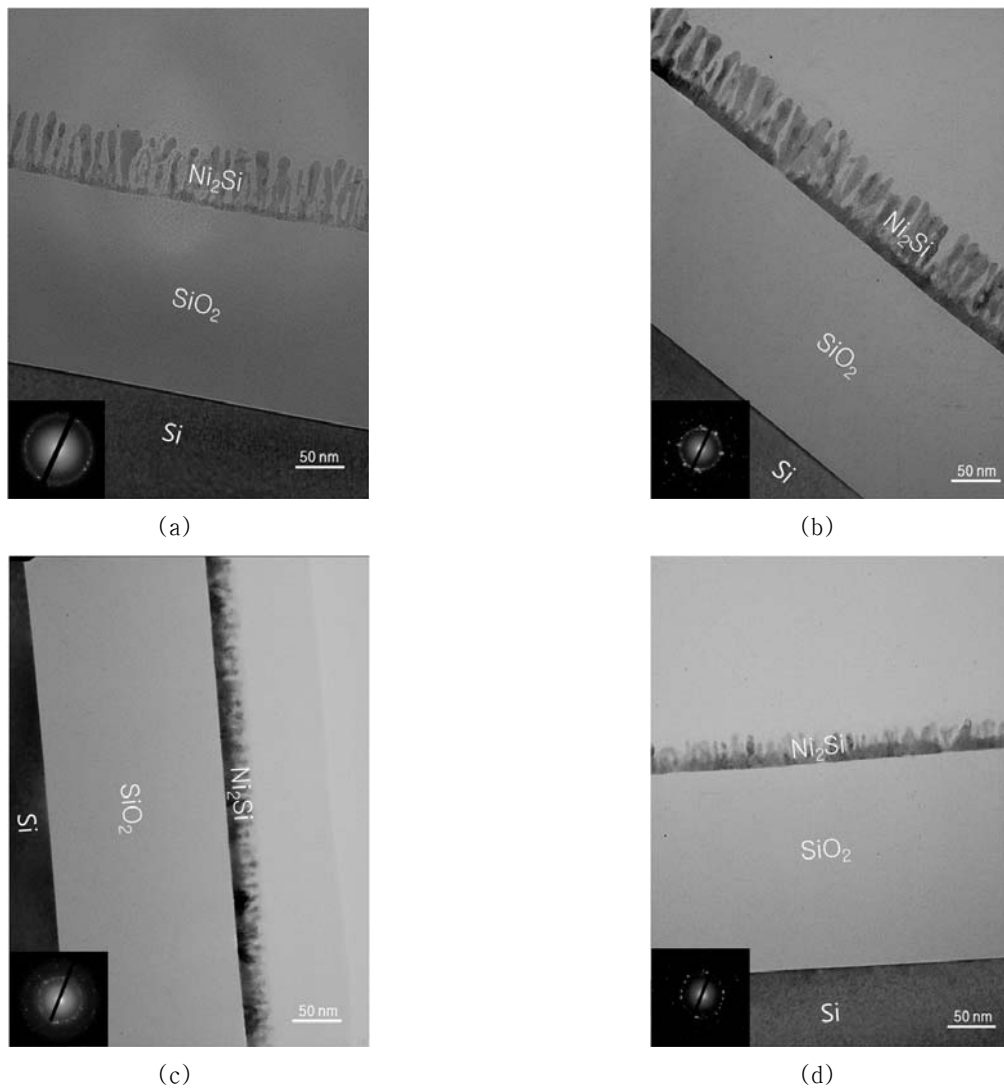


Fig. 5. Cross section TEM and SADP images of nickel silicide layers with process condition of (a) 30 nm Ni/60 nm a-Si:H/200 nm SiO₂/single-Si at 300°C, (b) 30 nm Ni/60 nm a-Si:H/200 nm SiO₂/single-Si at 400°C, (c) 30 nm Ni/20 nm a-Si:H/200 nm SiO₂/single-Si at 300°C, and (d) 30 nm Ni/20 nm a-Si:H/200 nm SiO₂/single-Si at 400°C.

를 다르게 하여 열처리를 실시하였을 경우, 300°C의 20 nm a-Si:H기판 위에 생성된 니켈실리사이드가 δ-Ni₂Si 상의 피크가 발달하였으며, 혼합상 없이 균일한 두께로 형성되어서 저온공정이 필요한 나노급 소자 제작에 유리함을 확인하였다.

Fig. 6에는 저온공정 니켈실리사이드의 표면조도변화를 상세하게 알아보기 위해서 SPM을 이용하여 60 nm a-Si:H과 20 nm a-Si:H 기판 위에 생성된 니켈실리사이드층의 실리사이드화 온도에 따른 표면조도 RMS값을 나타내었다.

60 nm a-Si:H 기판 위에 생성된 니켈실리사이드 경우 열처리온도가 증가하면서 RMS 값은 300°C에서 2 nm의 최소값을 보였고, 이후 열처리 온도가 증가하면서 RMS값이 증가하다가 500°C에서 5 nm의 최대값을 보였다. 열처리온도에 따라서 RMS값의 변화폭이 미소하였으나, 이러한 RMS값의 변화폭을 보이는 것은 앞서 보인 Fig. 4의 FE-SEM 이미지의 입계간 불균일부가 발달한 것과 일치하고 있었다.

20 nm a-Si:H 기판 위에 생성된 니켈실리사이드 경우 60 nm a-Si:H 기판 위에 생성된 니켈실리사이드와 열처리

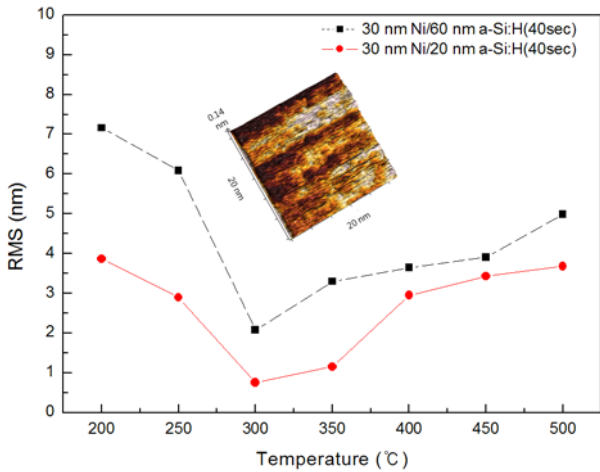


Fig. 6. Surface roughness with silicidation temperatures of 60 nm and 20 nm a-Si:H/200 nm SiO₂/single-Si structure.

온도에 따른 동일한 경향성의 RMS값을 보였다. 특히 300°C에서 RMS 값은 0.75 nm의 최소값을 보였고, 이후 열처리 온도가 증가하면서 500°C에서 3.6 nm의 최대값을 보여 SPM 측정 전 구간에 걸쳐 60 nm a-Si:H 기판 위에 생성된 니켈실리사이드보다 낮은 RMS값을 보였다.

따라서 플라스틱 기판위에 나노급 니켈실리사이드 적용에 있어 300°C에서부터 1 nm 이하의 RMS 값을 보인 20 nm a-Si:H 기판 위에 생성된 니켈실리사이드가 유리함을 확인하였다.

IV. 결 론

a-Si:H의 두께가 다른 30 nm Ni/(60 nm 또는 20 nm a-Si:H)/200 nm SiO₂/single-Si 구조로부터 200~500°C 사이에서 50°C 간격으로 40초간 진공열처리를 실시하여 니켈실리사이드를 성공적으로 제조하였다. 면저항값 측정시 60 nm a-Si:H 기판 위에 생성된 니켈실리사이드는 열처리 온도가 증가하면서 400°C부터 낮은 면저항값을 보였으나, 20 nm a-Si:H 기판 위에 생성된 니켈실리사이드는 300°C부터 낮은 면저항값을 보였다. HRXRD 상분석을 통하여 상변화는 동일하였지만, FE-SEM으로 박막표면을 확인한 결과 60 nm a-Si:H 기판 위에 생성된 니켈실리사이드는 고저항의 미반응 잔류 실리콘상이 관찰되었고, 20 nm a-Si:H 기판 위에 생성된 니켈실리사이드는 균일한 표

면을 보였다. 또한 TEM 수직단면 통하여 60 nm a-Si:H 기판 위에 생성된 니켈실리사이드는 a-Si:H과 혼합상으로 존재하다 열처리 온도가 증가하면서 주상정 형태가 발달하였다. 반면 20 nm a-Si:H 기판 위에 생성된 니켈실리사이드는 a-Si:H과 혼합상 없이 균일한 두께를 보이고 열처리 온도가 증가하면서 주상정 형태가 발달한 니켈실리사이드를 보였다. SPM 결과를 통하여 60 nm 와 20 nm a-Si:H 기판 위에 생성된 니켈실리사이드의 표면조도는 300°C에서 가장 낮은 RMS값을 보였으며, 특히 20 nm a-Si:H 기판 위에 생성된 니켈실리사이드가 가장 작은 0.75 nm의 RMS값을 보였다. 따라서 20 nm a-Si:H 기판 위에 생성된 니켈실리사이드가 플라스틱 기판에 적용할 수 있는 300°C 저온공정에서도 저저항과 적합한 미세구조를 가짐으로 플렉시블 소자용 응용에 유리할 것이 기대되었다.

감사의 글

이 논문은 2007년도 정부(과학기술부)의 재원으로 한국 과학재단의 지원을 받아 수행된 연구임.
(No. R01-2007-000-20468-0).

참고문헌

- [1] D. Striakhilev, A. Nathan, Y. Vyganenko, P. Servati, C. H. Lee, and A. Sazonov, *Journal of display technology*, **2**, 364-370 (2006).
- [2] C. W. Mclaughlin, *Microdisplay Market Opportunities*, in *Microdisplay Int. Conference Digest of Tech. Papers*, 21-23 (2001).
- [3] J. Jang, *Materials Today*, **9**(4), 46-52 (2006).
- [4] C. H. Pang, K. H. Park, D. G. Jung, and H. Y. Chae, *J. the Kor. Vacuum Soc.* **16**(3), 167-171 (2007).
- [5] J. S. Yi, *J. the Kor. Vacuum Soc.* **16**(3), 161-166 (2007).
- [6] N. Ibaraki, *Mar. Res. Soc. Proce.*, **345**, 3-10 (1994).
- [7] R. Hattori, Y. Tanida, and J. Shirafuji, *Mar. Res. Soc. Proce.*, **345**, 217-222 (1994).
- [8] J. D. Hwang and K. S. Lee, *Journal of The*

- Electrochemical Society, **155**, H259-H262 (2008).
- [9] J. P. Gambino and E. G. Colgan, Mater. Chem. Phys., **52**, 99 (1998).
- [10] E. G. Colgan, J. P. Gambino, and Q. Z. Hong, Mater. Sci. Engin., **16**, 43 (1996).
- [11] Lavoie, F. M. d'Heurle, C. Detavernier, and C. Cabral, J. Microelectronic Engin., **70**, 144 (2003).
- [12] G. P. Crawford, *Flexible Flat Panel Display* (John Wiley & Sons Ltd, West Sussex, 2005), pp. 264-312.
- [13] D. B. Williams, and C. B. Carter, *Transmission Electron Microscopy Basic I* (Plenum Press, New York, U.S.A., 1996), pp.152-170.
- [14] B. A. Julies, D. Knoesen, R. Pretorius, and D. Adams, Thin Solid Films, **347**, 201-207 (1999).
- [15] M. C. Poon, C. H. Ho, F. Deng, S. S. Lau, and H. Wong, Microelectronics Reliability, **38**, 1495-1498 (1998).
- [16] L. A. Clevenger, and C.V. Thompson, J. Appl. Phys., **67**(3), 1325-1333 (1990).
- [17] Y. Kawazu, H. Kudo, S. Onari, and T. Arai, Japanese J. Appl. Phys., **29**(4), 729-738 (1990).
- [18] D. B. Williams, and C. B. Carter, *Transmission Electron Microscopy Diffraction II* (Plenum Press, New York, U.S.A., 1996), pp.273-280.

Property of Nickel Silicide with 60 nm and 20 nm Hydrogenated Amorphous Silicon Prepared by Low Temperature Process

Joungryul Kim, Jongsung Park, Youngyoun Choi, and Ohsung Song*

Department of Material Science and Engineering, University of Seoul, Seoul 130-743

(Received August 19, 2008, Revised September 25, 2008, Accepted October 16, 2008)

60 nm and 20 nm thick hydrogenated amorphous silicon(a-Si:H) layers were deposited on 200 nm SiO₂/single-Si substrates by inductively coupled plasma chemical vapor deposition(ICP-CVD). Subsequently, 30 nm-Ni layers were deposited by an e-beam evaporator. Finally, 30 nm-Ni/(60 nm and 20 nm) a-Si:H/200 nm-SiO₂/single-Si structures were prepared. The prepared samples were annealed by rapid thermal annealing(RTA) from 200°C to 500°C in 50°C increments for 40 sec. A four-point tester, high resolution X-ray diffraction(HR-XRD), field emission scanning electron microscopy(FE-SEM), transmission electron microscopy(TEM), and scanning probe microscopy(SPM) were used to examine the sheet resistance, phase transformation, in-plane microstructure, cross-sectional microstructure, and surface roughness, respectively. The nickel silicide from the 60 nm a-Si:H substrate showed low sheet resistance from 400°C which is compatible for low temperature processing. The nickel silicide from 20 nm a-Si:H substrate showed low resistance from 300°C. Through HR-XRD analysis, the phase transformation occurred with silicidation temperature without a-Si:H layer thickness dependence. With the result of FE-SEM and TEM, the nickel silicides from 60 nm a-Si:H substrate showed the microstructure of 60 nm-thick silicide layers with the residual silicon regime, while the ones from 20 nm a-Si:H formed 20 nm-thick uniform silicide layers. In case of SPM, the RMS value of nickel silicide layers increased as the silicidation temperature increased. Especially, the nickel silicide from 20 nm a-Si:H substrate showed the lowest RMS value of 0.75 at 300°C.

Keywords : Nano-thick nickel silicide, ICP-CVD, Hydrogenated amorphous silicon, Flextronics, RTA

* [E-mail] songos@uos.ac.kr