Journal of the Korean Institute of Electrical and Electronic Material Engineers, Vol. 21, No. 12, p. 1118, December 2008.

논 문 21-12-12

고압 적층 칩 캐패시터의 유전체 두께 및 내부전극 형상에 따른 AC, DC 절연 파괴 특성

The AC, DC Dielectric Breakdown Characteristics according to Dielectric Thickness and Inner Electrode Pattern of High Voltage Mutilayer Ceramic Capacitor

윤중락[1,a], 김민기[1], 이석원[2]
(Jung Rag Yoon[1,a], Min Kee Kim[1], and Seog Won Lee[2])

Abstract

High voltage multilayer ceramic capacitors (MLCCs) are classified into two classes-those for temperature compensation (class I) and high dielectric constant materials (class II). We manufactured high voltage MLCC with temperature coefficient characteristics of C0G and X7R and studied the characteristics of electric properties. Also we studied the characteristics of dielectric breakdown voltage (V) as the variation of thickness in the green sheet and how to pattern the internal electrodes. The dielectric breakdown by electric field was caused by defects in the dielectric materials and dielectric/electrode interface, so the dielectric thickness increased, the withstanding voltage per unit (E) thickness decreased. To overcome this problem, we selected the special design like as floating electrode and this design affected the increasing breakdown voltage(V) and realized the constant withstanding voltage per unit thickness(E). From these results, high voltage application of MLCCs can be expanded and the rated voltage can also be develop.

Key Words : MLCC, X7R, C0G, Dielectric breakdown voltage

1. 서 론

최근 제품의 전원회로의 소형화, 고전류, 고압화에 따라 소형이면서도 고압화가 가능한 캐패시터 수요가 증가하고 있다. 의료, 자동차, 통신분야의 SMPS 또는 pluse power단의 경우 높은 에너지 밀도를 가지면서도 표면실장화가 가능한 고압용 적층 칩 캐패시터가 요구되고 있다[1]. 적층 칩 캐패시터는 유전체, 내부전극, 외부전극으로 구성되며 기존에는 고압용의 경우 내부전극으로 고가의 귀금속인 Ag-Pd, Pd, Pt등을 적용하였으나 최근에는 저가의 Ni를 적용한 일반용 적층 칩 캐패시터를 개발, 양산하고 있으나 고압용 적층 칩 캐패시터에 대해서 연구 수준에 머물고 있다. Ni 산화반응식은 식 (1)로 표현되며 내부전극으로 사용하는 Ni의 산화 억제를 위해서는 환원 분위기에서 소결하여야 한다. Ni 내부전극의 산화를 막기 위하여 환원 분위기에서 소결시 결정구조의 격자내 산소 방출로 인하여 식 (2)와 같은 식에 의해 두개의 전자를 방출하여 절연저항의 감소를 유발한다.

$$Ni + 1/2O_2 \rightarrow NiO \quad (1)$$

$$O_O \rightarrow V_O'' + 1/2O_2 + 2e' \quad (2)$$

따라서 환원 분위기에서도 절연저항을 유지하면

1. 삼화콘덴서공업(주) 부설연구소
(경기 용인시 남사면 북리 124)
2. 호서대학교 시스템제어공학과
a. Corresponding Author : yoonjungrag@yahoo.co.kr
접수일자 : 2008. 10. 7
1차 심사 : 2008. 10. 30
심사완료 : 2008. 11. 24

서도 고전계하에서도 안정적 전기적 특성을 가지는 유전체 조성 및 소결 공정이 중요하다. 고압용 적층 칩 캐패시터는 온도 특성에 따라 C0G, X7R 특성으로 구분되며 C0G 특성은 -55 ~ 125 ℃ 온도범위에서 용량변화율은 ± 30 ppm/℃이고 X7R 특성은 용량변화율이 ± 15 % 이내이어야 한다. 내환원 조성의 대표적인 조성으로는 C0G 특성은 $CaZrO_3$계 조성이 주로 적용되며 X7R의 경우 $BaTiO_3$ 계가 주로 적용된다. 본 논문에서는 기존의 연구 결과로부터 얻은 유전체 조성을 적용하여 [2,3] 고압용 캐패시터로 적용시 유전체 두께에 따른 AC, DC 내전압 특성을 연구하고자 한다. 또한, 기존의 보고에 따르면 유전체의 두께가 증가할수록 단위두께당 내전압(E)이 감소하고 원료 및 공정에 따라 최적의 유전체 두께가 있어 이를 고려한 설계가 진행되고 있다[4]. 따라서 본 논문에서도 내부전극 설계와 유전체 두께에 따른 절연파괴전압을 검토하고 이를 적용하여 고전압 캐패시터의 개발 가능성을 검토하고자 한다.

2. 실험 방법

2.1 유전체 분말

C0G 유전체 조성은 $(Ca_{0.7}Sr_{0.3})(Zr_{0.97}Ti_{0.03})O_3$ 를 주조성으로 하고 전기적 특성 개선을 위하여 MnO_2, Al_2O_3를 첨가하였으며 소결온도 저하 및 절연저항 향상을 위하여 $(Ba_{0.4}Ca_{0.6})SiO_3$ 유리프릿을 첨가하였다. 분말의 입도 (D_{50})는 0.5 ~ 0.75 ㎛로 조절하였으며 분말의 비표면적은 4.5±0.5 m^2/g이다. 유전체의 전기적 특성은 1270 ℃ 소결 온도에서 유전율 32, 품질계수 (Q) 2,600, 절연저항 2,000 GΩ 이상이고 온도특성은 -55 ~ 125 ℃ 온도범위에서 용량변화율이 ± 30 ppm/℃을 만족하였다. X7R 유전체 조성은 분말의 입도 (D_{50})가 0.4 ㎛이고 수열합성법으로 제조된 $BaTiO_3$ 를 주조성으로 하고 전기적 특성 개선을 위하여 MgO, Y_2O_3, MnO_2, Er_2O_3를 첨가하였다. 또한, 소결온도 저하 및 절연저항 향상을 위하여 $(Ba_{0.4}Ca_{0.6})SiO_3$ 유리프릿을 첨가하였다. 최종 분말의 입도 (D_{50})는 0.4 ~ 0.5 ㎛로 조절하였으며 분말의 비표면적은 4.5±0.5 m^2/g이다. 유전체의 전기적 특성은 1270 ℃ 소결 온도에서 유전율 2,700, 유전손실 (tanδ) 0.4 %, 절연저항 1,500 GΩ 이상의 전기적 특성을 나타냈으며 온도특성은 - 55 ~ 125 ℃ 온도범위에서 용량변화율이 ± 15 ppm/℃을 만족하였다.

2.2 고압용 적층 칩 캐패시터 제조

고압용 적층 칩 캐패시터 제조는 일반적인 적층 칩 제조 공정을 적용하였으며 그린시트 제작을 위하여 톨루엔/에탄올 용매, 유전체 분말, PVB 바인더(Sekisui, BM-SZ)와 DOP (DC Chemical)를 첨가하여 바스켓 밀을 적용하여 슬러리를 제작하였다. 제작된 슬러리를 3 ㎛ 필터링한 후 닥터블레이드법을 적용하여 소결 후 10, 25, 50, 70 ㎛의 두께가 되도록 그린시트를 제작하였다. 내부전극으로 Ni을 인쇄하였으며 내부전극은 20층으로 하여 적층, 압착하였다. 적층 칩은 소결 후 칩 크기가 4.5 × 2.0 × 2.0 mm이 되도록 절단하였으며 바인더 탈지는 260 ℃에서 48시간 행하였다. 소결 조건은 소결온도 1270 ℃에서 2시간하였으며 산소분압은 N_2/H_2를 조절하여 Po2 = 10^{-11} Mpa으로 하였으며 절연저항 및 신뢰성 향상을 위하여 산소 분압 Po2 = 10^{-7} Mpa에서 1000 ℃, 2시간 재열처리 하였다. 외부전극 형성은 Cu를 이용하였으며 환원분위기에서 800 ℃, 10분간 소성 한 후 Ni, Sn 도금하였다. 그림 1에 적층 칩 캐패시터의 구조도를 나타내었다.

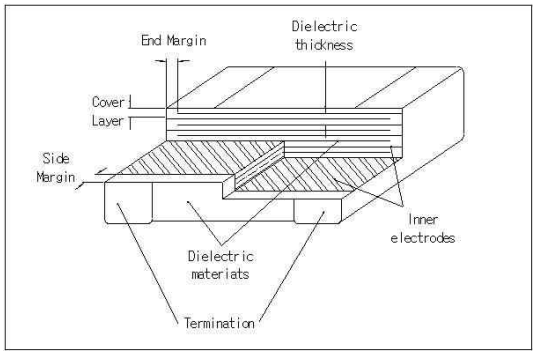


그림 1. 적층 칩 캐패시터 구조도.
Fig. 1. Structure of multilayer ceramic capacitor.

2.3 측정

적층 칩 캐패시터의 미세구조를 확인하기 위하여 SEM 분석을 하였으며 정전용량, 손실은 LCR 측정기(HP4278A, HP,USA)로 1 V, 1 MHz 조건하에서 측정하였다. 절연파괴전압(V)은 단자간 표면방전을 방지하기 위하여 절연유속에서 행하였으며 내전압 측정기(TOS5101, Kikusui, Japan)로 측정하였다. DC 절연파괴 전압 측정시 100 V/sec로 전압을 승압하였으며 제한전류는 1 mA로 하였으며 AC 전압 측정은 60 Hz, 100 V/sec 조건으로 측정하였다.

3. 결과 및 고찰

3.1 유전체 두께에 따른 절연 파괴전압

그림 2는 C0G, X7R 유전체의 유전체 두께에 따른 DC 절연파괴 특성을 나타낸 그림으로서 유전체의 두께가 증가할수록 단위 두께당 내전압(E)이 감소하는 반면 절연파괴전압(V)는 증가하나 어느 두께이상에서는 포화됨을 볼 수 있다. C0G 특성의 경우 단위 두께당 내전압(E)이 두께가 증가 할수록 115 V/㎛에서 61 V/㎛로 감소함을 볼 수 있으며 X7R 특성은 98 V/㎛에서 37 V/㎛ 로 감소함을 볼 수 있다. 이와 같은 결과는 Ag-Pd 전극을 적용한 경우에도 유사한 결과를 나타내고 있으며 주원인으로는 유전체층이 두꺼워 질수록 재료의 균일성이 저하되어 전계가 집중되는 부분이 많이 있어 나타나는 결과이다. 특히, 세라믹 캐패시터의 절연파괴전압은 세라믹 결함에 의한 전계에 집중하는 부분의 절연내력에 따라 결정되기 때문에 유전체 두께가 증가할수록 단위 두께당 내전압이 급격히 감소한다[5]. 유전체 원료에 따른 특성을 보면 C0G 원료가 X7R 원료에 비해 단위 두께당 내전압이 높은 것은 재료의 특성이라 볼 수 있으며 유전체 두께 증가에 따른 단위 두께당 내전압의 감소폭이 적은 것은 기공에 의한 영향이 유전율이 작은 C0G의 경우 전계 집중이 상대적으로 작아 나타나는 결과로 판단되며 결정립의 크기 및 조성의 불균일성도 영향을 주었을 것으로 판단된다. 일반적인 유전체 두께와 절연파괴 전압의 관계식은 다음과 같은 경험식이 성립되며,

$$V = A\,d^{n}$$

V : 절연파괴 전압

A, n : 유전체 재료등에 의해 결정되는 정수

d : 유전체 두께

적층 세라믹 칩 캐패시터의 경우 n값은 0.3~0.7의 범위로 알려져 있으며 본 실험결과 C0G는 0.564이고 X7R은 0.414로서 COG 유전체 원료가 우수한 특성을 보이고 있다[5].

그림 3은 C0G, X7R 유전체의 유전체 두께에 따른 AC 절연파괴특성을 나타낸 그림으로서 DC 절연파괴특성과 유사한 동일한 양상을 보이고 있다. DC 절연파괴전압이 AC의 경우에 비하여 전압적 측면에서는 AC 최대값을 고려하면 $2^{1/2}$ 배 큰 값을 가진다. 따라서 AC 절연파괴 전압은 DC에 비해 적게 나타나게 되며 또한, 주파수에 의해 유전분극의 방향이 반전하므로 유전체 발열이 발생하여 절연파괴전압이 더 감소하게 된다. 이와 같은 현상은 DC 절연파괴 시험시 온도증가에 따라 절연파괴 전압이 감소하는 현상으로도 유추할 수 있는 결과로[6], AC 전압 인가에 따라 캐패시터에 자기 발열이 발생하여 절연파괴전압이 저하됨을 알 수 있다. C0G 특성의 경우 단위 두께당 내전압(E)이 66 V/㎛에서 35 V/㎛로 감소함을 볼 수 있으며 X7R 특성은 45 V/㎛에서 13.3 V/㎛ 로 급격히 감소함을 볼 수 있다. X7R 특성이 C0G에 비하여 단위 두께당 내전압의 감소가 크게 나타나는 것은 상유전체인 C0G 보다 유전체 손실이 큰 강

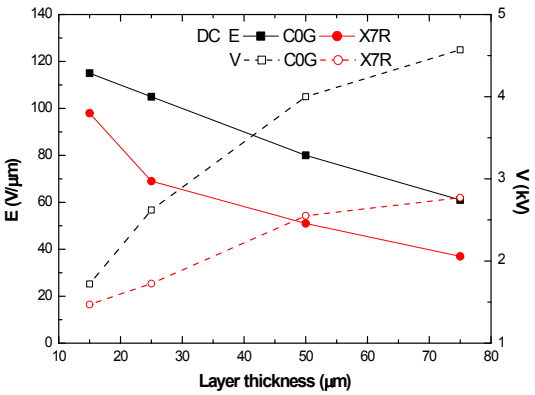


그림 2. 유전체 두께에 따른 DC 단위두께당 내전압(E) 및 절연파괴전압(V).

Fig. 2. Withstanding voltage per unit(E) and dielectric breakdown voltage (V) on DC as a function of dielectric layer thickness.

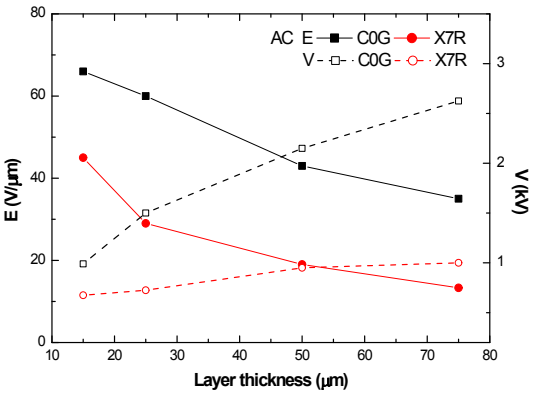


그림 3. 유전체 두께에 따른 AC 단위 두께당 내전압(E) 및 절연파괴전압(V).

Fig. 3. Withstanding voltage per unit(E) and dielectric breakdown voltage (V) on AC as a function of dielectric layer thickness.

유전체를 적용하는 X7R 특성의 유전 손실에 의한 자기발열이 단위두께당 내전압을 감소시키는 것으로 판단된다. 유전손실은 C0G에서는 0.01 %이하를 나타내는 반면 강유전체에서X7R에서는 1.2 %이하의 값을 나타내었으며 강유전체 특성을 X7R 특성에서 손실이 높은 이유는 유전 분극과 전계가 히스테리시스 특성을 가지므로 에너지 손실이 발생하고 이에 따라 유전재료의 유전손실이 높게 나타나게 된다.

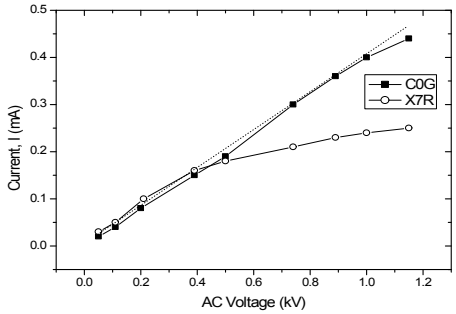
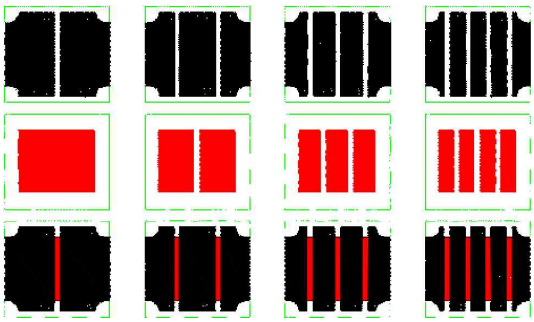


그림 4. AC 전압에 따른 교류 전류.
Fig. 4. AC current as a function of AC voltage.

그림 4는 AC 전압인가에 따른 캐패시터에 흐르는 교류 전류를 나타낸 그림이다. 교류전류는 교류전압(V)/임피던스(Z)로 표시되며 이상적인 캐패시터라면 그림에서 점선과 같은 직선성을 나타내어야 한다. 실험 결과 교류전압에 따른 교류전류가 직선성을 가지는 않는 것은 전압에 따른 용량이 변화하여 나타나는 결과가 대부분의 성분을 차지한다. 그림에서도 전압에 따른 전류 변화율이 큰 X7R 특성의 경우 C0G와 달리 400 V이상부터 비선형성을 보이고 있으며 교류전류가 적게 흐르고 있으며 이는 고전압에서 용량이 작아져 나타나는 결과이다. 일반적으로 세라믹 캐패시터에서 AC 절연파괴는 열을 동반하는 열적 파괴가 주를 이루므로 C0G에 비하여 X7R 특성이 교류 전류가 적게 흘러 AC 절연파괴 전압이 높아야 하나 반대 경향을 보인다. 이와 같은 결과 AC 절연파괴에서도 전류에 의한 파괴보다는 유전재료의 특성이 더 크게 작용함을 보여주고 있다. X7R 특성에서 교류전류가 400 V ~ 1100 V구간에서 포화현상을 보이는 것은 전압에 따른 용량 변화값이 포화되었다는 것을 의미하며 AC 절연파괴 전압이 낮아지는 것은 고전계하에서 $BaTiO_3$의 결정 구조가 바뀌면서 응력의 분포의 불균일과 이에 따른 불균일한 전계에 의해 나타나는 결과로 판단된다.

3.2 전극 형상에 따른 절연 파괴 전압

그림 5는 일반적인 내부전극 형성방법으로는 고전압 적층 캐패시터를 만드는 데 한계가 있음을 확인하여 단위 두께당 내전압을 고려하여 두께를 정한 후 내부 전극의 설계를 통하여 절연 거리를 증가시켜 절연파괴 전압을 증가시키기 위한 floating 전극 형태이다. 그림에서 내부전극의 형태에 따라 2 floating에서 8 floating 하였으며 입, 출력전극은 연면 방전 및 외부전극간의 절연거리 미확보로 절연파괴전압이 떨어지는 것을 줄이기 위하여 곡선 형태로 하였다.



(a) 2 floating (b) 4 floating (c) 6 floating (d) 8 floating

그림 5. 고압 적층 칩 캐패시터 내부 전극 형상.
Fig. 5. The internal electrode patterns of high voltage multilayer chip capacitor.

그림 6은 유전체 두께 25 ㎛, 20층 적층한 적층칩 캐패시터 floating 수에 따른 DC 절연파괴 특성을 나타낸 그림이다. floating수가 증가 할수록 유전체의 두께도 같이 증가하지만 그림 2의 결과와 달리 단위 두께당 내전압(E)은 감소하지 않고 일정한 값을 가지고 절연파괴 전압(V)은 어느 두께 이상에서 포화되는 그림 2의 결과에 달리 직선적으로 증가함을 볼 수 있다. 이와 같은 현상은 C0G, X7R 특성에서 동일하게 나타나며 C0G 특성에서 8 floating하는 경우 20 kV의 우수한 절연파괴 전압을 얻을 수 있음을 확인하였다.

그림 7은 유전체 두께 25 ㎛, 20층 적층한 적층칩 캐패시터의 floating 수에 따른 AC 절연파괴 특성을 나타낸 그림이다. AC 절연파괴 특성도 DC의 결과와 동일한 현상을 보이고 있으며 X7R 특성의 경우 floating수 증가시켜도 절연파괴 전압이 6 kV 수준으로 C0G 특성의 10.3 kV보다 낮은 값을 나타남을 볼 수 있다. 이와 같은 결과에 앞에서

도 설명하였듯이 강유전체 재료에 도메인 및 결정 구조 변화에 의한 것으로 예상되며 고용량이면서도 고압 특성을 가지는 고압용 적층 칩 캐패시터 제작을 위해서는 칩의 크기를 증가시키면서 floating 수를 같이 증가시켜야 함을 확인 할 수 있다.

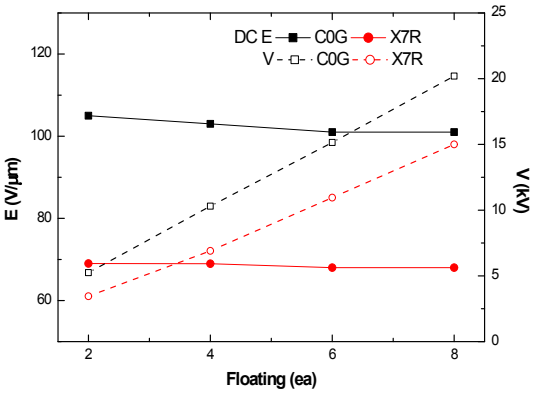


그림 6. floating수에 따른 DC 단위두께당 내전압(E) 및 절연파괴전압(V).

Fig. 6. Withstanding voltage per unit(E) and dielectric breakdown voltage (V) on DC as a function of the number floating.

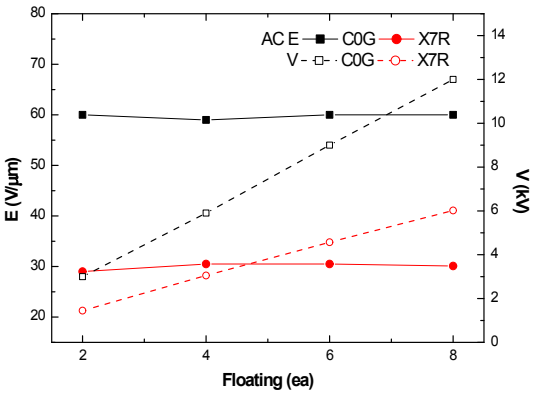
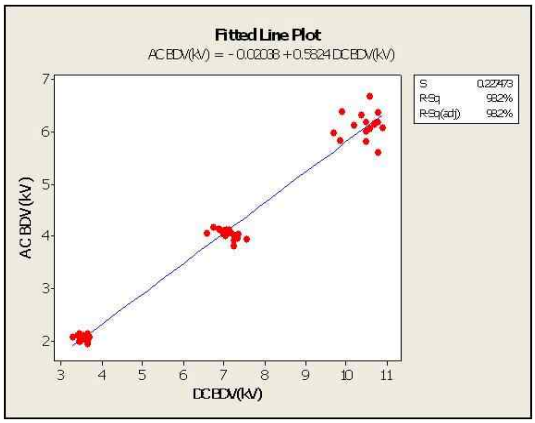


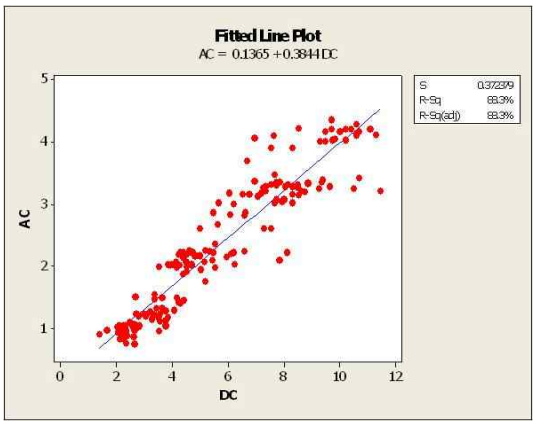
그림 7. 내부전극 floating수 에 따른 AC 단위 두께당 내전압(E) 및 절연파괴전압(V).

Fig. 7. Withstanding voltage per unit(E) and dielectric breakdown voltage (V) on AC as a function of the number floating.

그림 8은 DC 와 AC 전압간의 절연파괴전압 관계를 나타낸 그림으로서 C0G 특성에서는 DC 전압과 AC 전압과의 관계를 보면 절연파괴전압 산포가 적으며 관계 회귀식은 AC BDV(kV) = -0.02003 + 0.5824 DC BDV(kV)으로 나타난다. 반면에 X7R 특성의 경우에서는 AC와 DC의 관계 회귀식은 AC BDV(kV) = 0.1365 + 0.3844 DC BDV(kV)로 C0G 특성에 비하여 AC 절연파괴 전압이 급격히 감소됨을 볼 수 있다. 또한, X7R 특성에서 DC 및 AC 절연파괴 전압 산포가 크게 나타남을 볼 수 있으며 이와 같은 결과는 C0G 특성에 비하여 상대적으로 큰 결정립 크기, 기공에 의한 것과 기공에 의한 유전율에 비해 상대적으로 큰 유전율에 전계가 집중되어 절연파괴 전압의 산포가 증가된 것으로 판단된다.



(a)



(b)

그림 8. DC 와 AC 전압간의 절연파괴전압 관계. (a) C0G, (b) X7R

Fig. 8. Relationship between AC and DC dielectric breakdown voltages. (a) C0G, (b) X7R

4. 결 론

고압용 적층 칩 캐패시터 제작을 위하여 C0G, X7R 원료에 대한 절연파괴특성을 연구한 결과 다음과 같은 결론을 얻었다.

(1) C0G 특성의 원료가 X7R 원료보다 단위 두께당 내전압이 높으며 AC 전압 산포도 적음을 확인 할 수 있었다.
(2) 고압용 캐패시터 설계에 있어 전극간의 절연거리는 유전체 두께를 두껍게 하는 것보다는 전극 패턴 설계를 통하여 절연거리를 확보하는 것이 절연파괴전압을 증가시킬 수 있음을 확인하였다.
(3) AC용 고압 적층 칩 캐패시터 설계에 있어 X7R 원료에 비해 C0G 특성의 원료가 절연파괴전압이 우수함을 확인 할 수 있었으며 유전손실이 적을수록 고전압에 유리함을 확인하였다.

참고 문헌

[1] K. Kubota, S. Nishiyama, and K. Malhotra, "Ceramic Capacitors Aid High-Voltage Designs", Power Electronics Technology, p. 14, 2004.

[2] J. R. Yoon, M. K. Kim, and T. S. Chung, "Fabrication and analysis of multilayer ceramic capacitors for medium and high voltage", J. of KIEEME(in Korean), Vol. 18, No. 8, p. 685, 2005.

[3] J. R. Yoon, M. K. Kim, T. S. Chung, B. C. Woo, and S. W. Lee, "The electrical properties of high voltage multilayer chip capacitor with X7R by addition of Er_2O_3 and glass frit", J. of KIEEME(in Korean), Vol. 21, No. 5, p. 440, 2008.

[4] Lundstorm, M., et al. "Measurement of the dielectirc strength of titanium dioxides ceramics", 12th IEEE Plused Power Conference, Vol. 2, p. 1489, 1999.

[5] Galed H. Maher, James M. Wilson, and Samir G. Maher, "Effect of Dielectric Thickness on the dc and ac Dielectric Breakdown Field for Low Fired C0G and X7R Capacitors", CARTS Asia 2005, Taipei, p. 95, 2005.

[6] Y. Zhou and N. Yoshimura, "Short-time DC breakdown phenomena in $BaTiO_3$-based multilayer ceramic capacitors," Jpn. J. Appl. Phys., Vol. 38, p. 1412, 1999.