

논문 2008-45SD-2-18

1/4-레이트 기법을 이용한 클럭 데이터 복원 회로

(A Clock and Data Recovery Circuit using Quarter-Rate Technique)

정 일 도*, 정 향 근**

(Il-Do Jeong and Hang-Geun Jeong)

요 약

본 논문에서는 1/4-레이트 기법을 사용한 클럭 데이터 복원회로를 제안하였다. 제안한 클럭 데이터 복원회로를 사용함에 따라 VCO의 발진 주파수를 낮추므로 고속 동작에 유리하다. 제안된 클럭 데이터 복원회로는 기존 클럭 데이터 복원회로 보다 낮은 지터 특성과 넓은 풀인 (pull-in) 범위를 갖는다. 제안된 클럭 데이터 복원회로는 1/4-레이트 뱅-뱅 형태의 오버샘플링 위상 검출기, 1/4-레이트 주파수 검출기, 2개의 전하펌프 회로와 저역 통과 필터 그리고 링 VCO회로로 구성되어 있다. 제안된 클럭 데이터 복원회로는 $0.18\mu\text{m}$ 1P6M CMOS 공정으로 설계되었고, 칩 면적과 전력 소모는 $1 \times 1 \text{ mm}^2$, 98 mW 이다.

Abstract

This paper presents a clock and data recovery(CDR) using a quarter-rate technique. The proposed CDR helps reduce the VCO frequency and is thus advantageous for high speed application. It can achieve a low jitter operation and extend the pull-in range without a reference clock. The CDR consists of a quarter-rate bang-bang type phase detector (PD), quarter-rate frequency detector (QRFD), two charge pumps circuits(CPs), low pass filter(LPF) and a ring voltage controlled oscillator(VCO). The proposed CDR has been fabricated in a standard $0.18\mu\text{m}$ 1P6M CMOS technology. It occupies an active area $1 \times 1 \text{ mm}^2$ and consumes 98 mW from a single 1.8 V supply.

Keywords : Clock and data recovery(CDR), phase detector(PD), 1/4-rate frequency detector(QRFD)

I. 서 론

최근 사용되는 데이터 네트워크 시스템에서는 기가 비트급 시리얼 데이터 통신이 요구됨에 따라 클럭 데이터 복원 회로(CDR)가 데이터 네트워크 시스템에서 중요한 역할을 한다.^[1] CDR은 수신된 데이터에서 클럭을 추출한 후 추출된 클럭으로 수신된 데이터를 샘플링 하여 송신된 데이터를 복원 한다. 이런 CDR에는 랜덤한 NRZ 데이터의 천이를 검출하는 위상/주파수 검출기가 가장 중요한 역할을 한다. 일반적으로 랜덤한 NRZ입력 데이터에서 위상/주파수 검출기를 구현하기 위해 Hogge, Alexander 등의 위상 검출기가 사용되고 있다.

그러나 기존의 위상/주파수 검출기는 고속 동작이 어려우며 이를 극복하기 위한 방법으로 1:N 디멀티플렉스 오버샘플링 기법을 주로 사용한다. 오버샘플링 방법을 이용한 데이터 복원 기술에는 다중 위상 샘플링 데이터로부터 가장 적절한 위상의 정보를 연속적으로 피드백 하여 데이터의 중앙 부분의 위상 값을 선택하는 위상 트래킹 방법이 있다.^[4] 위상 트래킹 방법은 PLL 기반의 구조를 CDR에 적용 한다. 일반적으로 PLL의 루프 대역폭을 입력 기준 신호의 1/10로 정하지만 CDR에서는 잡음 특성을 좋게 하기 위해 루프 대역폭을 1/10 이하로 결정 한다. 그러나 루프 대역폭이 작아지면 캡처 범위(capture range)와 풀인 범위(pull-in range)가 줄어들다. 그러므로 CDR에서는 별도의 주파수 피드백 루프를 사용하고, 이로 인해 획득 범위(acquisition range)가 넓어지고, 획득 시간(acquisition time)은 줄어들게 된다. 그러나 기존의 1-레이트(full-rate)과 1/2-레이트(half-rate) 기법을 적용한 CDR은 고속의 입력 데이

* 학생회원, ** 정회원 전북대학교 전자정보공학부
(Division of Electronics & Information Engineering,
Chonbuk National University)

※ 본 연구는 BK21사업 연구비의 지원에 의하여 수행
하였음.

접수일자: 2007년11월13일, 수정완료일: 2008년2월5일

터를 복원 할 수 없는 문제점이 있다. 만약 1-레이트 CDR, 1/2-레이트 CDR과 1/4-레이트 CDR의 입력 데이터가 같다면 1-레이트 CDR의 경우 1/2-레이트 와 1/4-레이트 CDR에 비해 VCO의 발진 주파수가 높으므로 전력 소모가 크게 되고 적은 지터 특성을 가질 수 없다. 이에 비해 1/2-레이트와 1/4-레이트 CDR은 1-레이트 CDR에 비해 VCO가 발진 주파수를 높게 출력하지 않으므로 VCO의 전력 소모가 1-레이트 CDR보다 상대적으로 작고 지터 특성도 개선이 된다. 그러므로 고속의 입력 데이터의 복원과, 전력 소모, 그리고 적은 지터 특성을 가지기 위해 1/4-레이트 기법을 적용한 CDR이 필요하다.^[3]

본 논문에서는 위에서 설명한 오버샘플링 기법과 위상 트래킹 방법을 적용한 1/4-레이트 CDR을 제안하였다.

II. 본 론

1. 전체 구조

그림 1은 제안한 CDR구조를 나타낸다. 본 논문 구조는 서론에서 설명한 PLL 기반의 구조를 적용함으로써 시스템간 데이터의 송수신에서 클록 동기화와 정확한 데이터의 송수신을 위해 클록 동기화 회로, 데이터 복원 회로를 따로 구성하는 것이 아니라 송신되는 데이터에서 클록 정보를 추출하고, 이를 이용하여 수신된 데이터를 복원한다. 제안한 CDR 구조는 크게 5개의 부분으로 나뉘고 그 구성은 1/4-레이트 오버샘플링 위상검출기(phase detector), 1/4-레이트 주파수 검출기(frequency detector)와 2개의 전하 펌프(charge pump) 회로, 저역통과 필터(low pass filter) 그리고 링 VCO(voltage controlled oscillator)로 되어 있다.

위상 검출기는 4배 오버샘플링 방식^[3]을 이용하여 입력되는 데이터를 8개의 클록으로 샘플링 하고 데이터의 천이 위치를 파악 한 후 데이터의 천이 위치에 따른 위상 정보를 검출하게 되어 2개의 위상 정보(phase up, phase down)를 출력 한다. 주파수 검출기는 입력되는 데이터와 4개의 클록을 이용하여 2개의 주파수 정보(frequency up, frequency down)를 출력 한다. 위상 검출기와 주파수 검출기에서 나오는 4개의 위상과 주파수 정보를 링 VCO를 제어하기 위한 값으로 변경하기 위해 2개의 전하 펌프회로가 사용된다. 전하 펌프1회로는 위상 정보를 반영하고, 전하 펌프2회로는 주파수 정보를 반영하여 저역 통과 필터에 전류 값을 변화하여 링

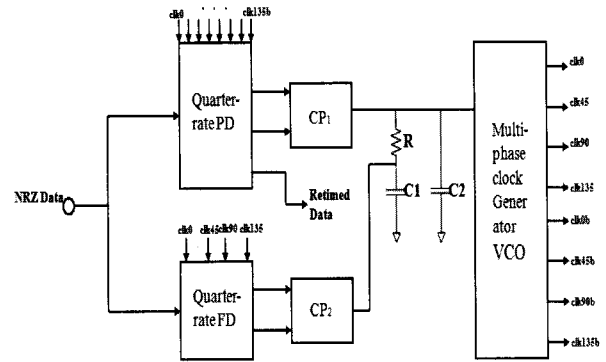


그림 1. 제안한 클록 데이터 복원 회로
Fig. 1. Proposed CDR circuit.

VCO를 제어 한다. 링 VCO는 기본적인 차동 지연 셀 4개로 구성되어 있고 8개의 클록 신호가 출력되어 위상 검출기와 주파수 검출기에 쓰인다.

2. 세부 회로

가. 위상 검출기

그림 2는 위상 오차를 검출하는 위상 검출기에 대한 블록 다이어그램을 나타낸다. 4개의 지연 셀을 사용하는 링 VCO의 8개 출력 클록 신호를 4배 오버샘플링을 위한 클록으로 사용한다. 위상 검출기가 1/4-레이트 방식이기에 링 VCO의 8개의 클록은 45도의 위상차를 가지며 출력 된다.

그림 3은 위에서 설명한 8개의 링 VCO 출력 클록으로 연속되는 데이터를 샘플링 하여 데이터의 위치에 따른 위상차에 대한 판단 조건을 나타내고 있다. 우선 위상이 잠금 상태가 되는 경우는 클록 0° , 90° , 180° , 270° 에서 입력 데이터의 천이가 발생하는 경우로 정의된다.

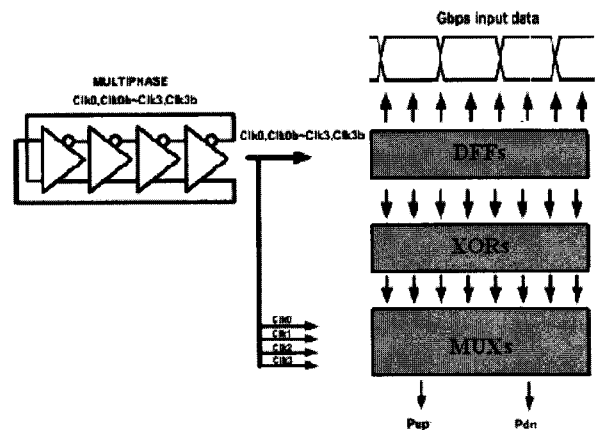


그림 2. 1/4-레이트 위상 검출기 블록 다이어그램
Fig. 2. Block diagram of quarter-rate phase detector.

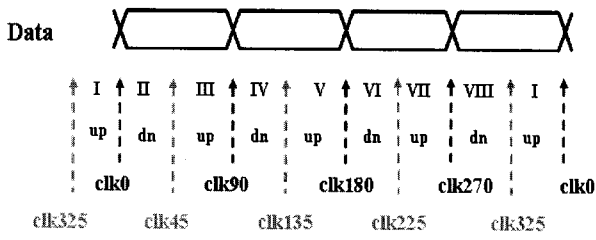


그림 3. 1/4-레이트 위상 검출기의 신호 검출 조건
 Fig. 3. Detecting conditions of quarter-rate Phase detector.

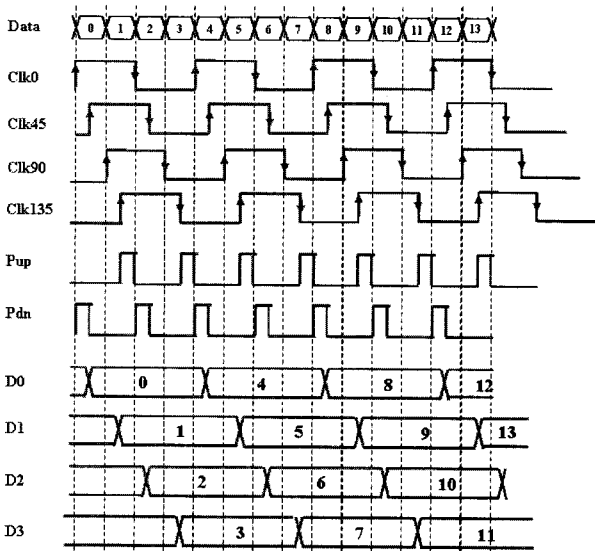


그림 4. 1/4-레이트 위상 검출기의 동작
 Fig. 4. Operation of the quarter-rate phase detector.

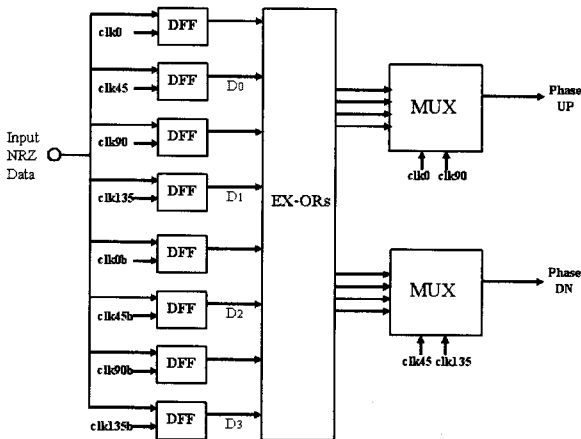


그림 5. 1/4-레이트 위상 검출기 구조
 Fig. 5. Structure of quarter-rate phase detector.

이 상태를 기준으로 하여 입력 데이터와 피드백 클럭의 위상차를 위상 검출기 출력으로 내보낸다. 데이터의 천이가 구간 I, III, V, VII에서 발생하면 클럭의 위상을 왼쪽으로 이동하라는 신호(phase up)를 생성하고, 구간 II, IV, VI, VIII에서 데이터 천이가 발생하면 클럭의 위상을 오른쪽으로 이동하라는 신호(phase down)를 생성하

게 된다. 표 1.은 위에서 언급된 위상차에 따른 신호를 정리하였다.^[3~4]

그림 4는 위상이 잠금 상태일 경우의 위상 검출기의 동작을 나타낸다.

그림 5는 위에서 설명한 4배 오버샘플링 방식의 위상 검출기 구조를 나타낸다.

나. 주파수 검출기

그림 6은 1/4-레이트 주파수 검출기 블록 다이어그램을 나타내고 있다. 링 VCO의 8개의 출력 중 4개의 클럭 신호와 입력 데이터 레이트를 비교하여 데이터의 주파수를 찾아간다. 주파수 검출기는 2개의 XOR, 4개의 D-flip flop과 로직 회로들로 이루어져 있다.

링 VCO의 4개 출력 클럭(0°, 45°, 90°, 135°)이 클럭 0°와 90°, 클럭45°와 135°가 XOR을 거치면서 새로운 클럭 I와 Q를 생성한다.

새로운 클럭 I와 Q는 4(I, II, III, IV)개의 구간으로 나뉜다. 그림 7은 입력 데이터의 천이가 4개 구간 변화에 따른 특성을 나타낸 타이밍도이다.

그림 7(a)은 입력 데이터가 클럭보다 주파수가 높을 경우를 나타내고 있다. 입력 데이터 천이가 처음에는 I 구간에서 발생하고, 다음 데이터 천이가 IV구간에서 발생하면 클럭이 입력 데이터보다 낮기 때문에 주파수 검출기에서는 주파수를 높게 하는 신호를 출력(frequency up)으로 내보낸다.

그림 7(b)은 입력 데이터가 클럭보다 주파수가 낮을 경우를 나타내고 있다. 입력 데이터 천이가 처음에는 I 구간에서 발생하고, 다음 데이터 천이가 II구간에서 발생하면 클럭이 입력 데이터보다 높기 때문에 주파수 검

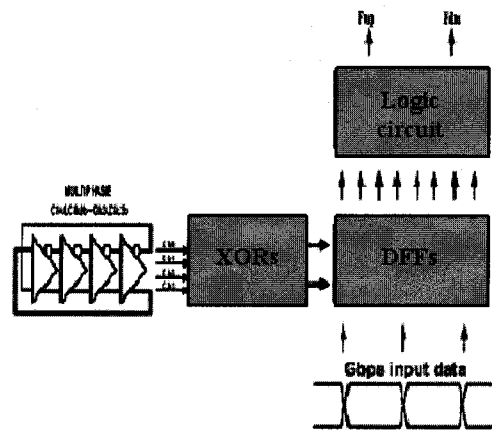


그림 6. 1/4-레이트 주파수 검출기 블록 다이어그램
 Fig. 6. Block diagram of quarter-rate frequency detector.

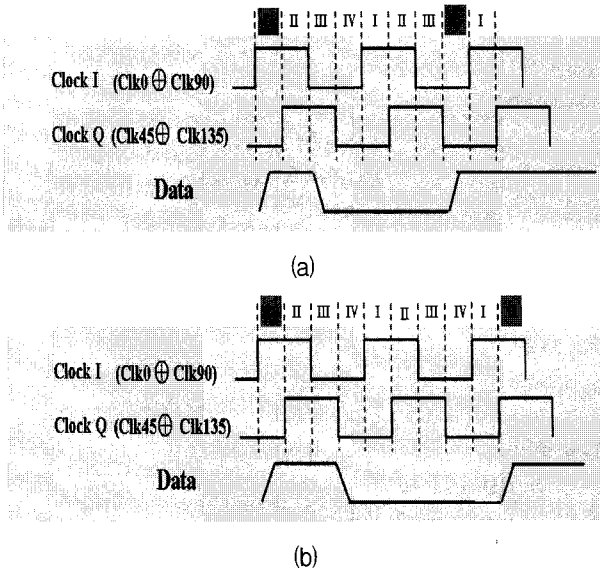


그림 7. 타이밍도 (a) 상태 I에서 IV로의 상태변화 (b) 상태 I에서 II로의 상태 변화
 Fig. 7. Timing diagram (a) the state transition from state I to state IV (b) the state transition from state I to state II.

	Q5Q6	State IV	State III	State II	State I
Q7Q8	00	01	11	10	
State IV 00		UP		DN	
State III 01	DN		UP		
State II 11		DN		UP	
State I 10	UP		DN		

그림 8. 주파수 검출기 진리표
 Fig. 8. Truth table of frequency detector.

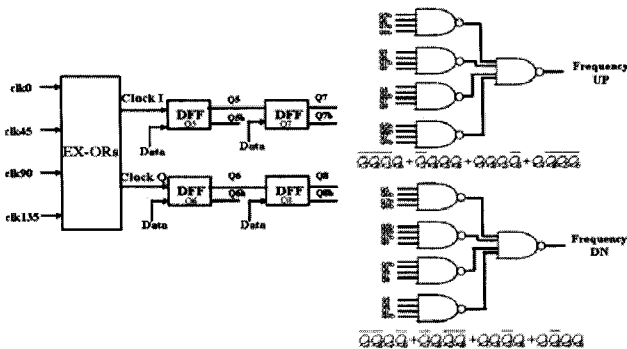


그림 9. 1/4-레이트 주파수 검출기 구조
 Fig. 9. Structure of quarter-rate frequency detector.

출기에서는 주파수를 낮게 하는 신호를 출력(frequency down)을 내보낸다.^[2] 그림 8은 로직 회로에 대한 진리표를 나타낸다.

그림 9는 위에서 설명한 1/4-레이트 주파수 검출기 구조이다.

III. 결 과

모의실험은 0.18 μ m 공정으로 Cadence spectre 시뮬레이터를 이용하였다. 그림 10과 11는 모의실험 결과를 나타낸다. 그림 10은 잠금 상태에서 수도랜덤 생성기 (PRBS generator)에서의 출력인 NRZ 데이터와 링VCO의 클록0°, 45°의 파형을 나타낸다. 보시는 파형과 같이 제안한 CDR의 1/4-레이트 동작을 확인 할 수 있다.

그림 11은 복원된 클록 0°, 45°의 아이 다이어그램으로 지터 특성은 클록 0°, 45°각각 37ps 이다. 그림 12는 제안한 클록 데이터 복원회로의 레이아웃 도이고 전체 면적은 1 x 1 mm² 이다. 그림 13은 입력 데이터 레이트가 1.8Gbps 일 때의 복원된 클록 주파수 450MHz을 나타낸 칩 측정 결과이다. 칩 측정 결과 복원된 클록의 지터 특성은 64ps 이다.

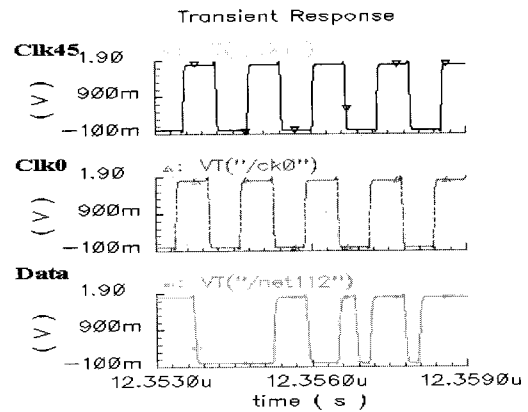


그림 10. 클록과 데이터 복원 회로 모의실험 결과
 Fig. 10. Simulated result of CDR circuit.

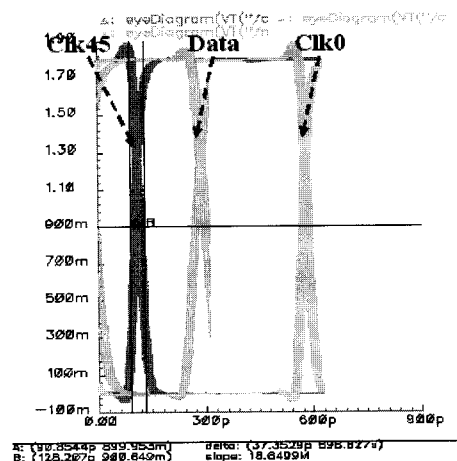


그림 11. 복원된 클록 아이 다이어그램의 모의실험 결과
 Fig. 11. Simulated eye-diagram of retimed clock.

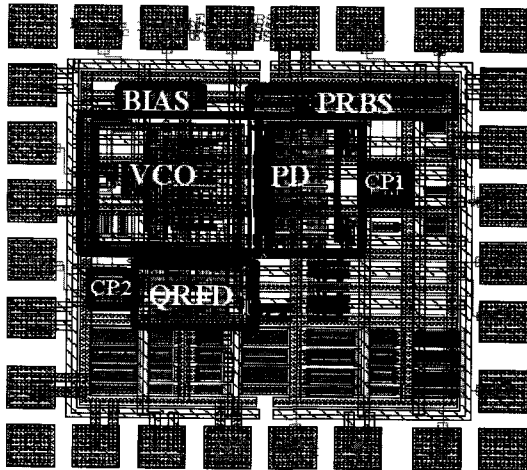


그림 12. 제안한 클럭 데이터 복원회로 레이아웃도
 Fig. 12. Layout of the proposed CDR.

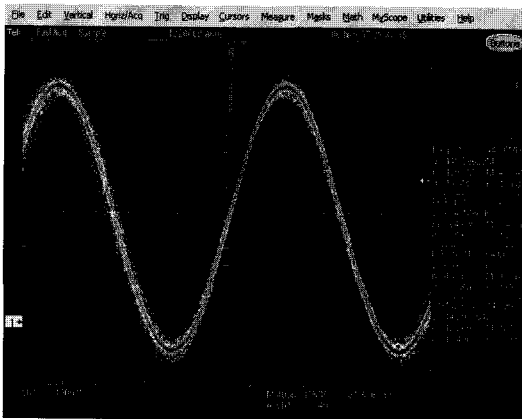


그림 13. 복원된 클럭의 측정 결과
 Fig. 13. Measured result of the retimed clock

IV. 결 론

제안한 CDR은 전원 전압 1.8V, 0.18 μ m CMOS 공정으로 설계하였다. 본 논문에서 제안한 CDR은 1/4-레이트 기법을 사용함으로써 기존의 1-레이트, 1/2-레이트 CDR보다 고속 동작 및 저 전력 동작에 적합하고 랜덤 NRZ 입력 데이터 복원에 필요한 링 VCO 출력 클럭을 더욱 안정적으로 제공 한다. 이는 CDR 설계에 있어서 가장 성능 제약이 되고 있는 VCO에 대한 설계를 손쉽게 해준다.

랜덤 NRZ 입력 데이터 보다 4배 낮춰진 주파수를 이용한 4배 오버샘플링 방식을 적용한 위상 검출기를 사용함으로써 기존의 Hogge, Alexander 위상 검출기보다 고속 동작의 입력 위상 트래킹을 할 수 있다. 1/4-레이트 오버 샘플링기법 위상 검출기와 1/4-레이트 주파수 검출기를 사용함으로써 고속 동작에 유리한 CDR을 설

계하였고, 칩을 제작하여 검증 하였다. 제안한 CDR의 복원된 클럭의 지터는 64ps 인 것을 확인하였고, 전력 소모는 98mW이다.

참 고 문 헌

- [1] B. Razavi, *Design of Integrated Circuits for Optical Communications*, pp. 288-332, McGrawHill, 2002.
- [2] Rong-Jyi Yang, Shang-Ping Chen, Shen-Iuan Liu: "A 3.125-Gbps Clock and Data Recovery Circuit for the 10- Gbase-LX4 Ethernet", *IEEE JOURNAL OF SOLID-STATE-CIRCUITS*, vol. 39, NO8, AUGUST 2004.
- [3] S.J. Song, S.M. Park, and H.J. YOO, "A 4-Gbps CMOS clock and data recovery circuit using 1/8-rate clock technique." *IEEE J. Solid-State Circuits*, vol. 38, pp. 1213-1219, July 2003.
- [4] J. Savoj and B. Razavi. "A 10-Gbps CDR/DEMUX with LC delay line VCO in 0.18- μ m CMOS", *IEEE J. Solid-State Circuits*, vol. 37, pp. 1781-1789, May 2002.

저 자 소 개



정 일 도(학생회원)
 2006년 전북대학교 전자정보 공학부 학사 졸업
 2008년 전북대학교 전자정보 공학부 석사 졸업 예정
 <주관심분야 : 아날로그, RF 회로 설계>



정 향 근(정회원)
 1977년 서울대학교 전자공학과 학사 졸업.
 1979년 한국과학기술원 전기전자 공학석사 졸업.
 1989년 플로리다대학교 전기공학 박사 졸업.
 1979년~1982년 한국전자통신연구소 재직
 1989년~1991년 모토롤라 고급기술연구소 재직
 1991년~현재 전북대학교 전자정보공학부 교수
 <주관심분야 : 아날로그, RF 회로설계>