

논문 2008-45SD-2-17

높은 Q값을 갖는 저전압 능동 CMOS 인덕터

(A Low-voltage Active CMOS Inductor with High Quality Factor)

유 태 근*, 홍 석 용*, 정 항 근**

(TaeGeun Yu, SukYong Hong, and HangGeun Jeong)

요 약

본 논문에서는 Q값(Q-factor)을 증가시킬 수 있는 저전압 능동(active) CMOS 인덕터를 제안하고 설계하였다. Q값을 증가시키기 위한 방법으로 저전압 능동 CMOS 인덕터에 피드백 저항을 삽입하여 등가적인 인덕턴스와 Q값을 증가시켰다. 저전압 능동 CMOS 인덕터는 0.18 μ m 표준 CMOS 공정으로 설계하였으며 모의실험은 애질런트사의 ADS 시뮬레이터를 이용하였다. 모의 실험결과 설계된 피드백 저항을 삽입한 저전압 능동 CMOS 인덕터는 4GHz에서 1.5nH의 인덕턴스와 최대 3000이상의 Q값을 가졌고 소비전력은 5.4mW였다.

Abstract

A low-voltage active CMOS inductor approach, which can improve the quality-factor(Q), is proposed in this paper. A low-voltage active inductor circuit topology with a feedback resistance is proposed, which can substantially improve its equivalent inductance and quality-factor(Q). This proposed low-voltage active inductor with a feedback resistance was simulated by ADS(Agilent) using 0.18 μ m standard CMOS technology. Simulation showed that the designed active inductor had a maximum quality-factor(Q) of 3000 with a 1.5nH inductance at 4GHz

Keywords : 능동 인덕터(active inductor), CMOS, Q-factor, 피드백 저항(feedback resistance), 저전압(low-voltage)

I. 서 론

최근 CMOS 공정 기술의 발전에 따라 RF(Radio Frequency)소자들을 CMOS 기술을 이용하여 구현하고 있고 특히 RF 회로 설계에 필수적인 인덕터를 집적화하는 연구가 활발히 진행되고 있다. 기존의 연구에서는 인덕터를 집적화하는 방법으로 다층의 나선형(spiral) 구조를 사용하거나 또는 높은 저항률(resistivity)을 갖는 기판(substrate)등을 사용하여 3~10 범위의 Q값(Q-factor)을 갖는 인덕터를 구현하였다^[1~3]. 인덕터를 구현하는 또 다른 방법은 본딩 와이어(bonding wire)의 인덕턴스를 이용하는 것이다. 그러나 이는 극히 제한된 회로 구조에만 적용이 가능하다. 현재 RF 집적 회로에

서는 주로 실리콘 기판에 나선형 인덕터를 집적화하여 사용하고 있다. 그러나 CMOS 공정에서는 기판의 손실로 인해 충분히 큰 Q값을 가지는 인덕턴스를 구현하지 못한다. 또한 CMOS 공정에서 집적화된 나선형 구조의 인덕터는 넓은 칩 면적을 차지하므로 제조 비용이 증가하게 된다. 이로 인해 제안된 방법은 CMOS 소자를 이용한 능동(active) 인덕터이다. 능동 CMOS 인덕터는 실리콘 기판에 집적화된 나선형 인덕터와 비교할 때 칩 면적이 상대적으로 작고 높은 Q 값을 가지며 인덕턴스를 가변시킬 수 있는 장점이 있다. 이런 장점으로 능동 CMOS 인덕터는 온-칩(on-chip) 필터, 매칭 네트워크(matching network), LC tank 회로등 광범위한 분야에 응용이 가능하다^[4~5]. 그러나 능동 소자를 사용하기 때문에 동작 주파수의 한계와 높은 잡음 지수, 직류 전력 소모 등의 단점을 가지고 있다. 본 논문에서는 피드백 저항을 이용하여 기존의 능동 CMOS 인덕터 회로보다 높은 Q값을 가지며 저전원 전압으로 구동 가능한 회로를 제안하였으며 이 회로를 기존의 회로와 비교 분석하

* 학생회원, ** 정회원 전북대학교 전자정보공학부
(Division of Electronics & Information Engineering,
Chonbuk National University)

※ 본 연구는 BK21사업 연구비의 지원에 의하여 수행하였음.

접수일자: 2007년11월13일, 수정완료일: 2008년2월5일

였다.

본 논문의 II절에서는 제안된 피드백 저항을 갖는 높은 Q값의 저전압 능동 CMOS 인덕터를 정량적인 분석을 하였으며 III절에서는 전원 전압 1.8V, 0.18um 일반적인 CMOS 공정으로 ADS(에질런트) 시뮬레이터를 이용한 모의실험 결과를 나타내었다. 결론적으로 피드백 저항을 갖는 능동 CMOS 인덕터는 기존의 회로보다 낮은 전압 헤드룸(voltage headroom)을 가지며 또한 피드백 저항이 없는 회로와 동일한 전력소모에도 불구하고 큰 Q값 갖는다.

II. 능동 인덕터 회로 설계

1. 기존의 능동 인덕터 회로

자이레이터(gyrator) 모델에 기초한 간단한 능동 인덕터는 트랜스컨덕턴스(transconductance) 소자로서 단일 MOS 트랜지스터를 사용하여 구현될 수 있다^[6]. 그림 1과 같은 자이레이터의 등가 모델에서 동일한 트랜지스터를 가정했을 때 입력 임피던스는 식(1)과 같이 표현될 수 있다. 식(1)은 자이레이터 모델의 입력 임피던스가 인덕턴스 성분으로 모의됨을 알 수 있다.

$$Z_{IN} = \frac{V}{I} = \frac{sC}{g_{m1}g_{m2}} = j\omega \frac{sC}{g_{m1}g_{m2}} = j\omega L \quad (1)$$

$$L = \frac{sC}{g_{m1}g_{m2}}$$

그림 2는 공통 소스(common source) 트랜지스터 M_2 , 공통 드레인(common drain) 트랜지스터 M_1 , 그리고 바이어스 전류원 I_1, I_2 로 구성된 간단한 접지 능동 CMOS 인덕터 회로를 보여준다. 그림 2의 능동 CMOS 인덕터 회로를 자이레이터 모델로 나타낼 때 트랜지스터 M_1, M_2 는 트랜스컨덕턴스로서 각각 $-g_{m1}, g_{m2}$ 의 기능을 하고 회로 구동을 위한 최소한의 전원 전압은

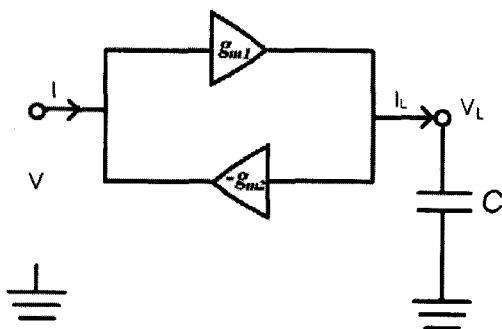


그림 1. 자이레이터 모델
Fig. 1. Gyrator model.

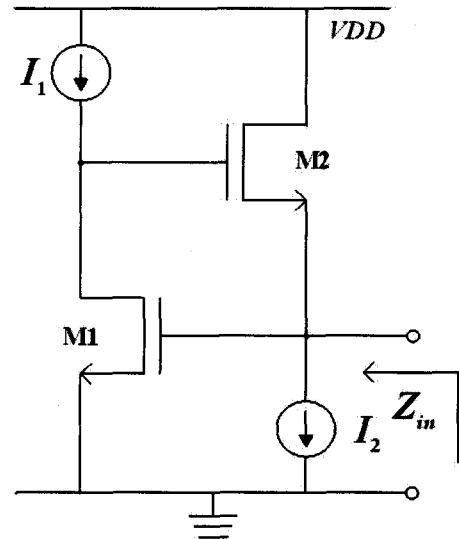


그림 2. 간단한 접지 능동 CMOS 인덕터
Fig. 2. Simple grounded CMOS active inductor.

식(2)와 같다.

$$V_{DD, \min} = 2V_{GS, n} + V_{DS, sat} \quad (2)$$

식 (2)에서 알 수 있듯이 그림 2의 능동 CMOS 인덕터 회로는 구동에 필요한 전원 전압이 상대적으로 높기 때문에 저전압 또는 큰 스윙이 요구되는 응용분야에는 부적합하다는 것을 알 수 있다.

2. 피드백 저항에 의해 Q값이 향상된 능동 저전압 CMOS 인덕터

그림 3은 기존의 저전압 능동 인덕터와 소신호 등가 회로를 보여주고 있다^[7]. 높은 주파수에서 능동 CMOS 인덕터는 그림 3처럼 손실을 갖는 공진기(resonator)로 등가적인 모델로 나타낼 수 있다. 그림 3의 등가 입력 임피던스는 식(3)처럼 표현될 수 있다. 여기서 $C_{gs} \gg C_{gd}$ 을 가정하였고 g_m, g_{ds} 그리고 C_{gs} 는 트랜지스터의 트랜스컨덕턴스, 출력 컨덕턴스(conductance)

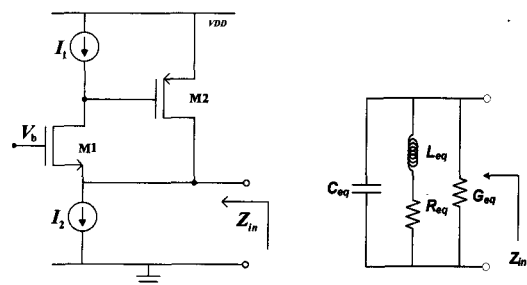


그림 3. 저전압 능동 CMOS 인덕터 그리고 등가 회로
Fig. 3. A low-voltage active CMOS inductor and equivalent circuit.

그리고 게이트와 소스사이의 커패시턴스를 나타낸다. 식(3)에서 표현된 것처럼 그림 2의 간단한 접지 능동 CMOS 인덕터와 비교했을 때 인덕턴스와 직렬 저항 성분은 변하지 않는다^[8].

$$Z_{IN} \approx \frac{g_{ds1} + s(C_{gs2} + C_{gd1} + C_{gd2})}{(g_{ds1} + g_{m1} + sC_{gd2})(g_{m2} + s(C_{gs2} + C_{gd1}))} \quad (3)$$

$$L_{eq} \approx \frac{C_{gs2}}{g_{m1}g_{m2}}, \quad G_{eq} \approx g_{ds2} + g_{m1} \approx g_{m1}$$

$$R_{eq} \approx \frac{g_{ds1}}{g_{m1}g_{m2}}, \quad C_{eq} \approx C_{gs1}$$

그러나 그림 2의 회로 구동을 위해 필요한 최소 전원 전압이 $2V_{GS,n} + V_{DS,sat}$ 인 것에 비해 그림 3의 회로는 $V_{GS,p} + 2V_{DS,sat}$ 로 더 낮은 전원 전압으로 회로를 구동할 수 있음을 알 수 있다. 식(3)은 저전압 능동 CMOS 인덕터의 등가 회로로 표현했을 때의 등가 인덕턴스 (L_{eq}), 등가 컨덕턴스(G_{eq}), 인덕터의 등가손실 저항 (R_{eq}), 그리고 등가 커패시턴스(C_{eq})을 나타내었다. 식(3)으로부터 트랜스컨덕턴스 G_{eq} 의 증가는 저전압 능동 인덕터의 Q값이 감소됨을 알 수 있다. 그러므로 능동 인덕터의 Q값과 인덕턴스의 증가시키기 위해 그림 3의 회로에서 M2의 트랜지스터의 게이트에 피드백 저항(R_f)을 삽입한 그림 4의 회로를 제안하였다^[8-9].

$$L_{eq} \approx \frac{C_{gs2}(1 + R_f g_{ds1})}{g_{m1}g_{m2}}, \quad G_{eq} \approx g_{ds2} + \frac{g_{m1} + R_f g_{ds1}^2}{1 + R_f g_{ds1}} \quad (4)$$

$$R_{eq} \approx \frac{g_{ds1}}{g_{m1}g_{m2}}, \quad C_{eq} \approx C_{gs1}$$

그림 4의 회로는 공통 소스 트랜지스터 M2, 공통 게이트 M1, 피드백 저항 R_f 그리고 바이어스 전류 소스 I_1, I_2 로 구성되어 있다. 식(4)는 피드백 저항에 의한 높은 Q값을 갖는 제안한 저전압 능동 CMOS 인덕터의

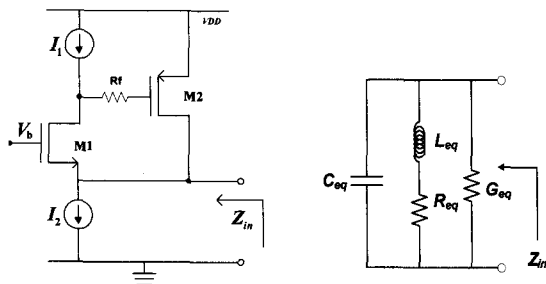


그림 4. 피드백 저항(R_f)에 의한 높은 Q-factor를 갖는 제안한 저전압 능동 CMOS 인덕터와 등가 회로
Fig. 4. A proposed high-Q low-voltage active CMOS inductor by a feedback resistor(R_f) and equivalent circuit.

등가 회로로 표현했을 때의 각 성분들을 나타냈었다. 식(4)에서 보는 바와 같이 $1 + R_f g_{ds1}$ 성분은 등가 컨덕턴스 손실은 감소시키고 등가 인덕턴스는 증가시킴을 알 수 있다. 이는 피드백 저항을 삽입함으로써 그림 3의 피드백 저항이 없는 구조보다 컨덕턴스의 손실이 작아짐으로 Q값이 증가됨을 보여준다.

III. 모 의 실험

그림 5는 능동 CMOS 인덕터에 피드백 저항의 유무에 따라 주파수를 1MHz에서 8GHz까지 변화시키면서 단일 포트 S-파라미터(S-parameter) 모의 실험결과를 나타내었다. 그림 5에서 보는 것과 같이 피드백 저항을 삽입했을 때 동일한 주파수 범위 내에서 Q값이 향상됨을 알 수 있다. 그림 6은 주파수를 1MHz에서 8GHz까지 변화시키면서 피드백 저항의 변화에 따른 제안한 저전압 능동 CMOS 인덕터의 특성을 나타내었다. 그림 6에서 보는 것과 같이 저항이 커짐에 따라 S11의 변화 경향은 스미스 차트의 단위원에 접근하는 것을 볼 수 있다. 이것은 능동 인덕터의 손실이 감소함을 의미하므로 Q값은 증가함을 알 수 있다. 그림 7은 피드백 저항의 변화에 따른 제안한 능동 CMOS 인덕터의 Q값의 변화 특성을 나타내었다. 4GHz에서 피드백 저항이 640 Ω 일 때 Q값이 3000이상인 것을 확인하였다. 그림 8은 피드백 저항의 변화에 따른 능동 인덕터의 인덕턴스의 변화 특성을 나타내었다. 식(4)에서 표현한 것처럼 피드백 저항이 증가함에 따라서 인덕턴스도 증가함을 알 수 있다. 결론적으로 피드백 저항이 삽입함으로써 저전압 능동 CMOS 인덕터의 Q값과 인덕턴스가 증가한다. 제안

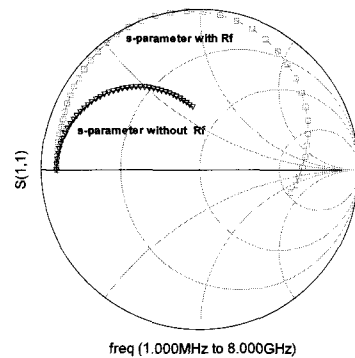


그림 5. 피드백 저항(R_f) 유무에 따른 능동 인덕터의 S11의 변화 특성 : 주파수 1MHz에서 8GHz까지 변화
Fig. 5. Simulated S-parameters of a feedback resistance active inductor with R_f and without R_f ; the frequency region is from 1 MHz to 8GHz.

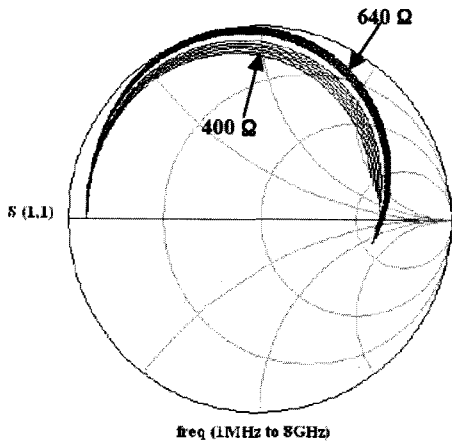


그림 6. 피드백 저항(R_f)의 변화에 따른 능동 인덕터의 S_{11} 의 변화 특성 : 주파수 1MHz에서 8GHz까지 변화

Fig. 6. Simulated S-parameters of active inductor with a feedback resistance(R_f) change ; the frequency region is from 1MHz to 8GHz.

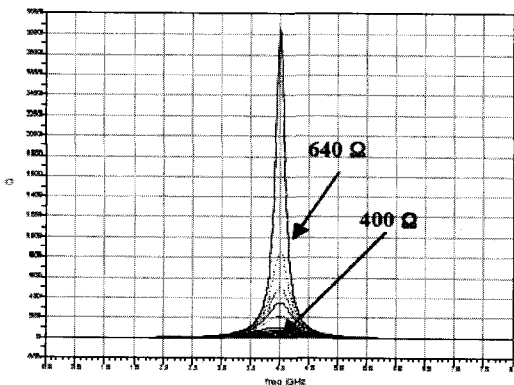


그림 7. 피드백 저항(R_f)의 변화에 따른 능동 인덕터의 Q값의 변화 특성

Fig. 7. Simulated Q value of active inductor with a feedback resistance(R_f) change.

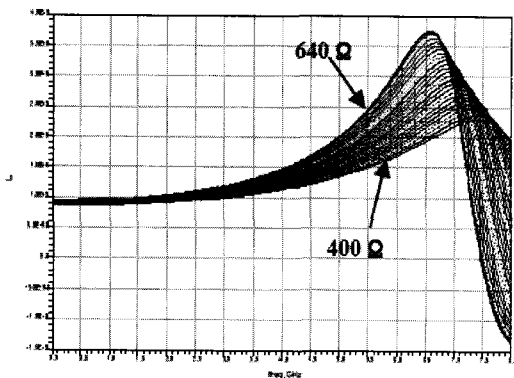


그림 8. 피드백 저항(R_f)의 변화에 따른 능동 인덕터의 인덕턴스의 변화 특성

Fig. 8. Simulated inductance of active inductor with a feedback resistance(R_f) change.

한 피드백 저항을 갖는 저전압 능동 CMOS 인덕터는 0.18um 일반적인 CMOS 공정을 이용하여 설계하였으며 전원 전압은 1.8V, 소비전력은 5.4mW이다.

IV. 결 론

본 논문은 저전압 능동 CMOS 인덕터에 피드백 저항을 삽입하여 Q값과 인덕턴스가 향상된 구조를 제안하였고 0.18um 일반적인 CMOS 공정을 이용하여 설계하였다. 모의실험 결과 4GHz에서 3000이상의 Q 값과 1.5nH의 인덕턴스를 얻었다. 결론적으로 낮은 전원 전압의 능동 CMOS 인덕터에 피드백 저항을 삽입함으로써 피드백 저항이 없는 구조와 동일한 전력 소모에도 높은 Q값을 가지는 인덕터를 설계하였다. 이 제안된 능동 CMOS 인덕터는 온-칩 필터, 매칭 네트워크, LC tank 회로등 광범위한 분야에 적용이 가능하다.

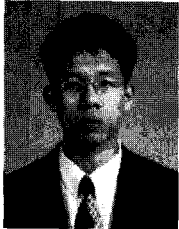
참 고 문 헌

- [1] J. N. Burghartz, K. A. Jenkins, and M. Soyuer, "Multilevel-spiral inductors using VLSI interconnect technology," *IEEE Electron Device Lett.*, vol.17, pp.428 - 430, Sept. 1996.
- [2] M. Park, S. Lee, H. K. Yu, J. G. Koo, and K. S. Nam, "High Q CMOS compatible microwave inductors using double-metal interconnection silicon technology," *IEEE Microwave Guided Wave Lett.*, vol.7, pp.45 - 47, Feb. 1997.
- [3] P. Q. Chen and Y. J. Chan, "Improved microwave performance on low-resistivity Si substrates by Si ion implantation," *IEEE Trans. Microwave Theory Tech.*, vol.48, pp.1582 - 1585, Sept. 2000.
- [4] Hara, S., et al. "Broadband monolithic microwave active inductor and its application to wideband amplifiers" *IEEE Trans. MTT*, vol.36, pp.1920-1924, Dec, 1988.
- [5] Kaunisto, R., et al. "Active inductors for GaAs and bipolar technologies" *Analog Integ. Circuits Signal Process.*, vol. 1, pp. 35-48, July, 1995.
- [6] Ismail, M., Wassenaar, R., and Morrison, W.: "A High-speed Continuous-Time Bandpass VHF Filter In MOS Technology", *Proc. IEEE ISCAS*, 1991, Vol.3, pp.1761-1764
- [7] Apinunt Thanachayanont, "A 1.5-V HIGH-Q CMOS ACTIVE INDUCTOR FOR IF/RF WIRELESS APPLICATIONS", *IEEE*, 2000. pp.654-657

[8] Ming-Juei Wu, Jyh-Neng Yang, and Chen-Yi Lee "A Constant Power Consumption CMOS LC Oscillator Using Improved High-Q Active Inductor with Wide Tuning-Range", *The 47th IEEE International Midwest Symposium on Circuits and Systems*, 2000, pp.347-350

[9] Chao-Chih Hsiao, Chin-WeiKuo, Chien-ChihHo, and Yi-JenChan, "Improved Quality-Factor of 0.18um CMOS Active Inductor by a Feedback Resistance Design", *IEEE Microwave and Wireless Components Lett.*, vol.12, pp.467-469, Dec. 2002.

저 자 소 개



유 태 근(학생회원)
1999년 전북대학교 전자공학과 학사 졸업.
2001년 전북대학교 전자공학과 석사 졸업.
2006년 전북대학교 전자공학과 박사 수료.

2001년~2003년 하이닉스 반도체 주임연구원
2004년~현재 전북대학교 전자정보공학부 박사 과정

<주관심분야 : 아날로그 및 RF 회로설계>



홍 석 용(학생회원)
1998년 호원대학교 전자공학과 학사 졸업.
2003년 전북대학교 전자공학과 석사 졸업.
2005년 전북대학교 전자공학과 박사 수료.

2008년~현재 매그나칩 주임연구원

<주관심분야 : 아날로그 및 RF 회로설계>



정 함 근(정회원)
1977년 서울대학교 전자공학과 학사 졸업.
1979년 한국과학기술원 전기전자공학석사 졸업.
1989년 플로리다대학교 전기공학 박사 졸업.

1979년~1982년 한국전자통신연구소 재직

1989년~1991년 모토롤라 고급기술연구소 재직

1991년~현재 전북대학교 전자정보공학부 교수

<주관심분야 : 아날로그 및 RF 회로설계>