

논문 2008-45SD-2-15

3D MEMS 소자에 적합한 열적 응력을 고려한 수직 접속 구조의 설계

(A design of silicon based vertical interconnect for 3D MEMS devices
under the consideration of thermal stress)

정진우*, 김현철*, 전국진*

(Jinwoo Jeong, Hyeon Cheol Kim, and Kukjin Chun)

요약

3D MEMS 소자 또는 적층형 패키지에 응용하기 위해서 실리콘 관통 비아를 이용한 새로운 수직 접속 방법을 제안하고 그 실효성을 증명하기 위해 제작하였다. 제안된 실리콘 관통 비아는 기존의 관통 비아에서 도전 물질로 사용되던 구리대신 실리콘을 적용하였다. 그 결과 열팽창 계수 차이에 의한 열응력 줄일 수 있어 높은 온도에서 이루어지는 MEMS 공정과 병행 가능하게 되었다. 30 μm 두께의 실리콘 기판 2층이 적층되었으며 40 μm 와 50 μm 의 간격을 가지는 관통 비아 배열을 제작하였다. 관통 비아의 전기적 특성을 측정하고 분석하였다. 측정된 저항 값은 169.9 Ω 이었다.

Abstract

Vertical interconnection scheme using novel silicon-through-via for 3D MEMS devices or stacked package is proposed and fabricated to demonstrate its feasibility. The suggested silicon-through-via replaces electroplated copper, which is used as an interconnecting material in conventional through-via, with doped silicon. Adoption of doped silicon instead of metal eliminates thermal-mismatch-induced stress, which can make troubles in high temperature MEMS processes, such as wafer bonding and LP-CVD (low pressure chemical vapor deposition). Two silicon layers of 30 μm thickness are stacked on the substrate. The through-via arrays with spacing 40 μm and 50 μm are fabricated successfully. Electrical characteristics of the through-via are measured and analyzed. The measured resistance of the silicon-through-via is 169.9 Ω .

Keywords: 3D MEMS, through-via, vertical interconnect, stacked package

I. 서론

휴대가 용이한 전자제품이 선호되는 근래 추세에 따라 작은 면적을 차지하면서도 두께가 얇고 고성능 및 저전력을 실현할 수 있는 반도체 칩의 설계와 패키징에 관련된 기술이 각광을 받고 있다^[1]. 이와 더불어 최근에 MEMS 소자 또한 휴대폰 또는 디지털 카메라와 같이 휴대성이 높은 제품에 그 응용 분야를 늘려감에 따라 소형화의 요구가 증대되고 있다^[2]. 이러한 요구에 대응

하기 위해 여러 가지 연구가 진행되고 있으나 그 중 가장 유효한 전략 중의 하나가 적층이다. 웨이퍼 또는 칩을 얇게 박형화한 후 적층을 하면 그 면적을 크게 절감할 수 있다^[3]. 메모리 및 LSI 칩의 경우 적층이 된 형태의 SiP (system in package)가 많이 연구되어 상용화되고 있다. 하지만 MEMS 소자의 경우 적층을 이용한 패키지의 연구가 미비한 실정이다. 본 논문에서는 접합을 이용해서 3D MEMS 구조를 제작할 수 있는 방법을 제안하였다.

다층 소자를 제작할 경우 필수불가결하게 각 층 간에 전기적 접속 방법에 대해 고려하여야 한다. 칩과 외부 전극간의 접속으로 가장 널리 쓰이는 방법은 와이어 본

* 정희원, 서울대학교 전기컴퓨터공학부
(School of Electrical Engineering and Computer
Science, Seoul National University)
접수일자: 2007년12월10일, 수정완료일: 2008년1월30일

딩(wire bonding) 방법이다. 하지만 이 방법은 접속 밀도에 제한이 있고, 접속을 위한 패드에 많은 공간을 필요로 하기 때문에 본래 적층의 취지에 적합하지 않다. 한편 플립칩(flip chip) 접속 방법의 경우 접속밀도가 높고 솔더볼(solder ball)을 통해 위 아래로 접속할 수 있는 장점이 있다. 그러나 그 접속할 수 있는 칩이 2층에 한정될 뿐만 아니라 신뢰성 문제로 인하여 두 칩 사이의 간극에 별도의 물질을 채워야 한다는 단점이 있다. 특히 접합을 이용하여 다층 소자를 제작하는 경우 위와 아래의 층이 간격 없이 밀착되어야 하므로 플립칩 접속 방법은 적용하기에 근본적인 문제가 있다. 앞에서 언급한 단점을 극복할 수 있는 방안은 관통 비아를 이용하는 방법이다. 관통 비아는 칩의 실리콘 기판을 통하여 수직 접속을 형성하기 때문에 다층 간의 전기적 접속에 유효하다^[4]. 별도의 패드 공간이 필요로 하지 않기 때문에 칩 공간의 낭비 또한 최소화 할 수 있다. 그러나 기존에 연구되어 오던 관통 비아를 3D MEMS 구조에 직접 적용하는 데는 몇 가지 문제가 있다.

가장 큰 문제는 열 응력 문제이다. 다층의 3D 소자를 제작하는 방법은 크게 두 가지로 나뉠 수 있다. 첫 번째 방법은 표면 미세 가공 공정을 이용하여 실리콘 층의 형성과 가공을 순차적으로 진행하는 방법이고 두 번째 방법은 이미 가공된 웨이퍼를 차례대로 접합하는 방법이다^[5]. 각각의 방법에 장단점이 있으나 두 방법 모두 적층 과정에서 발생하는 열 부담을 피할 수 없다. 다층 MEMS 소자의 경우 기밀성이 요구되는 경우가 많아서 양극 접합(anodic bonding) 또는 직접 적합(direct bonding)을 주로 사용하게 된다. 두 접합 방법 모두 상당한 고온을(400°C~1000°C) 요구하기 때문에 접합 이전에 제작된 층들이 고온을 견딜 수 있어야 한다. 이를 위해서는 고온에서 발생하는 열 응력을 최소화할 수 있는 소자 및 접속 구조의 설계가 필요하다. 지금까지 연구되어온 기존의 수직 접속 방법의 경우 웨이퍼를 관통하는 구멍을 뚫고 그 공간에 구리를 채운 형태가 대부분이었다^[4, 6]. 이 경우 실리콘이 3ppm/K의 열팽창 계수를 가지는데 반해 구리는 17ppm/K의 높은 열팽창 계수를 가지기 때문에 고온에서 매우 큰 열 응력이 발생하게 된다. 이러한 이유로 인해 기존의 구리 관통 비아는 접합을 이용한 적층 구조에 적합하지 않다.

두 번째 문제는 관통 비아간의 접속 문제이다. 적층을 위해 접합 공정을 사용하기 때문에 플립칩과 같은 기존의 접근 방법은 유효하지 않다. 적층 구조에서 관통 비아간의 접속 구조에 요구되는 사항은 다음과 같

다. 첫째, 접합을 방해하지 않도록 그 접속 구조가 돌출되지 않아야 한다. 둘째, 접합 이후에 간단한 방법으로 접속을 형성할 수 있어야 한다.

앞에서 언급한 문제를 해결하기 위해서 실리콘을 비아 물질로 사용하고, 금속의 용융을 이용하여 접속을 하는 새로운 관통비아 구조가 제안되었다^[7]. 본 논문에서는 앞서 제안된 실리콘 관통비아의 구조보다 더욱 열 응력 문제가 개선된 관통비아 구조를 설계하고 제작하였다.

II. 설 계

1. 제안한 3D MEMS 구조

DRIE(deep reactive ion etch) 기술은 높은 종횡비를 가지는 실리콘 구조물을 형성하기 위해 MEMS에서 주로 채용되는 식각 방법이다. 한편 직접 접합(direct bonding) 방법은 그 접합 방법이 간단하면서 접합력이 우수하며 기밀성도 유지할 수 있다^[8]. 제안한 3D MEMS 구조는 DRIE와 직접 접합을 번갈아 가면서 사용하여 그 구조를 제작하는 접근 방법을 취하였다.

그림 1은 제안한 3D MEMS 구조의 단면도를 보여준다. 그림에서 각 층은 개별적인 소자일수도 있으나 결합되어 하나의 소자를 이룰 수도 있다. 소자의 설계에 따라 각각의 실리콘 층은 적층 후에 30~60 μm 의 두께로 연마된다. 각 층간에는 1 μm 의 산화막(silicon dioxide)이 형성되어 있어 전기적 절연을 담당함과 동시에 직접 접합의 계면으로 사용된다. 각 층간의 절연 물질로 산화막을 사용한 이유는 열 산화(oxidation)를 통해 비교적 간단하게 형성할 수 있으면서도 동시에 매우 높은 균일도를 가지는 막을 얻을 수 있기 때문이다. 절연 물질이 추후에 직접 접합의 계면으로 사용되기 때문에 반드시 높은 균일도가 요구 된다. 일반적으로 직접 접합은 수에서 수십Å의 균일도가 요구되는데 열 산화

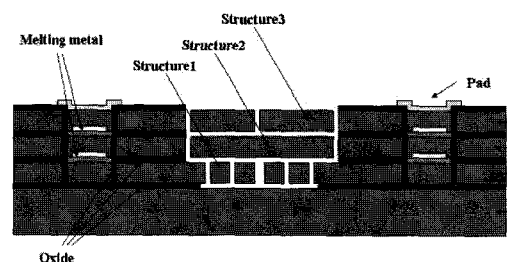


그림 1. 제안한 3D MEMS 구조의 단면도
Fig. 1. Cross section picture of the suggested 3D MEMS structure.

막은 이 조건을 충족한다. 각 층간의 절연 물질로 산화막을 사용할 때 또 하나의 장점은 구조 형성의 용이성에 있다. DRIE로 구조를 정의한 후에 불산을 이용한 습식 식각을 이용하여 간단하게 구조를 릴리즈(release)할 수 있기 때문이다.

각 층간의 수직 접속은 그림과 같이 관통 비아를 이용하여 이루어지게 된다. 그림에는 모든 관통 비아가 다 연결된 형태이나 관통 비아를 적절히 배열할 경우 각 층간의 접속을 자유자재로 이룰 수 있다.

2. 제안한 관통 전극의 구조 및 설계

서론에서 언급하였듯이 기존 구리 관통 비아의 가장 큰 문제점은 구리와 실리콘 간의 열팽창계수(coefficient of thermal expansion) 차이이다. 이를 없애기 위해 관통 비아의 물질을 실리콘으로 대체하였다. 기판 물질과 비아 물질이 실리콘으로 동일하기 때문에 열팽창계수 차이에 의한 열 응력이 없어지게 된다.

그림 2는 제안한 실리콘 관통 비아의 단면도를 나타낸다. 그림처럼 실리콘 기판에 트렌치 격리(trench isolation)를 형성하는 간단한 방법으로 비아를 정의하였다. 트렌치 격리의 경우 DRIE 식각 기술을 이용하여 트렌치를 식각 하고 산화를 통해 1µm의 절연 막을 형성한 후에 트렌치 내부의 0.8µm 너비를 가지는 빈 공간에 다결정 실리콘을 LP-CVD(low pressure chemical vapor deposition) 방법으로 매몰하여 형성하였다. 산화막이 0.5ppm/K의 낮은 열팽창계수로 인하여 압축응력(compressive stress)을 가지는 반면 다결정 실리콘은 인장응력(tensile stress)을 가지기 때문에 응력 상쇄의 효과를 얻을 수 있다.

비아의 측면 벽은 POCl₃ 도핑을 하였다. 도핑의 목적은 두 가지이다. 첫째는 먼저항 값을 낮추기 위해서이다. 금속에 비해 실리콘의 저항 값이 상대적으로 크기

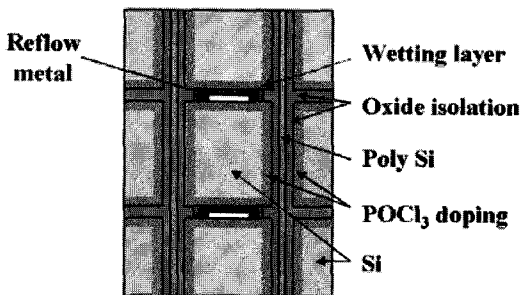


그림 2. 제안한 실리콘 관통 비아의 단면도
Fig. 2. Cross section picture of the suggested silicon-through-via.

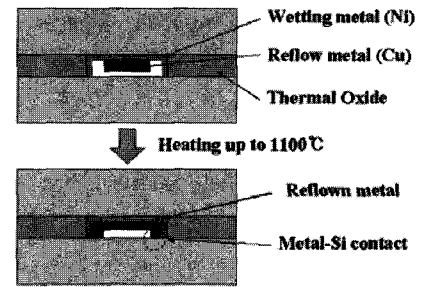


그림 3. 구리 리플로우를 이용한 접속의 개념도
Fig. 3. Schematic of the interconnection using copper reflow.

때문이다. 두 번째 목적은 금속과의 음 접촉을 위해서이다. 도핑을 하게 되면 금속과의 전위 장벽이 줄어들어 음 접촉을 이룰 수 있게 된다.

한편, 비아와 비아간의 접속을 위해서 금속 리플로우를 이용한 접속 구조를 제안하였다. 그림 3은 제안한 실리콘 관통 비아에 사용한 접속 방법의 개념도이다. 식각된 산화막 안에 Cr/Ni의 젖음 금속막이 형성되어 있고, 그 위에 구리가 도금으로 형성되어 있다. 이 상태에서 구리를 녹는점까지 가열을 하게 되면 녹으면서 젖음 금속막을 따라 흐르게 된다. 이로 인해 녹은 금속이 아래층의 실리콘과 접촉하게 되어 접속이 이루어진다. 따라서 직접 접합을 방해하지 않으면서 손쉽게 접속을 이룰 수 있다.

3. 수직 접속 구조의 제작

수직 접속 구조의 제작은 크게 관통 전극의 절연 층을 형성하는 공정과 웨이퍼를 접합하는 공정, 웨이퍼를 적절한 두께로 연마하는 공정으로 나뉘어 진행된다.

그림 4는 관통 전극의 절연 층을 형성하는 공정의 흐름도를 나타내고 있다. 먼저 35µm 실리콘 DRIE를 수행하여 절연층을 위한 골을 형성한다. 그 다음에 습식 산화 공정 및 LP-CVD 공정을 통하여 열산화막과 다결정 실리콘으로 절연층을 채운다. 다결정 실리콘이 웨이퍼 전면에 덮여있기 때문에 접합을 위해서 다결정 실리콘을 습식 식각 방법으로 식각하였다. 가장 밑 바닥이 되는 층은 다음 웨이퍼의 적층을 위하여 CMP(chemical mechanical polishing)으로 평탄화를 하였다.

그림 5는 적층 과정의 공정 흐름도를 나타낸 그림이다. 그림처럼 직접 접합을 이용하여 웨이퍼를 접합하고 CMP를 통하여 접합된 윗층을 갈아내는 방법으로 적층을 진행하였다. CMP시 큰 응력이 발생하기 때문에 주의할 필요가 있다.

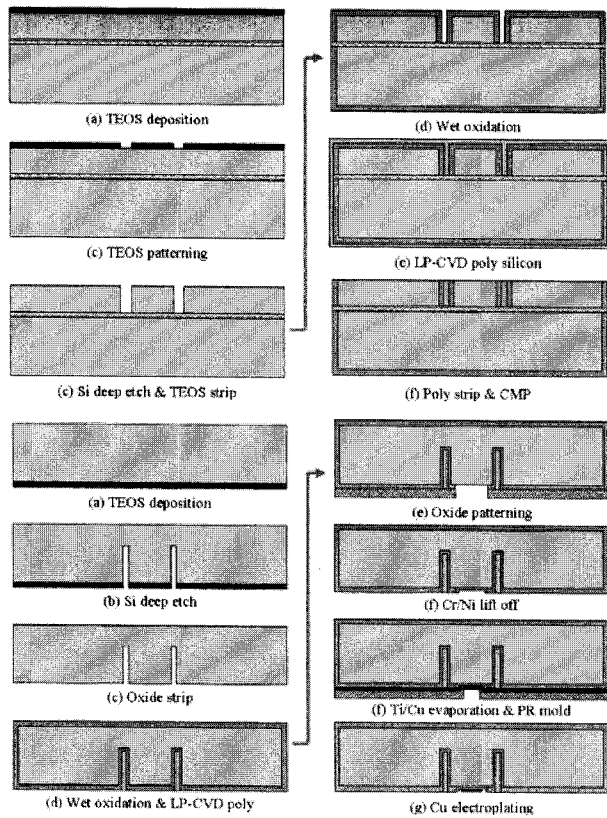


그림 4. 절연층 형성의 공정 흐름도
Fig. 4. Process flow of the isolation trench fabrication.

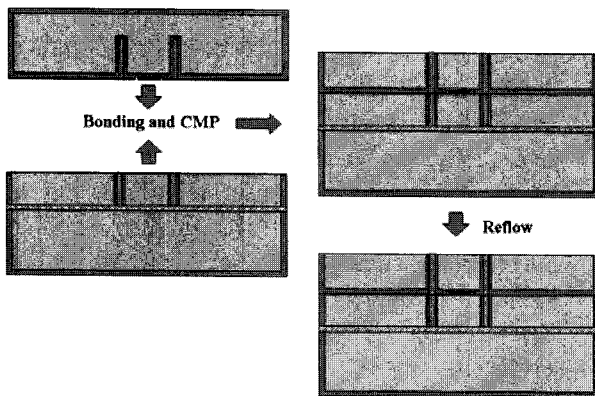


그림 5. 적층 과정의 공정 흐름도
Fig. 5. Process flow of the layer stacking.

III. 제작 결과 및 측정

1. 제작 결과

그림 6은 제작 결과를 나타낸 SEM 사진이다. 40 μ m의 간격을 가지는 실리콘 관통 비아 배열이 제작된 모습이다. 절연이 산화막 및 다결정 실리콘으로 잘 채워졌으며, 구리가 1 μ m의 높이로 도금된 것을 확인할 수 있다.

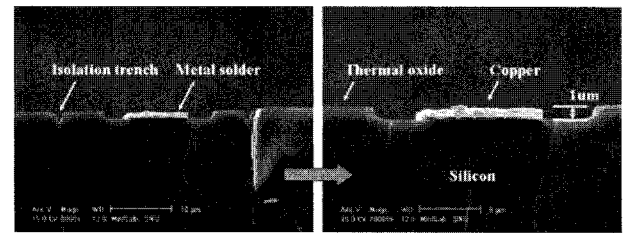
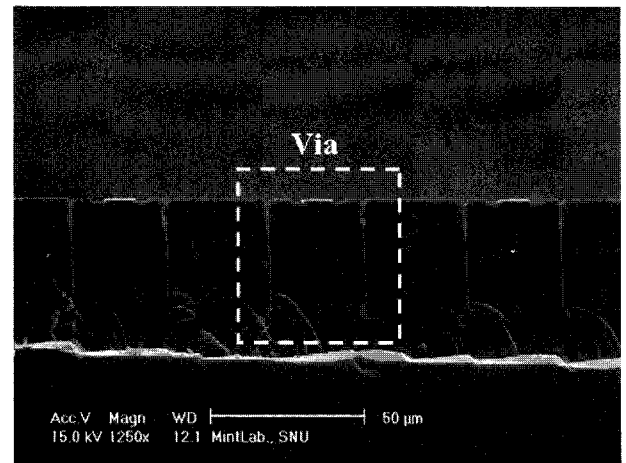


그림 6. 제작된 관통 비아의 SEM 사진
(a) 비아 배열, (b) 확대된 사진
Fig. 6. Cross-sectional SEM pictures of the fabricated silicon-through-via
(a) through-via array, (b) enlarged picture.

2. 측정

비아의 연결성을 확인하기 위하여 I-V 특성을 측정하였다. 비아의 특성을 측정 분석하기 위해 그림 7과 같은 측정 구조를 사용하였다. 각각의 패드를 가진 3개의 관통 비아를 연결하여 각 비아간의 전기 특성을 측정하였다. 그림에서 R_{via} 성분은 비아 도전 물질인 실리콘의 저항을 나타내며, R_{cnt} 성분은 실리콘과 금속의 접촉 저항 성분을 나타낸다. 그리고 R_{tr} 성분은 각 비아를 이어주는 선로의 저항 성분을 의미한다.

앞서 발표되었던 관통 비아 구조에서 측정된 I-V 특

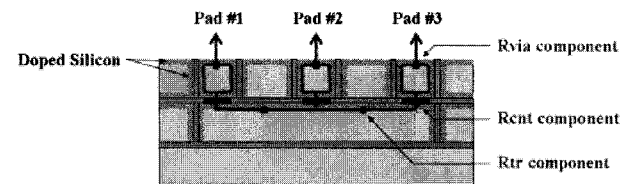


그림 7. 측정 구조
Fig. 7. Measurement scheme.

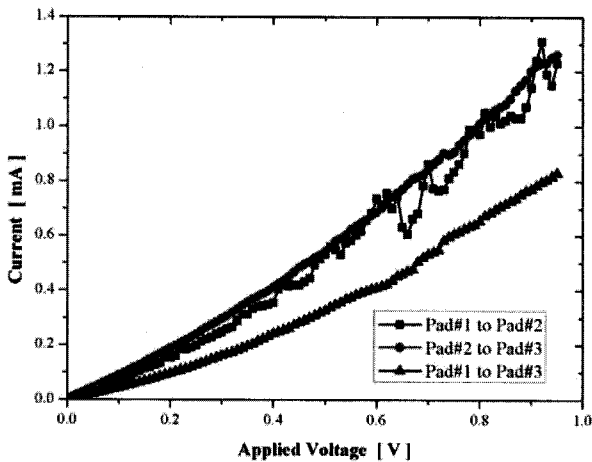


그림 8. 실리콘 관통 비아의 I-V 특성

Fig. 8. I-V characteristic of the silicon-through-via.

성이 그림 8에 도시되어 있다^[7]. 그래프에서 볼 수 있듯이 선형적인 특성을 보였다. 계산을 통해 관통 비아의 저항값을 산출하였으며 그 결과 값은 169.9Ω이었다.

측정된 저항 값을 분석하기 위해 실리콘과 젓음 금속인 Cr/Ni 박막간의 접촉 저항(contact resistivity, ρc) 값을 측정하였다. 측정은 TLM(transmission line method)를 이용하여 이루어졌다. 측정된 값은 $6.95 \times 10^{-5} \Omega \text{cm}^2$ 였다. 측정된 값을 바탕으로 관통 전극의 저항값을 계산해 본 결과 158.5Ω으로 10% 오차 범위 내에서 일치하였다. 접촉 저항 값을 낮추고 동시에 리플로우에 의한 구리와 젓음 금속간의 접촉 면적을 늘린다면 저항 값을 낮출 수 있을 것으로 기대된다.

IV. 결 론

본 논문에서는 3D MEMS 소자에 적합한 관통 비아를 제안하고 제작하였다. 기존의 구리 관통 비아의 열응력 문제점을 분석하고 주요 비아 물질을 실리콘으로 바꾼 실리콘 관통 전극을 디자인 하였다. 제작된 실리콘 관통 비아의 I-V 특성을 측정하였으며 선형적 특성을 확인하였다. 실리콘 관통 비아의 저항값을 측정하였으며 그 값은 169.9Ω이었다. 저항 값에 가장 크게 영향을 주는 요소인 접촉 저항값을 측정하여 관통 비아의 저항값을 계산해 본 결과 159.5Ω으로 10% 오차 범위 내에서 일치함을 확인하였다.

참 고 문 헌

[1] Said F. Al-sarawi, Derek Abbott, and Paul D.

Franzon, "A review of 3-D packaging technology", *IEEE Transactions on Components, Packaging, and Manufacturing Technology-Part B*, Vol. 21, no. 1, pp. 2-14, Feb. 1998.

- [2] Kikuchi, T. Gouji, S. Tai, T. Hayashi, S. Okada, N. Tani, M. Ishikawa, S. Yokoi, S. Enokijima, T. Kawamura, Y. Osugi, Y. Masuda, M. Katsukawa, H. Kobayashi, Y. Morita, "Miniaturized quartz vibratory gyrosensor with hammer-headed arms", *Proceedings of the 2004 IEEE International on Frequency Control Symposium and Exposition*, pp. 330-333, Montréal, Canada, Aug. 2004.
- [3] K. Tanida, M. Umemoto, Y. Tomita, M. Tago, Y. Nemoto, T. Ando, K. Takahashi, "Ultra-high-density 3D chip stacking technology", *Electronic Components and Technology Conference, Proceedings*, 53rd, pp. 1084-1089, New Orleans, USA, May 2003.
- [4] C.-J. Lin, M.-T. Lin, S.-P. Wu and F.-G. Tseng, "High density and through wafer copper interconnections and solder bumps for MEMS wafer-level packaging", *Microsystem technologies: sensors, actuators, systems integration*, Vol. 10, no. 6/7, pp. 517-521, 2004.
- [5] Silke H. Christiansen, Rajendra Singh, and Ulrich Gösele, "Wafer Direct Bonding: From Advanced Substrate Engineering to Future Applications in Micro/Nano electronics", *Proceedings of the IEEE*, Vol. 94, issue 12, pp. 2060-2106, Dec. 2006.
- [6] Kenji Takahashi, Masataka Hoshino, Hitoshi Yonemura, Manabu Tomisaka, Masahiro Sunohara, Michinobu Tanioka, Tomotoshi Sato, Kazumi Kojima, and Hiroshi Terao, "Development of Advanced 3D Chip Stacking Technology with Ultra-Fine Interconnection", *Proceedings of 51st Electronic Components and Technology Conference*, pp. 541-546, Orlando, USA, May 2001.
- [7] Jinwoo Jeong, Eunsung Lee, Hyeon Cheol Kim, Changyool Moon, Kukjin Chun, "Si via interconnection technique for 3D MEMS package", *IEEE SENSORS 2006*, pp.329, Daegu, Korea, Oct. 2006.
- [8] Lixia Zhou, Joseph M. Kahn, and Kristofer S. J. Pister, "Scanning micromirrors fabricated by an SOI/SOI wafer-bonding process", *Journal of Microelectro Mechanical Systems*, Vol. 15, no. 1, pp. 26-32, Feb. 2006.

저 자 소 개



정 진 우(정회원)
 2003년 서울대학교 전기공학부
 학사 졸업.
 2007년 서울대학교 전기컴퓨터
 공학부 석사 졸업.
 2008년 현재 서울대학교 전기
 컴퓨터공학부 박사 과정.

<주관심분야 : 반도체, MEMS, Packaging>



김 현 철(정회원)
 1990년 서울대학교 전자공학과
 학사 졸업.
 1992년 서울대학교 전자공학과
 석사 졸업.
 1998년 서울대학교 전자공학과
 박사 졸업.

2008년 현재 한국정보사회진흥원 UIT 클러스터
추진센터 재직.

<주관심분야 : 반도체, MEMS, Packaging>



전 국 진(정회원)
 1997년 서울대학교 전자공학과
 학사 졸업.
 1981년 University of Michigan,
 전기공학과 석사 졸업.
 1986년 University of Michigan,
 전기공학과 박사 졸업.

현재 서울대학교 전기컴퓨터공학부 교수

<주관심분야 : 반도체, MEMS, Packaging, RF>