

논문 2008-45SD-2-4

딜레이 보상 기법을 적용한 바이너리-트리 구조의 CMOS 16:1 멀티플렉서

(A CMOS 16:1 Binary-Tree Multiplexer applying Delay Compensation Techniques)

손 관 수*, 김 길 수**, 김 규 영**, 김 수 원***

(Kwansu Shon, Gil-Su Kim, Kyu-Young Kim, and Soo-Won Kim)

요 약

본 논문에서는 CMOS 0.18- μm 공정을 이용한 16:1 바이너리-트리 멀티플렉서 (MUX)를 기술한다. 본 MUX는 넓은 동작속도 범위와 공정-온도 변화에서도 둔감하게 동작할 수 있도록 여러 딜레이 보상 기법들을 적용하였다. 제안하는 MUX는 넓은 동작속도 범위와 공정-온도 변화에서도 셋업 마진과 홀드 마진이 최적 값인 0.5UI를 약 0.05UI의 표준편차 내에서 유지할 수 있음을 모의실험을 통하여 확인하였다. 이러한 결과는 CMOS 로직 회로의 특성이 민감하게 변화함에도 불구하고 제안된 딜레이 보상 기법이 효과적으로 적용되었으며, 따라서 회로의 신뢰성이 매우 향상되었음을 나타낸다. 본 MUX는 0.18- μm CMOS 공정을 이용하여 제작되었으며, 테스트 보드로 검증되었다. 전원 전압이 1.8-V인 환경에서, MUX의 최대 data-rate과 면적은 각각 1.65-Gb/s와 0.858 mm²이고, 24.12 mW의 전력을 소모하며, 출력 eye opening은 1.65-Gb/s의 동작 환경에서 272.53 mV, 266.55 ps으로 측정되었다.

Abstract

This paper describes a CMOS 16:1 binary-tree multiplexer (MUX) using 0.18- μm technology. To provide immunity for wide frequency range and process-and-temperature variations, the MUX adopts several delay compensation techniques. Simulation results show that the proposed MUX maintains the setup margins and hold margins close to the optimal value, *i.e.*, 0.5UI, in wide frequency-range and in wide process-and-temperature variations, with standard deviation of 0.05UI approximately. These results represent that these proposed delay compensations are effective and the reliability is much improved although CMOS logic circuits are sensitive to those variations. The MUX is fabricated using 0.18- μm CMOS process, and tested with a test board. At power supply voltage of 1.8-V, maximum data-rate and area of the MUX is 1.65-Gb/s and 0.858 mm², respectively. The MUX dissipates a power of 24.12 mW, and output eye opening is 272.53 mV, 266.55 ps at 1.65-Gb/s operation.

Keywords : Multiplexer, binary-tree, delay-compensation

I. 서 론

최근의 광통신, 네트워크, 컴퓨팅 및 스토리지 분야에

* 학생회원, 고려대학교 마이크로/나노시스템협동과정
(Program in Micro/Nano Systems, Korea University)

** 학생회원, *** 정회원, 고려대학교 전자컴퓨터공학과
(Dept. of Electronics and Computer Eng., Korea University)

※ 본 논문은 산업자원부가 지원하는 핵심기반기술개발사업인 “시스템집적반도체기반기술개발사업(시스템2010)”을 통해 개발된 결과임을 밝힙니다.

접수일자: 2007년10월12일, 수정완료일: 2008년1월22일

서 사용되는 여러 인터페이스들은 대부분 Serializer/Deserializer (SERDES) 기술을 기반으로 하고 있다^[1]. 데이터를 전송하는 방법으로 저속의 병렬 데이터 버스를 이용하지 않고 고속의 직렬화된 링크를 이용하는 이 기술은 병렬 데이터 버스에서 발생하는 skew 및 coupling 문제가 없어 시스템 디자인이 쉬워지며 필요한 핀 및 라인의 수를 줄일 수 있어 비용의 감소를 꾀할 수 있는 장점을 가지고 있다^[2].

멀티플렉서 (MUX)는 이러한 SERDES 기술의 핵심적인 블록으로 데이터의 ‘병렬-직렬 변환’ 기능을 수행

한다. SERDES 기술에서 직렬화된 데이터의 속도(data-rate)와 신호 무결성(signal integrity)은 가장 중요한 성능 지표이므로 MUX가 고속에서 동작하고 저지터(low-jitter)의 특성을 가지는 것은 매우 중요하다. 이러한 요구조건을 만족시킬 수 있는 MUX 구조로 바이너리-트리(binary-tree) 방식이 널리 사용되고 있다 [3~5]. 이 구조는 고속 클럭의 로드가 작아서 고속 동작에 유리하고, 마지막 단에서 데이터가 최대 속도로 리타이밍(full-rate retiming)되므로 리타이밍 플립플롭과 고속 클럭의 지터만이 출력 데이터의 지터로 기여하게 되어 저지터의 특성을 가진다^[4]. 또한 전체 다채널 MUX는 여러 2:1 MUX 모듈의 조합으로 쉽게 설계가 가능한 장점을 가지고 있어 여러 MUX 구조 중에 가장 널리 쓰이는 구조로 자리 잡고 있다.

바이너리-트리 MUX는 고속 동작, 저지터 그리고 모듈성의 특성을 갖는 훌륭한 구조이지만, 사용된 로직의 유한한 딜레이로 인하여 클럭 경로와 데이터 경로간의 딜레이 부정합이 발생하는 문제점을 가지고 있다. 이러한 문제점은 플립플롭의 셋업 마진 및 홀드 마진의 감소를 가져오게 되고 이는 MUX의 동작속도와 신뢰성의 제한을 가져온다. 이러한 현상을 완화시키는 기존의 연구들이 몇몇 존재하지만^[3~4, 6], 이는 클럭 경로에 단순한 딜레이 소자를 추가하는 방식에 그치고 있어 넓은 동작속도 범위와 공정-온도 변화에도 불구하고 동작 신뢰성을 보장하는 새로운 기법의 사용이 요구되고 있다.

본 논문에서는 $0.18\text{-}\mu\text{m}$ CMOS 공정을 사용하여 16:1 바이너리-트리 MUX를 구현하였다. 구현된 MUX는 넓은 동작속도 범위와 공정-온도 변화에서도 동작 신뢰성을 보장하기 위해 여러 딜레이 보상기법을 적용하였다. 이러한 기법을 사용함으로써, 제안된 MUX는 넓은 동작속도 범위와 공정-온도 변화에서도 셋업 마진과 홀드 마진을 최적 값인 0.5 unit interval(UI)로 유지할 수 있게 되었고 따라서 MUX의 동작 신뢰성을 크게 향상시킬 수 있었다.

II. 제안하는 16:1 바이너리-트리 MUX

1. MUX의 전체 구조

본 논문에서 제안하는 16:1 바이너리-트리 MUX의 전체구조는 그림 1과 같다. 제안한 구조가 기존의 바이너리-트리 구조와 다른 점은 MUX 동작의 신뢰도를 높이기 위해 여러 딜레이 보상 기법이 적용되었다는 점이다. 첫 번째 기법으로는 딜레이가 보상된 클럭 분배기

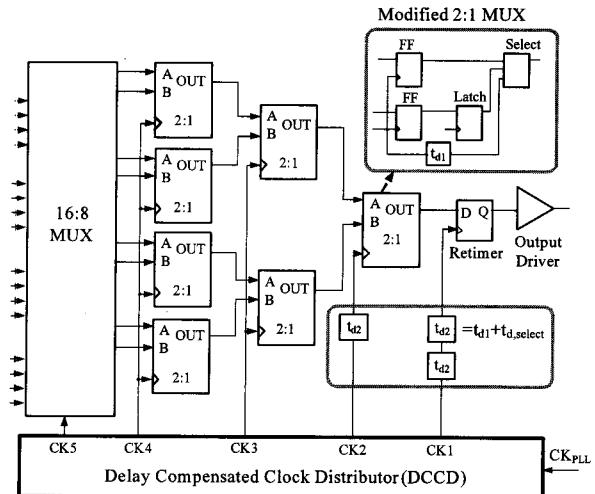


그림 1. 제안하는 16:1 바이너리-트리 MUX의 전체 구조

Fig. 1. Block diagram of proposed 16:1 binary-tree MUX.

를 사용하여 $\div 2$ 디바이더 딜레이를 보상하는 방법을 사용하였고, 두 번째 기법은 2:1 MUX 모듈 내에 t_{d1} 의 딜레이를 가지는 딜레이 셀을 추가하여 2:1 MUX 출력 데이터의 유효시간 감소 문제를 해결하였으며, 마지막으로 클럭 분배 라인에 t_{d2} 의 딜레이를 가지는 딜레이 셀을 추가하여 2:1 MUX 출력 데이터의 딜레이를 보상하는 기법을 사용하였다.

가. 딜레이가 보상된 클럭 분배기(DCCD)

바이너리-트리 구조의 MUX는 클럭 분배를 위해 사용된 $\div 2$ 디바이더의 딜레이가 플립플롭의 셋업 및 홀드 마진을 감소시켜 MUX의 동작속도 및 신뢰도에 악영향을 미친다. 이러한 문제점을 해결하기 위해 기존의 클럭 분배기인 $\div 2$ 디바이더 체인(chain)에 딜레이 보상 기법을 적용한 ‘딜레이가 보상된 클럭 분배기(delay compensated clock distributor : DCCD)’를 제안하였다. 그림 2는 DCCD의 블록 다이어그램을 나타낸 것이다. CK1-CK2-CK3간의 딜레이를 매칭 시키기 위해 여러 딜레이 셀들이 배치되었고, 클럭 경로간의 로드를 균형화 시키기 위해 여러 $\div 2$ 디바이더들을 더미 셀(dummy cell)로써 배치하였다. $\div 2$ 디바이더의 딜레이는 플립플롭의 클럭-Q 딜레이($t_{c-q,FF}$)이므로 딜레이 셀의 딜레이가 클럭-Q 딜레이에 최대한 가깝도록 딜레이 셀의 설계가 이루어져야 한다. 딜레이 셀의 딜레이가 클럭-Q 딜레이와 같고, CK1-CK2-CK3간의 버퍼 딜레이 부정합(mismatch)이 무시된다고 가정하면 CK1-CK2-CK3의 딜레이는 다음 식과 같이 결정된다.

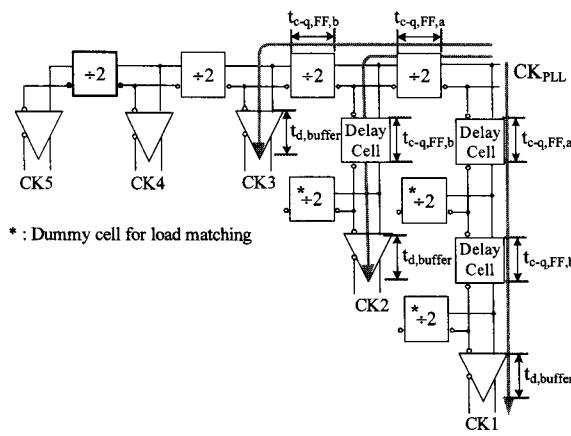


그림 2. DCCD의 블록 다이어그램

Fig. 2. Block diagram of DCCD.

$$\begin{aligned} t_{d,CK1} &\approx t_{d,CK2} \approx t_{d,CK3} \\ &= t_{c-q,FF,a} + t_{c-q,FF,b} + t_{d,buffer} \end{aligned} \quad (1)$$

여기서 $t_{c-q,FF,a}$ 는 로드가 $\div 2$ 디바이더와 딜레이 셀의 입력 커패시터 성분으로 이루어졌을 때의 클럭-Q 딜레이이고, $t_{c-q,FF,b}$ 는 로드가 $\div 2$ 디바이더와 버퍼의 입력 커파시터 성분으로 이루어졌을 때의 클럭-Q 딜레이이며, $t_{d,buffer}$ 는 버퍼의 딜레이이다. CK1-CK2-CK3간의 딜레이가 매칭 됨으로써 플립플롭의 셋업 및 홀드 마진의 감소를 막을 수 있고, 이는 MUX의 동작속도 및 신뢰도를 증가시키는데 기여한다.

나. 개조된 2:1 MUX 모듈

기존 방식의 2:1 MUX 모듈은 2개의 플립플롭과 1개의 래치, 그리고 2:1 셀렉터로 이루어져 있다 (5-래치 MUX)^[5]. 이러한 플립플롭과 래치, 2:1 셀렉터의 딜레이는 회로의 동작속도 및 신뢰도에 악영향을 주게 된다. 그림 3(a)에 5-래치 MUX의 블록 다이어그램과 타이밍 다이어그램을 나타내었다. 타이밍 다이어그램을 보면 5-래치 MUX 출력 데이터의 유효시간이 줄어드는 것을 볼 수 있는데, 이는 $D_{1,2}$ 와 D_3 가 각각 플립플롭의 클럭-Q 딜레이만큼의 딜레이가 발생하지만 2:1 셀렉터에서는 이러한 딜레이가 고려되지 않은 클럭(CK)을 사용하여 데이터를 직렬화하기 때문이다. 출력 데이터의 유효시간 감소는 다음 단의 플립플롭의 마진 감소로 이어진다. 이러한 문제점을 해결하기 위해서는 2:1 셀렉터에 인가되는 클럭을 t_{d1} 만큼 딜레이 시켜야 한다. 그림 3(b)에 이러한 기법이 도입된 5-래치 MUX의 블록 및 타이밍 다이어그램을 나타내었다. 타이밍 다이어그램에서

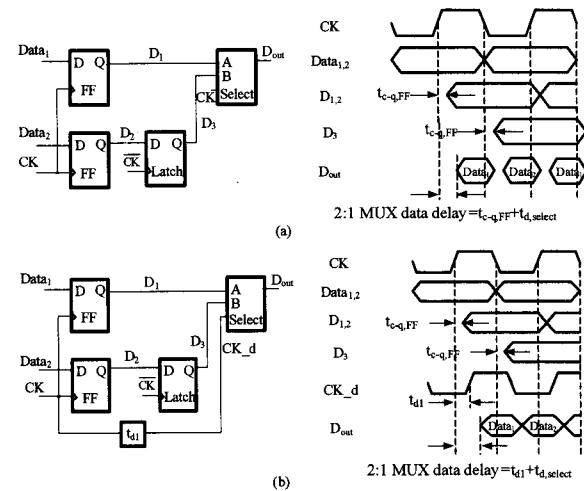


그림 3. 블록 다이어그램 및 타이밍 다이어그램

(a) 기존 5-래치 MUX 구조,
(b) 개조된 5-래치 MUX 구조Fig. 3. Block and timing diagram of 2:1 MUX.
(a) Conventional, (b) Modified.

알 수 있듯이, t_{d1} 딜레이가 $t_{c-q,FF}$ 보다 크거나 같도록 t_{d1} 딜레이 셀의 설계가 이루어지면 출력 데이터 유효시간의 감소를 방지할 수 있다.

다. 클럭 분배 라인의 딜레이 셀

앞의 두 항에서 언급된 $\div 2$ 디바이더 딜레이 보상과 2:1 MUX 출력 데이터의 유효시간 감소 방지에 이어 마지막으로 보상되어야 할 딜레이로 2:1 MUX 출력 데이터의 딜레이를 들 수 있다. 그림 3(b)의 타이밍 다이어그램에서 알 수 있듯이, 2:1 MUX 출력 데이터의 딜레이는 $t_{d1} + t_{d,select}$ 이며, 이러한 딜레이로 인한 다음 단의 플립플롭의 마진 감소를 막기 위하여 t_{d2} 의 딜레이를 갖는 딜레이 셀을 다음 단의 클럭 라인에 배치하여야 한다 (그림 1). 본 논문에서 제안한 16:1 MUX에서는 t_{d2} 딜레이 셀을 4번째와 5번째 단에서만 사용하였는데, 그 이유는 2번째나 3번째 단에서는 동작 속도가 높지 않아서 굳이 t_{d2} 딜레이 셀을 사용하지 않아도 동작에 문제가 없기 때문이다.

III. MUX 셀 설계

제안하는 16:1 MUX는 여러 2:1 MUX 모듈 및 딜레이 셀, 그리고 $\div 2$ 디바이더 체인으로 이루어져 있다. 모든 내부 셀들은 작은 칩 면적과 쉬운 설계를 위하여 static CMOS logic을 사용하여 설계하였으며 pseudo-differential 구조를 사용하여 $\div 2$ 디바이더의 fan-out을

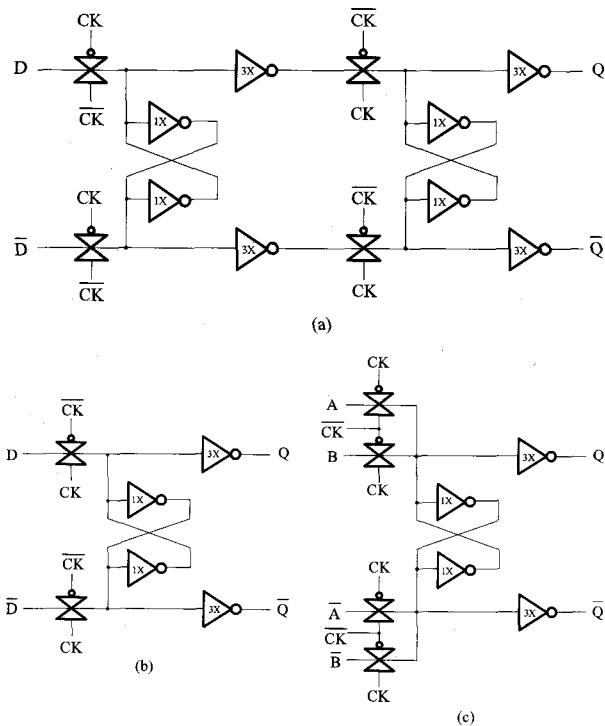


그림 4. 스키마틱 다이어그램
 (a) D-플립플롭, (b) D-래치, (c) 2:1 셀렉터
 Fig. 4. Schematic diagram of
 (a) D flip-flop, (b) D-latch, (c) 2:1 selector.

같게 하였다.

2:1 MUX 모듈은 D-플립플롭과 D-래치, 그리고 2:1 셀렉터로 이루어져 있다. 그림 4는 이 세 블록의 스키마틱 다이어그램을 나타낸 것이다. 세 블록의 구조를 거의 같은 설계하여 각 블록들의 딜레이가 서로 클럭-Q 딜레이로 같은하게 하였고 이는 딜레이 셀을 이용한 딜레이 보상을 쉽게 할 수 있도록 한다.

딜레이 셀은 t_{d1} 과 t_{d2} , 그리고 DCCD 내부의 딜레이 셀, 이렇게 세 종류의 딜레이 셀을 사용하였다. t_{d1} 딜레이 셀은 $t_{c-q,FF}$ 보다 큰 딜레이를 가져야 하므로 D-래치에서 클럭이 항상 'high'로 인가되어 있는 구조인 'transparent D-래치' 2개를 직렬 연결하여 구현하였다. 그림 5(a)는 transparent D-래치의 스키마틱 다이어그램을 나타낸 것이다. 마찬가지로, t_{d2} 딜레이 셀은 $t_{d1} + t_{d,select}$ 의 딜레이를 가져야 하므로 t_{d1} 딜레이 셀과 transparent D-래치의 직렬연결, 즉 transparent D-래치 3개를 직렬 연결하여 구현하였다. 또한 5번째 단의 두 t_{d2} 딜레이 셀 사이에 2개의 D-플립플롭과 1개의 D-래치를 더미 셀로써 배치하였는데, 이는 4번째 단의 t_{d2} 딜레이 셀의 로드와 매칭을 시키기 위함이다.

$\div 2$ 디바이더는 negative feedback 연결을 한 D-플립플롭으로 구현하였고, $\div 2$ 디바이더의 딜레이를 보상하

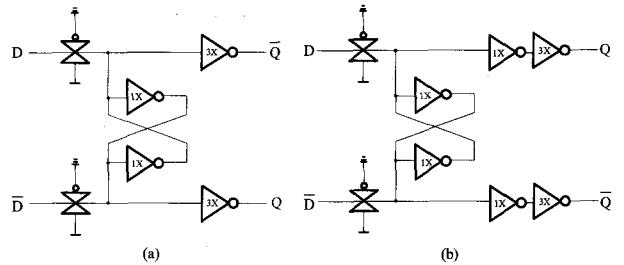


그림 5. 스키마틱 다이어그램
 (a) Transparent D-래치,
 (b) DCCD 내의 딜레이 셀
 Fig. 5. Schematic diagram of
 (a) Transparent D-latch, (b) Delay cell in DCCD.

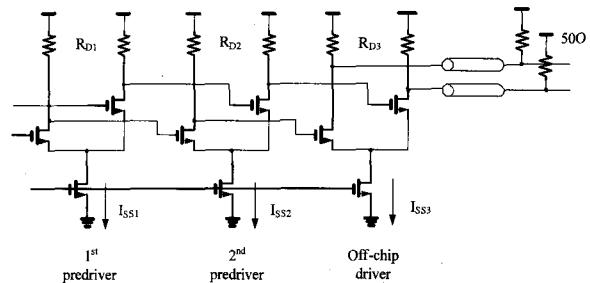


그림 6. 출력 드라이버의 스키마틱 다이어그램
 Fig. 6. Schematic diagram of output driver.

는 딜레이 셀은 그림 5(b)와 같이 설계하였다. 구조는 transparent D-래치와 거의 유사하지만 1X 인버터를 추가하였다는 점이 다르다. 1X 인버터를 추가한 이유는 $\div 2$ 디바이더의 딜레이인 클럭-Q 딜레이는 transmission-gate(TG)의 switch-on 시간과 latch propagation 시간의 합으로 나타내어지는데, 1X 인버터가 TG의 switch-on 시간을 보상해주는 역할을 하기 때문이다.

그림 6은 출력 드라이버의 스키마틱 다이어그램이다. 주어진 출력 드라이버는 CML 버퍼의 직렬연결로 구성되었으며, 총 3단으로 구성되어 있다. 앞의 두 단은 predriver 단으로써 마지막 단의 매우 큰 off-chip driver 단을 구동하는 역할을 하며, 전송 라인 양 끝 단에 50Ω 매칭을 함으로써 반사파의 영향을 최소화 하도록 하였다. 이러한 CML 버퍼 체인 드라이버는 고속 동작을 위해서 다음의 세 가지 조건을 충족하도록 설계되었다:
 (1) 모든 단의 NMOS 트랜зistor가 saturation 영역에서 동작하여야 하고, (2) 각 단에서 current full-switching이 일어나야 하며, (3) 모든 단은 같은 전압 스윙 폭을 가져야 한다^[7].

IV. 모의실험 및 실험결과

1. 모의실험 결과

제안된 MUX는 0.18- μm CMOS 공정을 이용하여 설계되었으며, 동작 신뢰성을 측정하기 위하여 가장 빠른 속도에서 동작하는 5번째 단에서 넓은 동작속도 범위와 공정-온도변화에 따른 셋업 마진 및 홀드 마진을 측정하였다. 공정한 비교를 위하여 딜레이 보상 기법을 사용하지 않은 기존 구조와 같이 모의실험을 진행하였다. 그림 7(a)는 27°C, tt에서 동작 주파수를 변화시켜가며 모의실험을 실행한 결과를 나타낸 그래프이다. 제안된 구조는 기존 구조와는 달리 셋업 및 홀드 마진이 넓은 주파수 범위에서 안정적으로 최적의 값인 0.5UI를 유지함을 확인할 수 있다. 기존 구조의 셋업 마진 및 홀드 마진의 표준편차는 0.336UI와 0.340UI인 반면 제안된 구조는 0.0491UI와 0.047UI로 측정되었다. 그림 7(b)는 동작 주파수 2-GHz에서 공정 및 온도를 변화시켜가며 모의실험을 실행한 결과를 나타낸 그래프이다. 앞의 경우와 마찬가지로 제안된 구조는 셋업 및 홀드 마진이 0.5UI에 가깝게 유지됨을 확인할 수 있으며, 기존 구조와 제안된 구조의 셋업 마진 및 홀드 마진의 표준편차는 각각 0.338UI와 0.396UI, 그리고 0.049UI와 0.048UI로 측정되었다. 이러한 측정 결과에서 알 수 있듯이, 제안된 구조는 기존 구조에 비해 표준편차 값이 약 7배 정도 감소하였음을 확인할 수 있고, 이는 제안된 딜레이 보상 기법이 매우 효과적으로 적용되었음을 나타낸다.

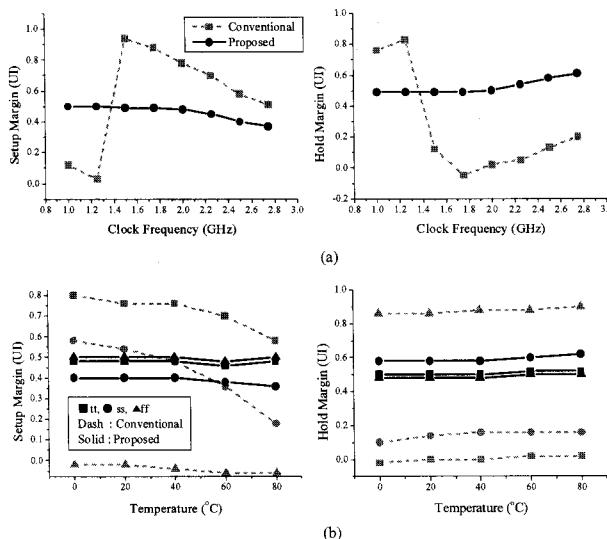


그림 7. 5번째 단에서의 모의실험 결과

- (a) 동작 주파수 변화 분석
- (b) 공정-온도 변화 분석

Fig. 7. Simulation results of the fifth stage.
 (a) frequency sweep analysis,
 (b) process-and-temperature variation analysis.

2. 실험 결과

제안된 MUX는 0.18- μm 1P6M 표준 CMOS 공정을 이용하여 구현되었다. 그림 8은 구현된 MUX의 현미경 사진이다. 제작된 MUX의 칩 면적은 0.858 mm²로 측정되었다. 제안된 MUX의 eye-diagram을 측정하기 위하여 칩 내부에 2¹⁶-1주기의 랜덤 데이터를 생성하는 랜덤 신호 발생기 (Pseudo-Random Binary Sequences : PRBSs)를 설계하였다. 그림 9는 전원 전압 1.8-V에서 동작 속도가 1.43-GHz이고, PRBSs 데이터가 입력으로 인가되었을 때의 출력 파형을 관측한 것이다. 위 파형이 fully-differential PRBSs 출력 데이터 파형이고, 아래 파형이 full-speed 클럭 파형이다. PRBSs 데이터가 정상적으로 출력되며 약 400 mV의 single-ended 스윙 폭을 가지는 것을 확인할 수 있다. 그림 10은 1.65-Gb/s에서 측정한 출력 데이터의 eye pattern이다. 출력 eye

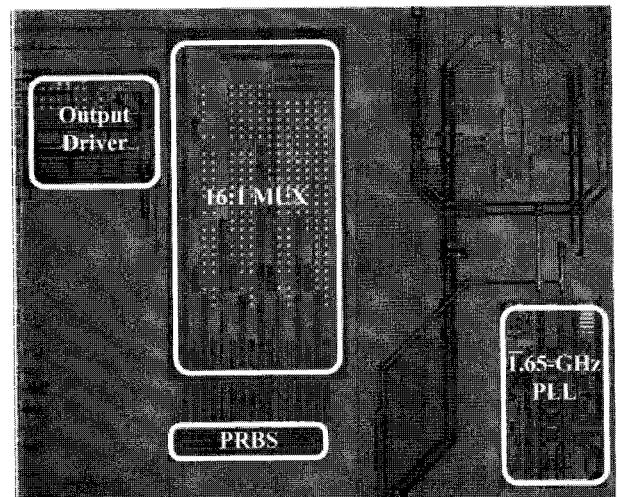


그림 8. 구현된 MUX의 현미경 사진

Fig. 8. Microphotograph of fabricated MUX.

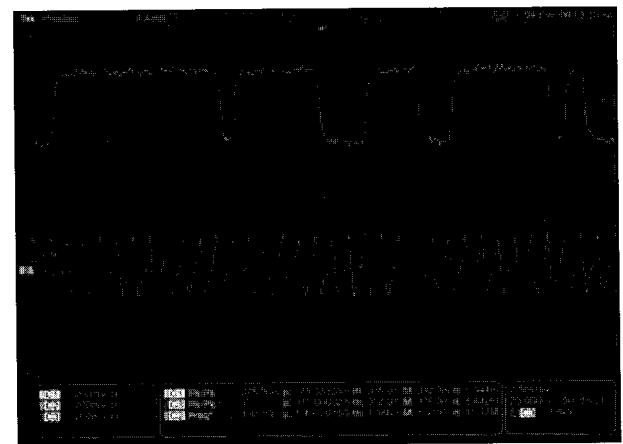


그림 9. 입력 데이터가 PRBSs일 때의 출력 파형

Fig. 9. Output waveform at PRBSs input.

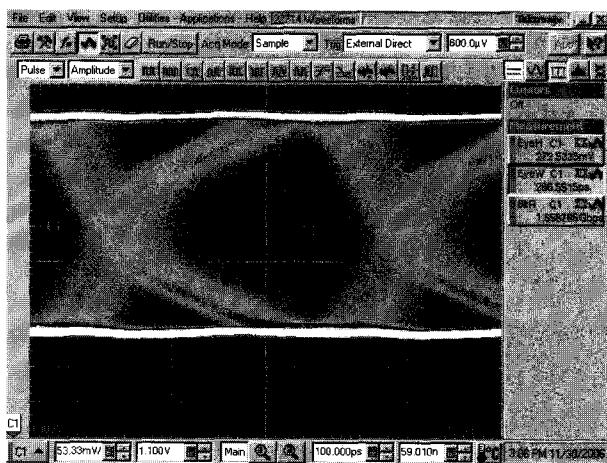


그림 10. 출력 데이터의 eye pattern
Fig. 10. Eye pattern of output data.

opening은 272.53mV, 266.55ps로 측정되었으며, 소비 전력은 24.12mW로 측정되었다.

V. 결 론

본 논문에서는, 딜레이 보상 기법을 적용한 바이너리-트리 구조의 16:1 MUX를 제안하였고, 설계 및 모의실험과 칩 제작 및 측정을 수행하였다. 사용된 딜레이 보상 기법으로는 딜레이가 보상된 클럭 분배기(DCCD)를 사용하여 $\div 2$ 디바이더 딜레이를 보상하였고, 2:1 MUX 모듈 내에 t_{dl} 의 딜레이를 가지는 딜레이 셀을 추가하여 2:1 MUX 출력 데이터의 유효시간 감소 문제를 해결하였으며, 클럭 분배 라인에 t_{d2} 의 딜레이를 가지는 딜레이 셀을 추가하여 2:1 MUX 출력 데이터의 딜레이를 보상하였다.

모의실험 결과 제안된 MUX는 넓은 동작 주파수 범위와 공정-온도 변화에서도 기존 구조에 비하여 셋업 마진과 홀드 마진이 최적 값인 0.5UI를 비교적 잘 유지함을 확인하였고, 제안된 구조의 셋업 및 홀드 마진의 표준편차가 기존 구조에 비해 약 7배 감소하였다. 이는 사용된 딜레이 보상 기법이 효과적으로 적용되었으며, 따라서 제안된 MUX의 신뢰도가 기존의 것에 비하여 매우 향상되었음을 나타낸다. 제안된 MUX는 0.18- μ m 공정을 사용하여 칩 제작을 수행하였으며 전원 전압 1.8-V에서 출력 data rate은 최대 1.65-Gb/s를 가지며, 전력은 24.12 mW를 소비하고, 면적은 0.858 mm²을 차지하며, 출력 eye opening은 1.65-Gb/s에서 272.53mV, 266.55ps로 측정되었다.

참 고 문 헌

- [1] T. Palkert, "A review of current standards activities for high speed physical layers," Proc. 5th International Workshop on System-on-Chip for Real-Time Applications, pp. 495 - 499, July 2005.
- [2] Jinwook Kim, Jeongsik Yang, Sangjin Byun, Hyunduk Jun, Jeongkyu Park, Cormac S. G. Conroy, and Beomsup Kim, "A Four-Channel 3.125-Gb/s/ch CMOS Serial-Link Transceiver With a Mixed-Mode Adaptive Equalizer," IEEE J. Solid-State Circuits, vol. 40, no. 2, Feb. 2005.
- [3] C. L. Stout and J. Doernberg, "10 Gb/s silicon bipolar 8 : 1 multiplexer and 1 : 8 demultiplexer," IEEE J. Solid-State Circuits, vol. 28, no. 3, pp. 339 - 343, March 1993.
- [4] A. Hendarman, E. A. Soviero, X. Xu, and K. Witt, "STS-768 multiplexer with full rate output data retimer in InP HBT," 24th Annual Technical Digest Gallium Arsenide Integrated Circuit (GaAs IC) Symposium, pp. 211 - 214, Oct. 2002.
- [5] J. Cao, M. Green, A. Momtaz, K. Vakilian, D. Chung, J. K.-C., M. Caresosa, X. Wang, T. W-Guan, C. Yijun, L. Fujimori, and A. Hairapetian, "OC-192 transmitter and receiver in standard 0.18- μ m CMOS," IEEE J. Solid-State Circuits, vol. 37, no. 12, pp. 1768 - 1780, Dec. 2002.
- [6] B. Razavi, Design of Integrated Circuits for Optical Communications, McGraw-Hill, New York, 2002
- [7] P. Heydari, R. Mohanavelu, "Design of ultrahigh-speed low-voltage CMOS CML buffers and latches," IEEE Trans. VLSI Systems, vol. 12, no. 10, pp. 1081 - 1093, Oct. 2004.

저 자 소 개



손 관 수(학생회원)
 2005년 고려대학교 전기전자전파
 공학부 학사 졸업.
 2008년 고려대학교 마이크로/나노
 시스템협동과정 석사 졸업
 <주관심분야 : High speed
 CMOS transceiver>



김 길 수(학생회원)
 2002년 고려대학교 전기공학과
 학사 졸업.
 2008년 고려대학교 전자공학과
 석박사통합과정 졸업.
 <주관심분야 : High speed
 CMOS transceiver, Low power
 analog/digital circuits>



김 규 영(학생회원)
 2005년 고려대학교 전기전자전파
 공학부 학사 졸업.
 2005년~현재 고려대학교
 전자컴퓨터공학과 석박사
 통합과정 재학 중.
 <주관심분야 : High speed CMOS
 transceiver>



김 수 원(정회원)
 1974년 고려대학교 전자공학과
 학사 졸업.
 1976년 고려대학교 전자공학과
 석사 졸업.
 1983년 Texas A&M Univ.
 전자공학과 석사 졸업.
 1987년 Texas A&M Univ. 전자공학과
 박사 졸업.
 1987년~현재 고려대학교 전자컴퓨터공학과
 정교수
 <주관심분야 : High speed CMOS transceiver,
 Implantable system IC, Sensor interface IC>