

Pulsed Power Amplifier를 위한 고속 스위칭 회로 설계

Design of High Speed Switching Circuit for Pulsed Power Amplifier

이 희 민 · 홍 성 용

Hui Min Yi · Sung Yong Hong

요 약

전원을 on/off하는 스위칭 방식을 이용한 펄스 증폭기는 입력 신호를 변조하는 방식에 비해 효율 및 잡음 특성이 우수하며, 입력단에 별도의 펄스 변조기가 필요 없어 회로가 간단하다. 현재 스위칭 방식의 펄스 증폭기는 스위칭 회로의 특성 상 rise 시간에 비해 fall 시간이 길어지는 단점이 있다. 본 논문에서는 fall 시간을 개선한 스위칭 회로를 제안하였다. 펄스 증폭기에 제안한 스위칭 회로를 적용하여 측정된 결과, 펄스 출력이 27 dBm에서 rise/fall 시간이 각각 5.7 ns, 21.9 ns인 결과를 얻었다.

Abstract

The pulsed amplifier which switches the main supply voltage of RF amplifier according to input pulse signal has good efficiency and low noise level between pulses. And it has simple structure because it doesn't need a pulse modulator at input port. The pulsed amplifier using the conventional switching circuit has slow fall time compared to rise time. We proposed the novel switching circuit for improving the fall time of pulsed amplifier. The proposed switching circuit is implemented by replacing FET of conventional circuit with BJT. As a result of applying this circuit to RF pulsed amplifier, the rise and fall time are 5.7 ns and 21.9 ns at 27 dBm output power, respectively.

Key words : Switching Circuit, Pulsed Amplifier, Pulse Radar

I. 서 론

고출력 펄스 신호는 의료용 기기, 레이저 구동 신호, 레이더 시스템의 송신신호 등 광범위하게 사용되고 있다. 수백 W~수백 kW대의 고출력 펄스 신호는 주로 진공관을 사용하여 구현하고 있다. 최근 고출력 반도체 기술이 발전함에 따라 점점 RF solid state 소자를 적용하는 추세에 있다^[1]. Solid state 소자는 진공관 소자에 비해 동작 주파수와 출력이 낮지만, 광대역 특성과 이득이 안정적인 장점이 있다. 또한 동작 전압이 낮아 고전압 발생 장치가 불필요하다. 현재 solid state 소자를 이용한 증폭기는 S 밴드에서 수백 W까지 출력이 가능하며, 여러 증폭기를

결합하면 수 kW대까지 출력을 얻을 수 있다. Solid state 소자를 이용한 고출력 펄스 증폭기는 입력 신호를 펄스로 변조하여 증폭기에 입력하는 방식과 증폭기 전원 전압을 on/off 스위칭 하는 방식이 있다.

그림 1에 증폭기의 입력 신호를 펄스 신호로 변조하여 펄스 증폭기를 구현하는 방식을 나타내었다.

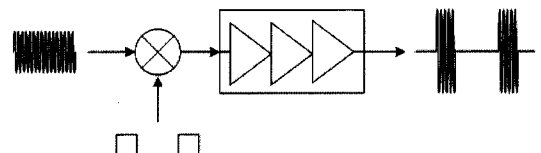


그림 1. 변조 방식을 이용한 펄스 증폭기
Fig. 1. Pulsed amplifier using modulation method.

「본 연구는 충남대학교 자체연구비 지원으로 수행되었음.」
충남대학교 전파공학과(Dept. of Radio Science and Engineering, Chungnam National University)
· 논문 번호 : 20071130-12S
· 수정완료일자 : 2008년 2월 4일

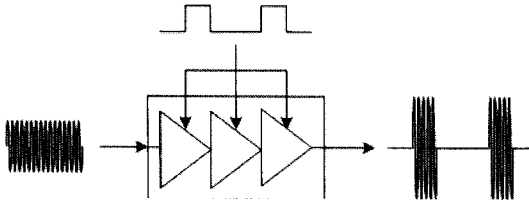


그림 2. 스위칭 방식을 이용한 펄스 증폭기
Fig. 2. Pulsed amplifier using switching method..

이 방식은 펄스 변조기가 필요하며, 광대역 특성의 증폭기 요구된다. 또한 입력 신호의 대역폭에 따라 출력 신호의 rise/fall 시간이 달라진다. A급 또는 AB급으로 동작시킬 경우 선형적인 증폭이 가능하나 입력 신호가 없을 경우에도 증폭기가 동작하기 때문에 효율이 낮고 잡음 레벨이 높다^[1]. 그러나 C급으로 동작시킬 경우 입력 신호의 크기에 따라 증폭기가 on/off되기 때문에 신호가 없을 때는 증폭기가 동작하지 않아 효율이 높고 잡음 레벨이 낮다^[2]. 그러나 이득을 높이기 위한 드라이브 증폭기와 비선형 특성으로 인한 하모닉 성분을 제거하기 위한 여파기가 필요한 단점이 있다.

그림 2에 증폭기 전원 전압을 on/off 스위칭 하여 펄스 증폭기를 구현하는 방식을 나타내었다.

이 방식은 입력 신호의 대역폭의 변화에도 일정한 rise/fall 시간을 얻을 수 있으며 변조방식에 비해 회로가 간단하다. 또한 스위칭 회로를 사용하여 입력 신호가 들어올 때만 증폭기의 전원 전압이 인가되기 때문에 잡음 레벨이 낮고 효율이 높다. 현재 사용하고 있는 스위칭 회로는 회로의 특성 상 rise 시간에 비해 fall 시간이 매우 길어지는 단점이 있다. 본 논문에서는 펄스 증폭기의 가장 중요한 특성인 스위칭 시간을 개선하기 위해 fall 시간을 단축하기 위한 새로운 스위칭 회로를 제안하였고, 0.5 W 급 L 밴드 펄스 증폭기에 적용하여 타당성을 검증하였다.

II. 스위칭 회로 설계 및 제작

그림 3에 현재 사용하고 있는 스위칭 회로를 나타내었다. 스위칭 회로의 출력단에는 전력 증폭기가 연결되며, R_Load 값으로 전류를 조절한다. 그림 3의 Q₄는 P-채널 Power MOSFET로 펄스 신호의 상태에 따라 전원을 on/off하며, Q₁~Q₃는 펄스 입력

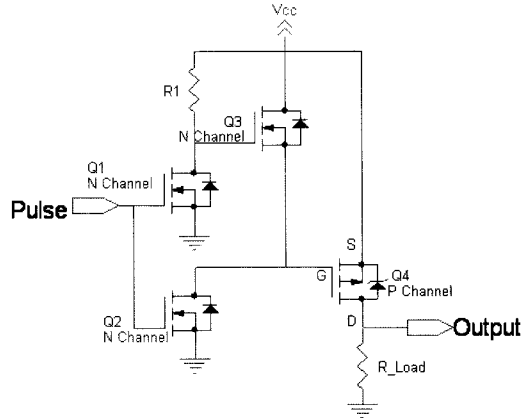


그림 3. 기존의 스위칭 회로
Fig. 3. Conventional switching circuit.

에 따라 Q₄를 빠르게 동작시키기 위한 구동 회로 역할을 한다.

스위칭 회로에 사용되는 FET의 rise/fall 시간은 입력 전압(V_{gs})에 따른 게이트-소스 캐패시턴스(C_{gs})의 충전/방전 시간에 따라 결정된다. 따라서 고속 스위칭을 위해서는 Q₁~Q₃의 rise/fall 시간이 짧아야 한다. 이를 위해 R1을 작게 하면 구동 회로의 스위칭 속도를 향상시킬 수 있으나 Q₁의 소비 전류가 증가하는 제한이 있다. 마지막 단에 사용되는 Q₄는 전력 증폭기에 충분한 전압과 전류를 공급해야 하므로 전압/전류 용량과 스위칭 특성을 고려하여야 하며, On 상태의 내부 저항 $R_{ds(on)}$ 가 작아야 한다.

스위칭 회로가 on/off 상태일 경우 전류의 흐름을 그림 4에 나타내었다.

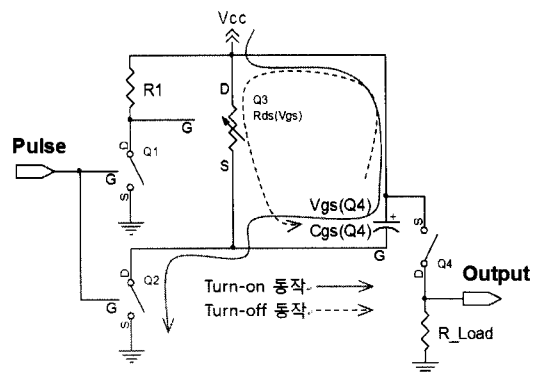


그림 4. 스위칭 회로의 동작
Fig. 4. Operation of switching circuit.

스위치가 on일 경우 실선을 따라 Q_4 의 C_{gs} 에 충전 되는 시간이 스위칭 회로의 rise 시간을 결정한다. 이 때 시정수는 근사적으로 식 (1)과 같이 쓸 수 있다.

$$\tau_{Charge} = R_{ds}(on, Q_2) \cdot C_{gs} \quad (1)$$

이때 식 (1)의 $R_{ds}(on)$ 는 수 Ω 이하로 매우 작기 때문에 스위칭 회로의 rise 시간은 매우 빠르다. 스위치가 off일 경우 C_{gs} 에 충전된 전압은 점선을 따라 방전한다. 이때 V_{gs} 에 따라 전류량이 정해지는 Q_3 를 V_{gs} 에 따른 가변 저항 $R_{ds}(Q_3)$ 로 가정하면 시정수는 식 (2)와 같이 쓸 수 있다.

$$\tau_{Discharge} = R_{ds}(Q_3) \cdot C_{gs} \quad (2)$$

스위치가 on이 되는 순간 $C_{gs}(Q_4)$ 에 충전되어 있던 V_{cc} 전압 때문에 Q_3 가 on이 된다. 이때 $R_{ds}(Q_3)$ 는 $R_{ds}(on)$ 과 같기 때문에 매우 작다. 그러나 $C_{gs}(Q_4)$ 가 방전될수록 Q_3 의 V_{gs} 가 줄어들어 $R_{ds}(Q_3)$ 는 증가하기 때문에 방전속도가 급격히 느려진다.

만약 $V_{gs}(Q_3)$ 의 전압이 Q_4 가 turn-off될 동안 유지하여 $R_{ds}(Q_3)$ 가 증가하기 전에 $C_{gs}(Q_4)$ 가 충분히 방전 되도록 하면 스위칭 회로의 fall 시간을 줄일 수 있다. 이를 위해 구동 회로의 V_{cc} 를 상대적으로 높이면 Q_3 의 V_g 가 높아져 $V_{gs}(Q_3)$ 도 증가하기 때문에 $R_{ds}(Q_3)$ 를 작은 값으로 유지할 수 있다. 그러나 이 방법은 Q_4 의 인가전압을 낮추거나 구동 회로의 인가전압을 높이는 부가회로가 필요하다. 그런데 Q_3 의 임계 전압을 낮춰 V_{gs} 를 증가시키면 V_{cc} 는 공통으로 사용하면서도 $R_{ds}(Q_3)$ 를 낮출 수 있다.

본 논문에서는 그림 5와 같이 Q_3 의 FET를 임계 전압이 낮은 BJT로 교체하여 fall 시간을 개선할 수 있는 스위칭 회로를 제안하였다.

BJT를 사용할 경우 임계 전압이 0.6 V로 FET에 비해 낮아 상대적으로 낮은 전압차를 유지하여 Rce를 작은 값으로 유지할 수 있어 fall 시간을 줄일 수 있다. 그림 5 회로의 fall 시간 개선 효과를 검증하기 위해 스위칭 회로를 제작하여 측정하였다. 스위칭 회로의 설계 규격을 표 1에 나타내었다.

이때 설계 규격은 본 논문에서 펄스 증폭기 제작에 사용할 MMIC 증폭기의 구동전압을 고려하여 결정하였다. 또한 펄스폭에 따른 rise/fall 시간 변화를 알아보기 위해 펄스폭을 2 us, 4 us로 선택했다. 스위

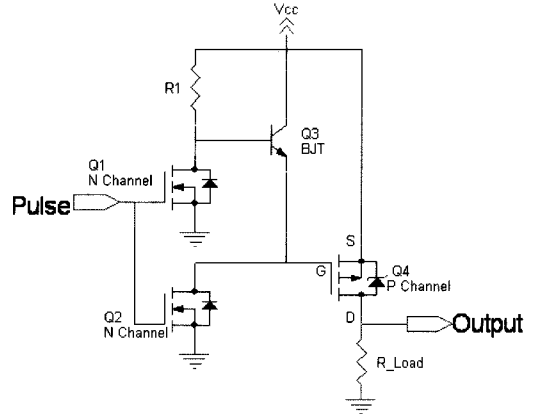


그림 5. 제안한 스위칭 회로
Fig. 5. Proposed switching circuit.

표 1. 스위칭 회로 설계 규격
Table 1. Design specification of switching circuit.

항 목	규 격
입력 펄스 신호	Low(0 V)/High(+5 V)
출력 구동 신호	Low(0 V)/High(+9 V)
펄스 폭	2 us, 4 us
Duty cycle	20 % 이하

칭 회로에 사용할 트랜지스터는 IR사의 IRLML2803과 Supertex사의 TP2502이다. 시뮬레이션의 타당성을 확인하기 위해 트랜지스터의 제작사에서 제공한 Spice 모델을 이용하여 시뮬레이션 한 결과와 데이터 시트의 값을 비교하였다. 그 결과를 표 2에 나타

표 2. 시뮬레이션의 타당성 확인을 위한 트랜지스터의 스위칭 시간 비교

Table 2. Comparison of switching time of transistors for a feasibility study of simulation method.

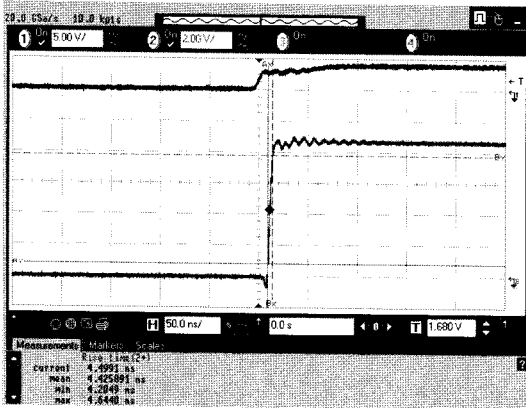
항 목	Data sheet의 값	Spice 모델 시뮬레이션 결과
$Q_1 \sim Q_3$ IRLML2803	$V_d = 15 \text{ V}, I_d = 0.91 \text{ A}$	
	Rise time	1.7 ns Typ. 2.8 ns
	Fall time	4.0 ns Typ. 3.9 ns
Q_4 TP2502	$V_d = -20 \text{ V}, I_d = -1 \text{ A}$	
	Rise time	11.0 ns Max. 5.6 ns
	Fall time	12.0 ns Max. 6.1 ns

표 3. 기존 회로와 제안한 회로의 스위칭 시간 비교
Table 3. Comparison of switching time between the conventional and the proposed circuit.

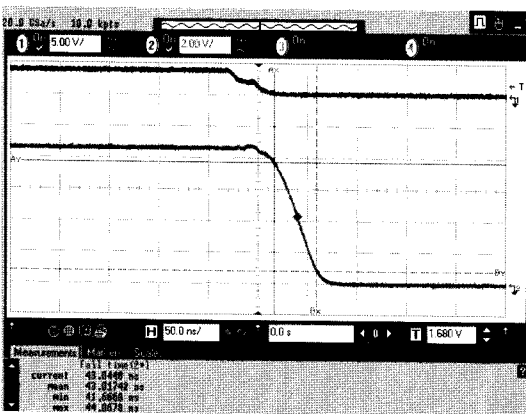
항 목	시뮬레이션 결과		개선 정도
	그림 3 회로	그림 5 회로	
Rise time	4.2 ns	4.5 ns	+0.3 ns
Fall time	20.0 ns	5.3 ns	-14.7 ns

내었는데, $Q_1 \sim Q_3$ 는 비교적 유사하나 Q_4 는 큰 차이가 발생하였다. 데이터 시트에 나타난 $Q_1 \sim Q_3$ rise/fall 시간은 Typ. 값을 Q_4 는 Max. 값이기 때문이라고 판단된다.

그림 3과 그림 5에 나타난 기존의 스위칭 회로와

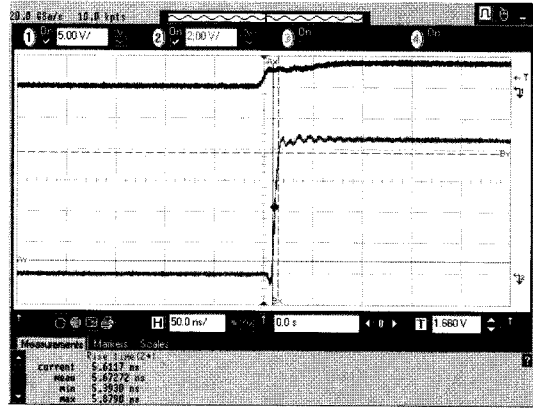


(a) Rise 시간
(a) Rise time

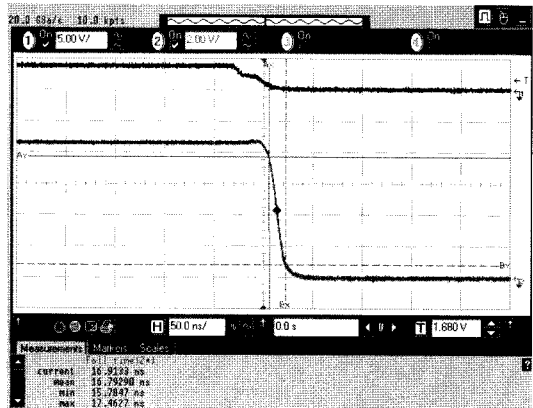


(b) Fall 시간
(b) Fall time

그림 6. 기존 스위칭 회로의 측정 결과
Fig. 6. Test result of the conventional switching circuit.



(a) Rise 시간
(a) Rise time



(b) Fall 시간
(b) Fall time

그림 7. 제안한 스위칭 회로의 측정 결과
Fig. 7. Test result of the proposed switching circuit.

본 논문에서 제안한 스위칭 회로의 rise/fall 시간을 Spice를 이용하여 시뮬레이션 하였다. 이때 전원은 9 V, 180 mA이고 R_{Load} 는 50 Ω 이다. 표 3의 시뮬레이션 결과로부터 본 논문에서 제안한 스위칭 회로의 fall 시간이 14.7 ns 개선됨을 알 수 있다.

표 3의 결과를 검증하기 위해 설계한 스위칭 회로를 제작하였다. 이때 출력 저항은 50 Ω 이고, 스위칭 회로의 입력 펄스는 표 1과 같다. 기존 회로와 제안한 회로의 측정 결과를 그림 6과 그림 7에 나타내었다.

표 4에 스위칭 회로의 측정된 rise/fall 시간을 요약하였다. 제안한 회로의 fall 시간이 기존의 회로보다 26.3 ns 정도 개선되었음을 알 수 있다.

시뮬레이션 및 측정을 통해 제안한 스위칭 회로

표 4. 기존 회로와 제안한 회로의 스위칭 시간 측정 결과 비교

Table 4. Comparison of measured switching time between the conventional and the proposed circuit.

항 목	측정 결과		개선 정도
	기존 회로 (그림 3)	제안한 회로 (그림 5)	
Rise time	4.4 ns	5.6 ns	+1.2 ns
Fall time	43.0 ns	16.7 ns	-26.3 ns

는 기존의 회로에 비해 fall 시간이 개선되었음을 확인하였다. 표 4의 측정 결과와 표 3의 시뮬레이션 결과의 차이는 트랜지스터의 비선형 Spice 모델의 오차와 측정을 위한 전류/전압 조건이 다르기 때문이라고 판단된다.

III. Pulsed Amplifier 제작 및 측정

제안한 스위칭 회로의 타당성을 검증하기 위하여 펄스 증폭기에 적용하여 측정하였다. 이때 스위칭 회로는 최대 15 V/ 3A 용량의 TP2502 트랜지스터를 이용하였기 때문에, 4 W급 펄스 증폭기까지 적용할 수 있다. 본 논문에서는 표 5에 나타난 WJ사의 AH-102 MMIC를 사용하여 L 대역 0.5 W 펄스 증폭기를 제작하였다.

제작된 펄스 증폭기의 소비 전력은 스위칭 회로를 동작시키지 않았을 때 9 V/180 mA로 나타났다. 펄스 증폭기에 펄스폭 2 us, 주파수 1.3 GHz, 전력 +12 dBm인 신호를 입력한 후 rise/fall 시간을 오실로스코프(애질런트사 54854A)로 측정하였다. 표 6에 기존 스위칭 회로와 제안한 스위칭 회로를 각각 이

표 5. AH102 MMIC 규격

Table 5. Specification of AH102 MMIC.

항 목	규 격
주파수 범위	350~3,000 MHz
출력 전력 (P1dB)	27 dBm(Typ.)
Supply voltage	9V
Operating current	200 mA(Typ.)
Gain	13 dB

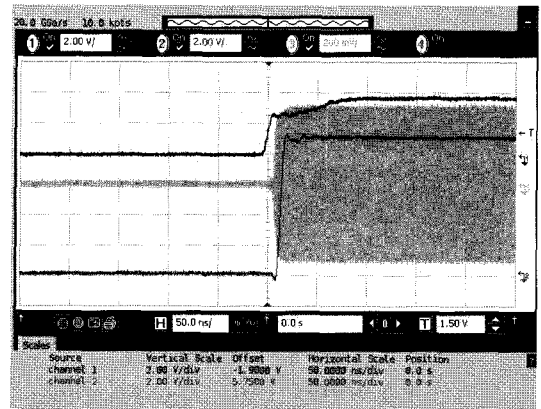
표 6. 펄스 증폭기 측정 결과

Table 6. Test result of pulsed amplifier.

항 목	펄스 증폭기 측정 결과		개선 정도
	기존 회로 (그림 3)	제안한 회로 (그림 5)	
Rise time	4.6 ns	5.7 ns	+1.1 ns
Fall time	44.3 ns	21.9 ns	-22.4 ns

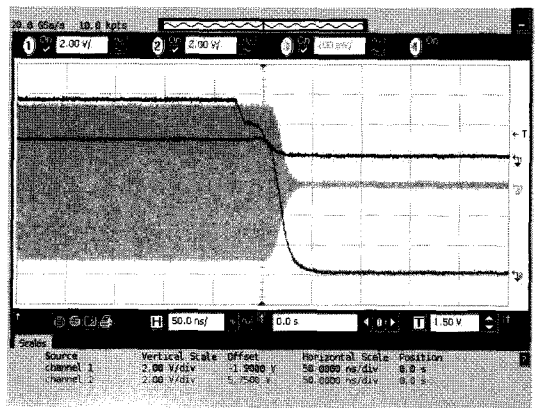
용하여 제작한 펄스 증폭기의 측정 결과를 나타내었다.

그림 8은 제안한 스위칭 회로를 사용한 펄스 증폭기의 측정 결과이다. 이때 채널 1은 입력 펄스 신호, 채널 2는 펄스 증폭기의 전원 스위칭 특성, 채널 3은 펄스 증폭기의 출력 특성을 나타낸다. 측정된 펄스



(a) 펄스 시작부

(a) Start of pulse



(b) 펄스 종료부

(b) End of pulse

그림 8. 펄스 증폭기의 출력 특성

Fig. 8. Output pulse of pulsed amplifier.

증폭기의 fall 시간은 표 4에 나타난 스위칭 회로만의 fall 시간 보다 1.3 ns와 5.2 ns 증가하였다. 이 현상은 Q_4 의 드레인 단에 연결된 로드 특성 차이로 인해 발생한다. 스위칭 회로를 검증하기 위한 실험에서는 저항 로드(50 Ω)를 사용하였고, 펄스 증폭기 실험에서는 Q_4 의 드레인에 바이패스 커패시터(100 pF), RF choke(56 nH)를 포함한 증폭기를 직접 연결하였다. RF MMIC 증폭기의 경우 Spice 모델을 제공하는 경우가 거의 없어 전체 특성을 시뮬레이션 하기는 매우 어렵다. 하지만 저항 로드 시뮬레이션에 RF Choke와 바이패스 커패시터를 추가하면 fall 시간이 표 3의 결과보다 5 ns(기존 회로), 7.4 ns(제한한 회로) 느려지는 결과를 확인하였다.

그림 9에 펄스 증폭기의 출력 펄스의 특성을 나타

내었다. 그림 9(a)에서 채널 1은 입력 펄스 신호, 채널 2는 펄스 증폭기의 전원 스위칭 특성, 채널 3은 펄스 증폭기의 출력 특성을 나타낸다. 그림 9(b)에 나타난 펄스 내부의 RF 캐리어 신호의 파형은 왜곡 없는 정현파를 유지하고 있는 것을 알 수 있다.

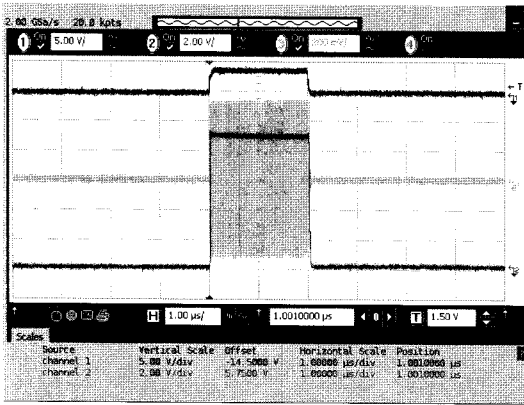
IV. 결 론

본 논문에서는 펄스 증폭기의 스위칭 시간을 줄이기 위하여 fall 시간이 개선된 스위칭 회로를 제안하였다. 기존의 스위칭 회로는 rise/fall 시간이 빠른 FET만으로 구동 회로를 구성하고 있다. 이 경우 스위칭 동작 시 FET의 방전 시간이 길어지는 현상 때문에 fall 시간이 길어지는 단점이 있다. 이러한 단점을 FET에 비해 임계 전압이 낮은 BJT를 사용하여 개선하였다. 또한 제안한 스위칭 회로를 이용하여 L대역 0.5 W급 펄스 증폭기를 제작하여 타당성을 검증하였다. 측정 결과 제안한 회로를 사용한 펄스 증폭기의 fall 시간이 22.4 ns 개선됨을 확인하였다. 또한 펄스폭에 관계없이 일정한 특성의 rise/fall 시간 특성을 보였다.

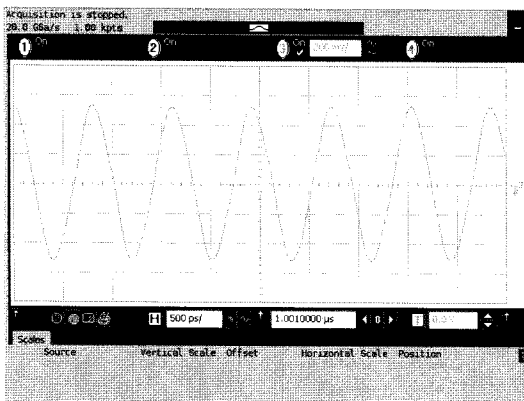
본 논문에서 제안한 스위칭 회로는 fall 시간이 단축되어 펄스폭이 좁은 신호를 효과적으로 만들어 낼 수 있다. 스위칭 회로의 Power MOSFET를 적절히 선택하면 스위칭 할 수 있는 전원 용량을 확장할 수 있다. 향후 고출력의 펄스 전력 증폭기 설계를 위해 용량이 큰 다단 증폭기의 전원을 동시에 on/off할 경우 스위칭 회로에 대한 검토가 필요하다.

참 고 문 헌

- [1] Byron Edde, *RADAR Principles, Technology, Applications*, Prentice Hall.
- [2] Dominic FitzPatrick, "CW amplifiers, pulsed amplifier, the choice is yours", (<http://www.milmega.co.uk>).
- [3] Wavesat Telecom, "A 2 kW solid-state pulse amplifier", *Microwave Journal*, Jan. 1999.
- [4] J. H. Woo, G. W. Choi, "1.5 kW solid-state pulsed microwave power amplifier for S-band radar application", *Radio and Wireless Symposium, IEEE*, pp. 171-1744, Jan. 2006.



(a) 펄스 파형
(a) Pulse waveform



(b) 펄스의 RF 특성
(b) RF characteristic of pulse

그림 9. 출력 펄스 파형

Fig. 9. Output pulse waveform.

[5] A. Darbandi, H. Buret, "130 W C-band Pulsed Power Amplifier", *IEE Seminar Microwave and RF*

Power Amplifier, Dec. 2000.

이 희 민



1999년 2월: 충남대학교 전파공학과 (공학사)
2001년 2월: 충남대학교 전파공학과 (공학석사)
2001년 3월~현재: 충남대학교 전파공학과 박사과정
[주 관심분야] 초고주파 회로, 전력

증폭기 및 선형증폭기

홍 성 용



1985년 2월: 충남대학교 전자공학과 (공학사)
1988년 2월: 한국과학기술원 전기 및 전자공학과 (공학석사)
1994년 8월: 한국과학기술원 전기 및 전자공학과 (공학박사)
1996년 9월~현재: 충남대학교 전

파공학과 교수

[주 관심분야] 초고주파 회로