

차세대 고집적 MOS 소자를 위한 ALD ZrO₂ 박막의 특성 연구

안성준^{1*}, 안승준²

Study on the characteristics of ALD, ZrO₂ thin film for next-generation high-density MOS devices

Seong-Joon Ahn^{1*} and Seung-Joon Ahn²

요약 소자가 점점 고집적화 됨에 따라, MOS 소자 제조에 있어서 SiO₂의 두께가 ~1 nm로 낮아질 경우 발생하는 터널링전류와 문턱전압 천이를 방지할 수 있는 새로운 게이트용 유전물질을 개발하여 소자의 크기를 줄이는데 주력하고 있다. 본 실험에서는 원자층증착(ALD: atomic layer deposition) 방법으로 증착된 ZrO₂ 박막의 물리적, 전기적 특성에 대하여 연구하였다. ALD ZrO₂ 박막을 증착한 후 Ar 가스 분위기에서 800 °C, 1 시간동안 열처리한 다음 XRD, TEM, 그리고 C-V plots을 이용하여 Pt/ZrO₂/Si 소자의 형태, 결정화 동역학, 그리고 경계층 특성을 평가한 결과 열처리에 의해 소자의 특성이 크게 향상됨을 알 수 있었다.

Abstract As the packing density of IC devices gets ever higher, the thickness of the gate SiO₂ layer of the MOS devices is now required to be reduced down to 1 nm. For such a thin SiO₂ layer, the MOS device cannot operate properly because of tunneling current and threshold voltage shift. Hence there has been much effort to develop new dielectric materials which have higher dielectric constants than SiO₂ and is free from such undesirable effects. In this work, the physical and electrical characteristics of ALD ZrO₂ film have been studied. After deposition of a thin ALD ZrO₂ film, it went through thermal treatment in the presence of argon gas at 800°C for 1 hr. The characteristics of morphology, crystallization kinetics, and interfacial layer of Pt/ZrO₂/Si samples have been investigated by using the analyzing instruments like XRD, TEM and C-V plots. It has been found that the characteristics of the Pt/ZrO₂/Si device was enhanced by the thermal treatment.

Key words : ALD ZrO₂, thermal annealing, interfacial layer, ZrCl₄, crystallization

1. 서론

반도체 소자가 점점 고 집적화됨에 따라 트랜지스터의 게이트용 유전막으로 사용되는 SiO₂의 두께가 ~1 nm로 얇아져서 발생하는 boron 침투(penetration) [1, 2]에 의한 문턱전압천이(threshold voltage shift) [3], 게이트 누설전류 [4], 다결정실리콘 게이트의 결핍(depletion) 효과 [5], 그리고 양자역학효과(quantum mechanical effect) [6] 등을 방지할 수 있는 새로운 게이트용 고유전물질의 개발에 많은 연구가 집중되고 있다.

두께가 sub-nano 정도의 얇은 박막의 증착은 저온 박막증착 공정인 원자층증착(ALD : atomic layer

deposition) 방법 [7-9]을 이용하는데, 초기에는 형광층 박막의 증착에 응용되었으나 1990년대 중반에 이르러 기존의 증착공정에 한계를 극복하기 위한 새로운 반도체 공정으로 대두되었다. ALD 방법은 화학기상증착(CVD : chemical vapor deposition) [10, 11] 방법과는 달리, 각각의 전구체(precursor)들을 개별적으로 분리하여 일정한 시간동안 반응로에 공급하여 실리콘 웨이퍼의 표면에서 전구체들이 순차적으로 표면포화반응(saturated surface reaction)에 의한 화학적 흡착반응과 탈착반응이 일어나도록 하는 새로운 개념의 박막 증착기술이다(그림 1 참조). 그림 1은 ALD 방법에서 전구체의 표면포화반응 과정을 설명하고 있다. ALD 방법은 낮은 온도에서 증착이 가능하고, 박막의 두께를 정밀하게 제어할 수 있어서 균일도가 우수한 박막을 증착할 수 있다. 그리고 다성분계 박막의 조성을 정밀하게 제어하는 것이 용이하고, 박막증착

¹선문대학교 정보통신공학부/차세대반도체기술연구소

²선문대학교 신소재과학과/차세대반도체기술연구소

*교신저자 : 안성준(sjahn0@sunmoon.ac.kr)

시 알갱이 발생량이 매우 낮으며, 박막 내의 불순물 농도가 낮을 뿐 아니라 초미세구조에서도 단차피복성(step coverage)이 우수함(~95% 이상) 장점이 있다.

현재 0.1 μm 이하의 설계규격(design rule)을 가지는 논리소자나 메모리소자에서는 ~1 nm의 두께를 가지는 게이트 유전막이 요구된다. 이것은 유전상수 $k=3.9$ 를 가지는 SiO_2 박막으로는 구현하기가 어려워서 더 높은 유전율을 가지는 재료의 채택이 필수불가결하게 되었다. 고유전 박막 재료를 사용하면, 박막의 두께가 두꺼워져도 동일한 반전특성이 유지되고 전하운반체의 터널링이 감소되어 등가산화막두께(EOT : equivalent oxide thickness)를 줄일 수 있다. 이러한 고유전 박막 재료 중 가장 활발히 연구되고 있는 재료는 Ta_2O_5 , Al_2O_3 , SrTiO_3 , 그리고 BaTiO_3 등이 있으나 Ta_2O_5 , SrTiO_3 , BaTiO_3 등은 실리콘 기판과 직접 반응을 하는 문제점을 가지고 있으며, Al_2O_3 는 유전율($k=10$)이 낮다는 단점이 있다.

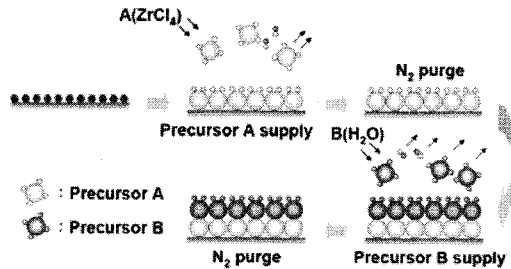


그림 1. 전구체 ZrCl_4 와 H_2O 를 이용한 ALD, ZrO_2 박막의 증착방법.

따라서 실리콘과 열적으로 보다 안정한 ZrO_2 , HfO_2 [11, 12] 또는 그것들의 silicates 등의 재료가 최근 주목 받고 있으며 본 연구에서는 새로운 박막증착 공정인 ALD 방법으로 게이트용 ZrO_2 박막을 증착한 다음 소자제작에 있어서 열처리(thermal annealing)[12]에 따른 계면의 물리적, 전기적 특성 변화에 대하여 평가하였다.

2. 실험 및 실험방법

ALD 방법으로 ZrO_2 박막을 증착[13-15]하기 위하여 먼저 p-type (100) 실리콘 웨이퍼의 표면에 있는 먼지를 de-ionized(DI) water로 제거한 다음 100:1 HF 용액에 실리콘 웨이퍼를 담가 표면에 성장된 자연 산화막

(native oxide)을 제거하였다. 그리고 다시 DI water로 실리콘 웨이퍼에 잔류해 있는 HF 용액을 세정한 후, 실리콘 웨이퍼 표면의 불순물이나 금속 오염물을 RCA 세정법으로 세정하여 반응로에 장착하였다.

그림 2는 ZrO_2 ALD 공정을 위한 전구체와 purge 가스 흐름에 대한 순서도이다. ALD 방법으로 ZrO_2 박막을 증착하기 위하여 가열소자(heating element)를 이용하여 zirconium tetra-chloride(ZrCl_4)를 160~175 $^{\circ}\text{C}$ 의 온도로 가열하여 기화된 ZrCl_4 와 15~20 $^{\circ}\text{C}$ 의 de-ionized Millipore water(H_2O)를 전구체로 사용하였다. 그림 2와 같이 반응물질과 N_2 가스(99.999%)를 교대로 흘려주는 방법으로 ZrCl_4 (1.2-2.0s), N_2 purge(2.0 s), H_2O (1.0 s), N_2 purge(2.0 s)를 한 주기로 하여 증착하고자 하는 박막의 두께에 따라 10~50 주기를 증착하였다. N_2 가스는 전구체 운반 gas와 purge gas로 사용하였으며 반응로의 압력은 ~100 mtorr 정도로 유지하였다.

ALD 공정에서의 적절한 박막 증착율(~1 Å/cycle), 박막의 형태와 결정화 동역학(crystallization kinetics)을 고려하여 증착온도는 320 $^{\circ}\text{C}$ 로 결정하였다. 후속 공정 때문에 발생하는 ZrO_2 박막의 결정성 전이로 인한 경계층(interfacial layer)의 물리적, 전기적 특성 변화에 대한 연구를 위하여 증착된 ALD ZrO_2 박막을 800 $^{\circ}\text{C}$, Ar 가스 분위기에서 1 시간동안 열처리한 다음 박막의 결정화를 평가하기 위하여 X-ray 회절분석(XRD)을 하였다. 소자의 전극은 $5 \times 10^{-5} \text{ cm}^2$ 의 Pt 전극을 사용하였으며 MOSFET 소자의 전기적 특성을 평가하기 위하여 HP 4155A semiconductor parameter analyzer를 사용하여 C-V 특성을 측정하여 박막의 특성을 평가하였다.

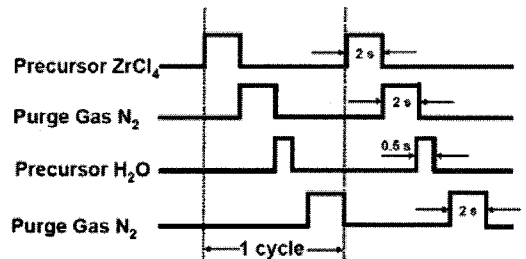
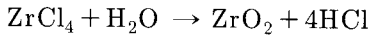


그림 2. ALD ZrO_2 박막의 증착공정을 위한 전구체와 purge 가스 흐름의 순서도.

3. 결과 및 토의

ZrO_2 , HfO_2 와 같은 박막들은 실리콘과의 경계층에서

열역학적으로 대단히 안정적이기 때문에 차세대 고유전 물질로 각광을 받고 있다. 특히 ZrO₂ 박막은 유전상수 (~25)[16]와 반응열(~270 kcal/mol)이 높고, 그리고 밴드 갭(7.8 eV)[17]이 큰 특성 때문에 게이트용 고유전막으로 많은 연구가 진행되고 있다. 전구체인 ZrCl₄와 H₂O에 의한 일반적인 ZrO₂ 형성의 화학반응식은 다음과 같이 주어진다.



본 연구에서는 박막 증착을 위하여 반응로의 증착온도는 320 °C로 유지하였으며 고체의 ZrCl₄를 가열하여 기화시켜 생성한 ZrCl₄ gas와 H₂O를 전구체로, 그리고 N₂ 가스를 purge 가스로 사용하여 그림 2와 같은 공정으로 10~50 주기를 증착한 결과 두께가 10~50 nm의 ALD ZrO₂ 박막을 얻었다.

그림 3은 압력이 100 mtorr, 증착온도는 320 °C로 유지되는 반응로에서 증착 주기의 횟수에 따른 ZrO₂ 박막의 두께변화를 보여주는 그래프로서 증착 주기 당 박막의 증착율이 ~1 Å/cycle 임을 알 수 있다. ALD 방법으로 증착된 박막의 두께는 수 십 Å으로 매우 얇기 때문에 일반적으로 유전체 박막의 두께를 측정하는 nano-spec(Nanometrics-212)으로 측정한 다음 TEM으로 확인하여 두께측정의 신뢰성을 확보하였다. CVD 방법에서 박막의 두께는 증착 시간과 비례하는데 박막의 증착 메카니즘이 유사한 ALD 방법에서도 증착두께가 증착 주기의 횟수에 선형적으로 비례함을 그림 3에서 볼 수 있다. 그림 4는 ALD ZrO₂ 박막의 증착온도에 따른 XRD 스펙트럼을 보여주고 있다. 박막의 증착온도가 270 °C에서는 박막의 결정성이 부족하여 회절신호의 분석이 불가능 하였으나 300~350 °C의 온도 영역에서는 30.2° 와 51° 에서 정방정계의 형태로 결정화되었음을 보여주고 있다.

CVD 방법과 같은 방법으로 박막을 증착할 경우 증착온도가 높아지면 일반적으로 증착율이 증가하지만 ZrCl₄와 H₂O를 이용한 ALD ZrO₂ 박막의 증착에서는 증착온도가 ~400 °C 이상으로 높아질 경우 ZrCl₄는 산소보다 hydroxyl group과 더 쉽게 반응하여 반응물질들의 탈착 때문에 박막의 증착온도가 높아질수록 증착율이 낮아진다.

본 연구에서는 박막의 형태와 결정화 동역학을 고려하여 증착온도는 320 °C로 결정하였다[18]. 증착온도를 400 °C로 올릴 경우 박막의 상태(phase)는 다결정 상태가 되어 이동도나 전기전도도와 같은 전기적 특성은 우

수할 수 있으나 박막의 형태가 나빠져 오히려 소자의 특성을 열화시킬 수 있는 문제점이 있다[19].

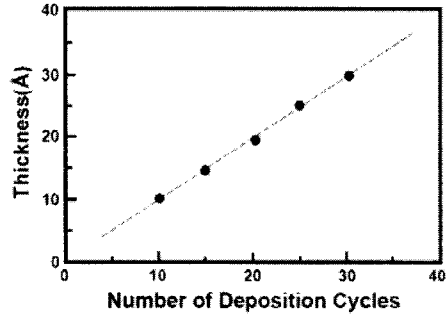


그림 3. 100 mtorr, 320°C에서 증착 주기의 횟수에 따른 ALD ZrO₂ 박막의 두께변화.

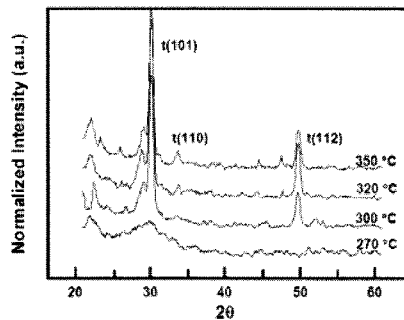


그림 4. ALD ZrO₂ 박막의 증착온도에 따른 XRD 스펙트럼. (t는 tetragonal system을 의미함)

먼저 ALD ZrO₂ 박막의 두께가 소자의 전기적 특성에 미치는 영향을 알아보기 위하여 ZrO₂ 박막의 두께를 10~30 nm로 증착한 다음 5×10⁻⁵ cm²의 Pt 전극을 만들어 Pt/ZrO₂/Si 구조의 소자를 제작하여 3 V, 6 V, 9 V의 바이어스(주파수는 모두 1 MHz)를 각각 인가하여 소자의 C-V 특성을 측정하였다. 소자의 voltage window(ΔV)는 ZrO₂ 박막의 두께가 증가함에 따라 증가하는 것이 아니라 최적의 두께가 존재한다. 그림 5에서 보는 바와 같이 ZrO₂ 박막의 두께가 10 nm에서는 ΔV가 0.4 V, 20 nm에서는 0.8 V로 증가하였으나 30 nm인 경우에는 ΔV의 값이 오히려 감소하여 유전막으로 사용하는 ZrO₂ 박막은 적합한 두께를 가져야 한다는 것을 알 수 있다. 이것은 유전막이 너무 두껍게 되면 소자에 가해지는 전기(electric field)가 작아져서 유전막의 분극을 방해하기 때문에 ΔV가 감소하는 것으로 생각된다.

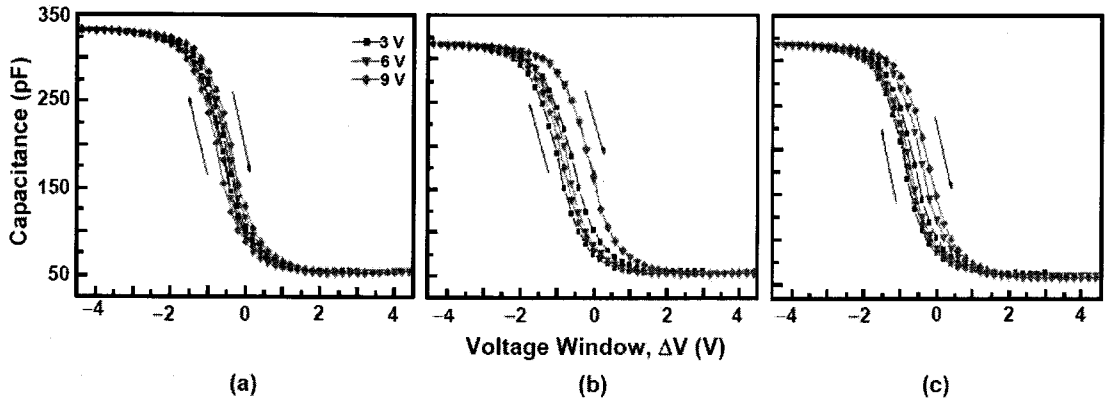


그림 5. 두께가 (a) 10 nm, (b) 20 nm, (c) 30 nm인 ALD ZrO₂ 박막을 유전막으로 사용한 Pt/ZrO₂/Si 구조에 대한 C-V plots.

MOSFET 소자를 고온의 불활성 기체 분위기에서 열처리할 경우 Si와 유전물질 사이에 형성된 경계층의 원자조성 및 결합상태가 변하게 되어 소자의 전기적 특성이 변하게 된다.

그림 6은 소자 제작에 있어서 ZrO₂ 박막을 증착한 다음, 800 °C, Ar 가스 분위기에서 1 시간동안 열처리한 후 경계층을 촬영한 TEM 사진으로 ~5 nm의 zirconium silicate와 ~2 nm의 SiO₂가 형성된 것을 볼 수 있는데, 그것은 경계층의 유전상수가 SiO₂의 유전상수보다 높기 때문이며 이로 인하여 역시 소자의 특성이 바뀔 수 있다[20]. 그리고 ZrO₂/Si의 경계층에 대한 효과를 알아보기 위하여 열처리한 경우와 열처리를 하지 않은 경우에 대하여 ΔV의 값을 측정하고 열처리를 하지 않은 경우(ΔV=0.8 V)보다 열처리를 한 경우(ΔV=2.2 V), 훨씬 소자의 전기적 특성이 개선되는 것을 알 수 있었다(그림 7. 참조).

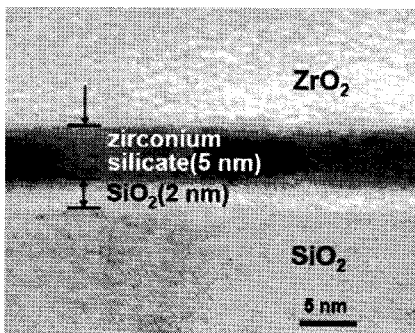


그림 6. 800 °C, Ar 가스 분위기로 1 시간동안 열처리한 후, ZrO₂/Si 경계층에 대한 TEM 사진.

이것은 ZrO₂ 박막을 증착한 후 열처리 과정을 거치면서 비정질 상태의 ZrO₂ 박막이 결정화 되어 경계층을 통한 확산을 방지할 뿐만 아니라 소자의 경계층에 결함이 존재하거나 반복적인 전기적 스트레스가 인가되면 경계층의 트랩 밀도가 증가되어 채널의 표면이동도 감소, 문턱전압의 천이 등과 같은 전기적 특성을 저하시키기 때문에 고온에서 Ar 가스로 열처리할 경우 소자의 전기적 특성(ΔV)이 향상된 것으로 생각된다.

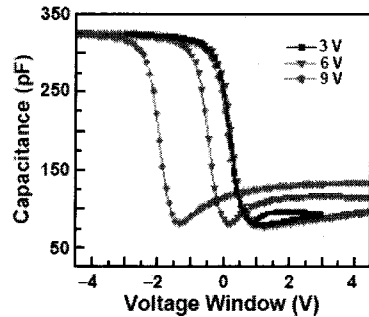


그림 7. 열처리된 ALD ZrO₂ 박막(20 nm)을 유전막으로 사용한 Pt/ZrO₂/Si 구조에 대한 C-V plots.

4. 결론

게이트의 채널 길이가 축소되고 nano-scale의 얇은 박막을 게이트의 절연막으로 사용하기 위하여 SiO₂ 박막을 대체할 수 있는 고유전 물질의 박막을 형성하는데, ALD 방법이 가장 유력한 기술로 평가받고 있다. 본 연구에서는 새로운 저온 박막증착 공정인 ALD 방법으로 증

착된 ZrO₂ 박막의 전기적 특성 및 물리적 특성을 평가하기 위하여 ALD ZrO₂ 박막을 게이트 유전물질로 사용하여 Pt/ZrO₂/Si 구조의 소자를 제작하였다. Pt/ZrO₂/Si 소자는 p-type (100) 실리콘 웨이퍼 위에 ~1 Å/cycle의 증착율로 두께가 ~20 nm인 ALD ZrO₂ 박막을 증착한 다음 5×10^{-5} cm²의 Pt 전극을 만들어 ALD ZrO₂ 박막의 C-V 특성을 측정하였다.

Pt/ZrO₂/Si 소자 제작에 있어서 ZrO₂ 박막을 800 °C, Ar 가스 분위기에서 1 시간동안 열처리한 후 TEM 사진과 ΔV 의 측정을 통해 경계층의 결정성 변화를 관찰함으로써 소자 제작 시 열처리 효과에 의한 소자의 전기적 특성이 개선됨을 알 수 있었다. 이것은 ALD ZrO₂ 박막을 열처리 하여 소자 제작에 사용할 경우 고 집적화된 소자의 신뢰성 향상에 크게 기여할 것으로 생각된다.

참고문헌

- [1] L. Jalabert, P. Temple-Boyer, G. Sarraeyrouse, F. Cristiano, B. Colombeau, F. Voillot, C. Armand, "Reduction of boron penetration through thin silicon oxide with a nitrogen doped silicon layer", *Microelectronics Reliability*, Vol. 41, pp. 981-985, 2001.
- [2] C. Jahan, K. Barla, "Effect of boron penetration on the stress induced leakage current in PMOS structures with p⁺ doped polysilicon gate", *J. Non-Crystalline Solids*, Vol. 245, pp. 33-40, 1999.
- [3] Shuwei Li, Kazuto Koike, Hisayoshi Komai, Mitsuaki Yano, "Threshold voltage shift characterization of vertically stacked InAs nanodots in field-effect transistor", *J. Crystal Growth*, Vol. 227-228, pp. 1166-1170, 2001.
- [4] C. Petit, D. Zander, "Stress induced gate-drain leakage current in ultra-thin gate oxide", *Microelectronics Reliability*, Vol. 47, pp. 2070-2081, 2007.
- [5] X. Liu, J. Kang, R. Han, "Direct tunneling current model for MOS devices with ultra-thin gate oxide including quantization effect and polysilicon depletion effect", *Solid State Communications*, Vol. 125, pp. 219-223, 2003.
- [6] Y. Omura, A. Nanakubo, H. Nakatsuji, "Quantum mechanical effect in temperature dependence of threshold voltage of extremely thin SOI MOSFETs", *Solid-State Electronics*, Vol. 48, pp. 1661-1666, 2004.
- [7] M. Leskela, M. Ritala, "Atomic layer deposition (ALD): from precursors to thin film structures", *Thin Solid Films*, Vol. 409, pp. 138-146, 2002.
- [8] R.L. Puurunen, W. Vandervorst, W.F.A. Besling, O. Richard, H. Bender, T. Conard, C. Zhao, A. Delabie, M.M. Viitanen, M. de Ridder, H.H. Brongersma, Y. Tamminga, T. Dao, T. de Win, M. Verheijen, M. Kaiser, M. Tuominen, "Island growth in the atomic layer deposition of zirconium oxide and aluminum oxide on hydrogen-terminated silicon: Growth mode modeling and transmission electron microscopy" *J. Applied Physics*, Vol. 96, pp. 4878-4889, 2004.
- [9] J.H. Sim, S.C. Song, P.D. Kirsch, C.D. Young, R. Choi, D.L. Kwong, B.H. Lee, G. Bersuker, "Effects of ALD HfO₂ thickness on charge trapping and mobility", *Microelectronic Engineering*, Vol. 80, pp. 218-221, 2005.
- [10] M. L. Hitchman, *Chemical Vapor Deposition Principle and Application*, Academic Press, (1993).
- [11] Donald L. Smith, *Thin Film Deposition*, McGraw Hill Inc., (1995).
- [12] G. Scarel, S. Spiga, C. Wiemer, G. Tallarida, S. Ferrari, M. Franciulli, "Trends of structural and electrical properties in atomic layer deposited HfO₂ films," *Materials Sciences and Engineering B*, Vol. 109, pp. 11-16, 2004.
- [13] M. Cassir, F. Goubin, C. Bernay, P. Vernoux, D. Lincot, "Synthesis of ZrO₂ thin films by atomic layer deposition: growth kinetics, structural and electrical properties", *Applied Surface Science*, Vol. 193, pp. 120-128, 2002.
- [14] K. Kukli, K. Forsgren, J. Aarik, T. Uustare, A. Aidla, A. Niskanen, M. Ritala, M. Leskela, A. Harsta, "Atomic layer deposition of zirconium oxide from zirconium tetraiodide, water and hydrogen peroxide", *J. Crystal Growth*, Vol. 231, pp. 262-272, 2001.
- [15] M. Deminsky, A. Knizhnik, I. Belov, S. Umanskii, E. Rykova, A. Bagatur'yants, B. Potapkin, M. Stoker, A. Korkin, "Mechanism and kinetics of thin zirconium and hafnium oxide film growth in an ALD reactor", *Surface Science*, Vol. 549, pp. 67-86, 2004.
- [16] Y.Y. Fan, R.E. Nieh, J.C. Lee, G. Lucovsky, G.A. Brown, L.F. Register, S.K. Banerjee, "Voltage- and Temperature-Dependent Gate Capacitance and Current Model: Application to ZrO₂ n-channel MOS Capacitor", *IEEE Transactions on Electron Devices*, Vol. 49, pp. 1969-1978, 2002.
- [17] Y. Zhi, S.P. Tay, "Physical characterization of ZrO₂ films on silicon after rapid thermal anneal", *Proceedings, the 199th ECS Meetings, Symposium on*

Rapid Thermal and Other Short-Time Processing Technologies III, Washington, DC, March 2001.

- [18] T. Lee, J. Ahn, J. Oh, Y. Kim, Y.B. Kim, D.K. Choi, J. Jung, "Characterization of Ultra-Thin HfO₂ Gate Oxide Prepared by Using Atomic Layer Deposition", J. the Korean Physical Society, Vol. 42, pp. 272-275, 2003.
- [19] N. Takahashi, S. Nonobe, T. Nakamura, "Growth of HfO₂ films using an alternate reaction of HfCl₄ and O₂ under atmospheric pressure", J. Solid State Chemistry, Vol. 177, pp. 3944-3948, 2004.
- [20] J. Lu, J. Aarik, J. Sundqvist, K. Kukli, A. Harsta, J.O. Carlsson, "Analytical TEM characterization of the interfacial layer between ALD HfO₂ film and silicon substrate", J. Crystal Growth, Vol. 273, pp. 510-514, 2005.

안 승 준(Seung-Joon Ahn)

[정회원]



- 1985년 2월 : 경북대학교 자연과학대학 물리학과(이학사)
- 1989년 2월 : 한국과학기술원 물리학과(이학석사)
- 1993년 2월 : 한국과학기술원 물리학과(이학박사)
- 1989년 2월~1997년 2월 : 삼성전자 반도체연구소 선임연구원
- 1993년 3월~현재 : 선문대학교 자연과학대학 신소재과학과 부교수

<관심분야>

반도체공정 및 장비기술, 레이저 annealing, 레이저 미세가공, 전자빔 기술, 접지기술

안 성 준(Seong-Joon Ahn)

[정회원]



- 1987년 2월 : 서울대학교 물리학과(이학사)
- 1989년 2월 : 한국과학기술원 물리학과(이학석사)
- 1992년 8월 : 한국과학기술원 물리학과(이학박사)
- 1992년 9월 : 삼성전자 반도체연구소 선임연구원
- 1996년 5월 : 한전전력연구원 선임연구원
- 2002년 3월 ~ 현재 : 선문대학교 정보통신공학부 부교수

<관심분야>

반도체공정, 광통신 및 센서, 전자빔 기술, 레이저 미세가공, 접지기술