

---

# 멀티채널 데이터 변환을 위한 다중화 증분형 $\Delta\Sigma$ 아날로그-디지털 변환기

김대익\* · 한철민\*\* · 김관웅\*\* · 배성환\*\*\* · 김용갑\*\*

## Multiplexed Incremental $\Delta\Sigma$ Analog-Digital Converters for Data Conversion over Multi-Channel

Dae-ik Kim\* · Cheol-min Han\*\* · Kwan-woong Kim\*\* · Sung-hwan Bae\*\*\* · Yong-kab Kim\*\*

---

이 논문은 2006년도 전남대학교 교수 연구역량강화사업 지원에 의하여 연구되었음. 이 논문은 산업자원부에서 시행하는 대학전력연구센터 육성·지원사업(I-2004-0-074-0-00)에 의해 작성되었음.

---

### 요 약

계측 및 측정분야에 사용되는 아날로그-디지털 변환기는 우수한 선형성과 무시할 만큼 적은 dc 오프셋 특성을 갖으면서 높은 정밀도를 요구한다. 증분형 (적분형) 데이터 변환기는  $\Delta\Sigma$  변환기의 대부분의 장점을 보유하면서, 측정 응용분야에 적합한 해법을 제공한다. 또한 이러한 형태의 변환기는 오프셋 조정이 필요 없이 정확한 변환을 할 수 있다. 본 논문에서는 멀티채널을 통한 협대역 AC 신호를 변환시켜 주는 다중화 증분형 데이터 변환기의 구현 기술을 제안한다. 또한 동작 원리, 토폴로지, 그리고 디지털 decimation 필터 설계에 대해 논의한다. 마지막으로 시뮬레이션 결과를 통해 제안한 이론에 대한 타당성을 검증한다.

### ABSTRACT

Analog-to-digital converters (ADCs) used in instrumentation and measurements often require high absolute accuracy, including excellent linearity and negligible dc offset. Incremental (integrating) data converters (IDCs) provide a solution for such measurement applications, as they retain most of the advantages of conventional  $\Delta\Sigma$  converters, and yet they are capable of offset-free and accurate conversion.

In this paper, a design technique for implementing multiplexed incremental data converters to convert narrow bandwidth AC signals over multi-channel is discussed. It incorporates the operation principle, topology, and digital decimation filter design. The theoretical results are verified by simulation results.

### 키워드

incremental  $\Delta\Sigma$  ADC, multi-channel, multiplexing, narrow band AC signals

---

\* 전남대학교 전기전자통신컴퓨터공학부

\*\* 원광대학교 전기전자정보공학부

\*\*\* 한려대학교 멀티미디어 정보통신학과

## I. 서 론

오버샘플링 (oversampling)과 잡음성형 기술을 이용하는 델타-시그마 변환은 고정밀 아날로그-디지털 변환기(analog-digital converter : ADC)를 구현하는데 주로 사용하는 기법이다. 반면에 디지털 전압계와 센서 응용 장치와 같은 고정밀 측정분야에서는 오프셋 오차와 이득 오차가 없는 고정밀 데이터 변환기를 사용해야만 한다. 이러한 변환기는 우수한 미적분 선형특성과 낮은 오프셋 오차와 이득 오차 특성을 가져야 하며, 높은 해상도와 저전력 특성 또한 요구된다.

나이퀴스트 (Nyquist) ADC 중에서, dual-slope 변환기와 전압-주파수 변환기는 DC 측정분야에서 오랜 기간 동안 사용되어 왔다. 그러나 저전력 CMOS 기술을 이용한 집적회로 기술이 발전함에 따라 외부소자를 이용하지 않고도 우수한 성능을 제공하며, 아날로그 소자의 오차에도 견딜 수 있는 증분형 (incremental) ADC의 이용도가 증가하게 되었다.

IDC는 여러 가지 고정밀 측정분야뿐만 아니라 바이오메디컬 분야에서 요구하는 저전력 특성과 고정밀의 아날로그-디지털 변환 특성을 제공한다. 이 데이터 변환기는  $\Delta\Sigma$  ADC와 구조적으로 유사하지만, 고정된 클럭 주기 n 동안에만 동작을 한 후, 모든 저장장치(커패시터, 디지털 저장 셀)가 초기화되는 특성을 가지고 있다. 따라서 IDC는 생체 데이터 획득 장비(심전계(EKG), 뇌파 측정기(BEG))와 같은 다중 채널 시스템의 각각의 신호들을 동시에 변환시켜 주는 동작을 수행하는데 가장 적합하다.

DC 측정에 사용되는 IDC의 기본 동작특성은 [1]에 설명되었으며, 2차 IDC는 [2]에 소개되었다. 또한 고차 IDC의 설계 이론과 여러 가지 구현 방식 사이의 trade-off를 [3]에서 다루었다. 그리고 [4]에서 22-비트 해상도와 0.3mW의 저전력 특성을 갖는 IDC 칩을 구현하였다.

본 논문에서는 멀티채널을 통한 협대역 (narrow band) AC 아날로그 신호를 디지털 신호로 변환시키는 다중화 증분형 데이터 변환기에 대한 구현 기술을 제안한다. 동작 원리, 구조, 그리고 디지털 decimation 필터 설계에 대해 논의한다. 끝으로 시뮬레이션 결과를 통해 제안한 이론에 대한 타당성을 검증한다.

본 논문의 II장에서는 다중화 증분형 변환기의 응용 분야와 구현할 때 요구되는 사항에 대해 소개하였고, III

장에서는 데이터 변환기의 구조와 기본동작에 대해 설명하였다. IV장에서는 디지털 decimation 필터의 구현 방법에 대해 다루었으며, 마지막으로 V장에서 결론을 맺는다.

## II. 응용분야 및 요구사항

다중화 IDC는 전력 관리 (전압, 전류, 온도 등), 엔진 제어 (속도, 연료 혼합 등), 그리고 생체 신호처리(심전도, 뇌파 등) 분야에 사용할 수 있다. 이러한 응용분야에서는 ADC가 다중채널 상의 데이터를 습득하는 기능을 요구한다. 즉, N개의 저주파 아날로그 신호들이 디지털 신호 형태로 변환되어져야만 한다. 이러한 아날로그 신호들은 일반적으로 주파수 대역이  $f_B < 3kHz$ 인 협대역 신호들이다.

IDC 구현에 있어서 일반적으로 요구되는 사항들은 아래와 같다.

1) 높은 신호대양자화잡음비율

(signal-to-quantization noise ratio : SQNR) :  $SQNR > 90dB$

2) 고집적 :  $< 5mm^2$

3) 저전력 손실 :  $< 2mW$

저주파 신호들을 전송하는 다중채널에 대한 병렬 ADC는 다음과 같은 여러 가지 방식을 통해 구현할 수 있다.

1) Decimation 필터를 공유하는 병렬 ADC 구현 : 이 구조는 큰 칩 면적과 많은 전력 소모를 요구한다.

2) 복제된 (duplicated) 저장소자 (커패시터, 레지스터)를 사용한 다중화 ADC 구현 : 이 구조 또한 많은 칩 면적을 요구하고, 채널 사이에 간섭이 발생할 수 있다.

3) 다중화와 리셋을 적용한 증분형 변환기와 decimation 필터를 사용한 구현 : 작은 칩 면적과 저전력 특성을 갖는 구조로서 본 논문에서 채택한 최적의 구조이다.

## III. 구조 및 동작

멀티채널 데이터 변환을 위한 다중화 IDC에 대한 시스템 구조를 그림 1에 보이고 있으며, 모든 채널들이 동일한  $\Delta\Sigma$  변환기와 decimation 필터를 공유하고 있음을 확인할 수 있다.

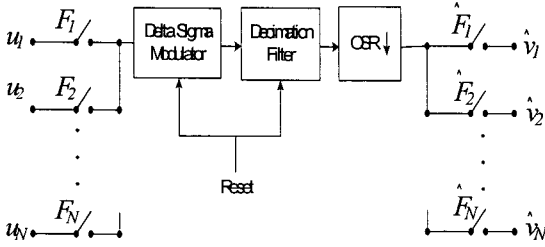


그림 1. 다중화 IDC의 블록다이어그램.  
Fig. 1. Block diagram of multiplexed IDC.

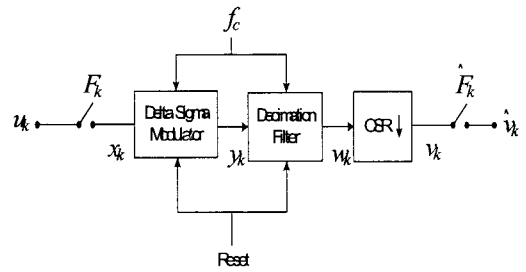


그림 2. k번째 채널에 대한 블록다이어그램.  
Fig. 2. Block diagram of  $k_{th}$  channel.

그림 2는 시스템의  $k$  번째 채널에 대한 블록다이어그램을 도시하였다.  $F_k$ 가 스위치 ‘온’ 상태가 되었을 때,  $k$  번째 채널은 데이터 변환을 위해 선택된다. 먼저 입력 신호  $u_k$ 가  $\Delta\Sigma$  변환기에 인가되어  $y_k$  데이터 열로 변환된 후, decimation 필터로 입력된다. decimation 필터 출력  $w_k$ 의 마지막 샘플이 입력 신호  $u_k$ 의 등가 디지털 신호 ( $v_k$ )가 된다. 하나의 채널에 대한 변환이 완료된 후에 다음 채널의 데이터 변환을 위해 리셋 신호 ‘1’이  $\Delta\Sigma$  변환기와 decimation 필터에 인가된다.

그림 3 (a)는 그림 2의 신호들  $u_k, x_k, y_k, w_k$ , 그리고  $v_k$ 에 대한 시간 도메인에서의 파형을 보여주고 있으며, 그림 3 (b)는 주파수 도메인에서 신호 형태를 보여주고 있다.

N 채널 구조에서, 각 채널은 대역폭  $f_B$ 를 갖는 하나의 신호를 전송하며, 대역폭은 일반적으로 수  $kHz$ 를 넘지 않는다. ADC에 의해 각 채널에 할당되는 시간슬롯은  $T_w$ 로 표시하였으며, 각각의 변환주기 내에서 입력 아날로그 신호와 곱이 되는 임시 윈도우의 지속시간으로 생각할 수 있다. Nyquist 이론에 의해 식 (1)과 같은 제약

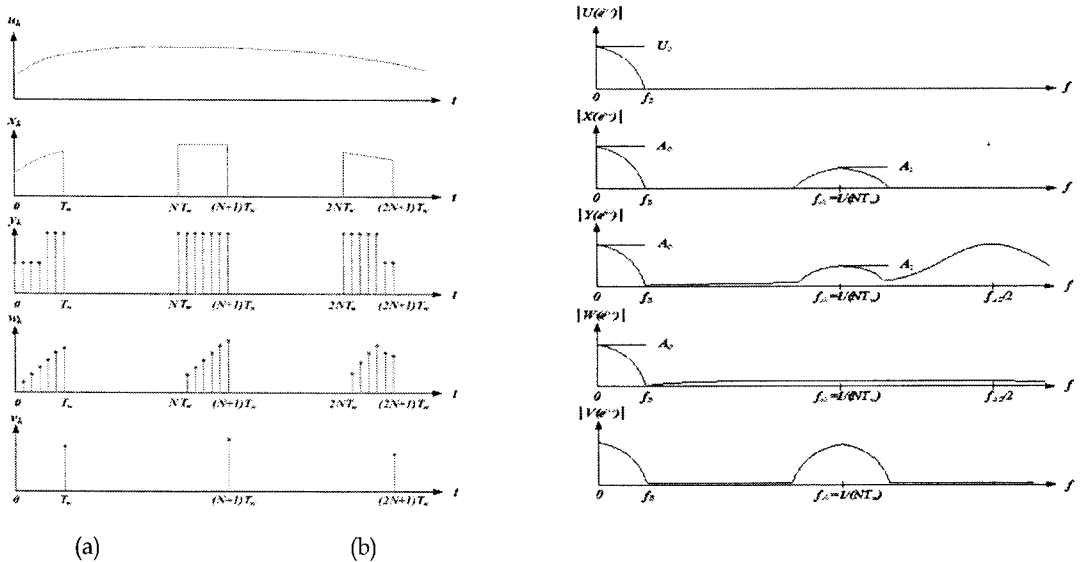


그림 3.  $k$  번째 채널의 신호들  $u_k, x_k, y_k, w_k, v_k$ ; (a) 시간 도메인 (b) 주파수 도메인.  
Fig. 3.  $u_k, x_k, y_k, w_k, v_k$  signals of  $k_{th}$  channel; (a) time domain (b) frequency domain.

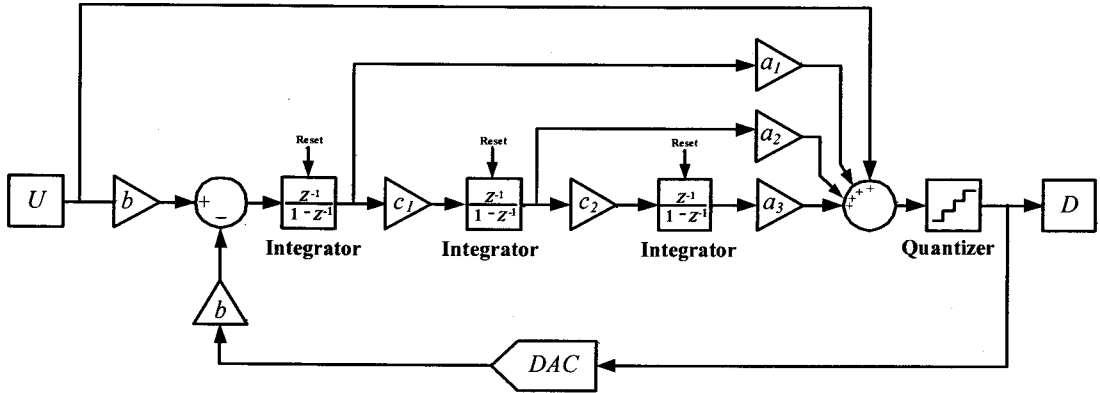


그림 4. ΔΣ 변환기의 블록다이어그램.  
Fig. 4. Block diagram of ΔΣ Modulator.

식을 얻을 수 있다.

$$NT_w < 1/(2f_B) \quad (1)$$

식 (1)에 의해 정의된 클럭 주파수와 정밀도에 대한 처리 가능한 채널의 개수에 대한 상한선을 결정할 수 있다.

각각의 변환 주기 동안, ΔΣ 변환기와 decimation 필터는 n 클럭 주기의 합수가 된다. L차 IDC에서 저주파수인 경우, SQNR은 n<sup>L</sup>에 비례한다 [3]. 여기에서 n은 클럭 주기의 개수이다. 따라서 n = f<sub>c</sub>T<sub>w</sub>이므로 원하는 SQNR을 얻기 위해 n이 충분히 커야만 한다. 여기에서 f<sub>c</sub>는 클럭 주파수이다.

본 논문에서는 ΔΣ 변환기를 설계하기 위해, 5-레벨 양자화기를 갖는 3차 cascade-of- integrators feed-forward (CIFF) 구조를 선택하였다. 클럭 주파수는 f<sub>c</sub> = 20MHz 이고, over-sampling ratio는 OSR = f<sub>c</sub>/2f<sub>B</sub> = 6,666이다. ΔΣ 변환기의 내부 블록 다이어그램을 그림 4에 보여주고 있으며, 이에 대한 파워 스펙트럼 밀도 (power spectral density : PSD)는 그림 5와 같다.

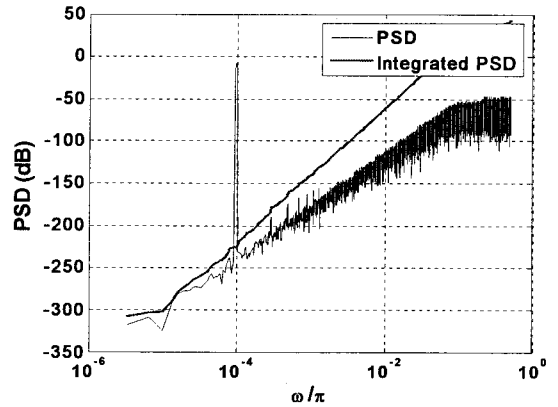


그림 5. ΔΣ 변환기의 PSD.  
Fig. 5. PSD of ΔΣ Modulator.

ΔΣ 변환기의 신호전달함수 (signal transfer function : STF)는 1이며, 잡음전달함수 (noise transfer function : NTF)는 식 (2)와 같다.

$$NTF(z) = \frac{(1-z^{-1})^3}{1-1.9062z^{-1}+1.4074z^{-2}-0.3506z^{-3}} \quad (2)$$

#### IV. 디지털 decimation 필터

그림 2에서 보여준 디지털 decimation 필터는 유한 클럭 주기  $n$ 에 따라 동작하게 되어 전달함수  $H(z) = h_0 + h_1z^{-1} + h_2z^{-2} + \dots + h_nz^{-n}$ 을 갖는 FIR 디지털 필터 형태가 된다 [5]. CIFF 구조를 갖는 변환기의 STF는 1이기 때문에, 입력 신호의 변형을 최소화하기 위해 디지털 필터의 이득은 신호 대역폭  $f_B$ 까지는 평탄해야만 한다.

또한 ADC에서 발생하는 양자화잡음과 더불어 그림 3에서와 같이  $f_{ch} = 1/T_w$  근처에서 발생하는 replica를 억제시켜야 한다.  $\Delta\Sigma$  변환기의 잡음 함수는 고역통과 필터함수와 동일하며, 대부분의 양자화잡음을 신호 대역 밖에 존재하도록 해야 한다. 잡음 성형 후에 신호 대역보다 조금 높은 주파수 대역에 남아있는 양자화잡음을 제거하기 위해 전달함수는 저역통과 필터함수 형태를 가져야 하며, 3장에서 설명했던바와 같이 높은 SQNR을 얻기 위해서는 충분히 큰 클럭 주기  $n$ 이 필요하다.

저주파 신호에 대한 decimation 필터는 다음과 같은 방식으로 구현할 수 있다.

1) 누산기 (accumulator)를 cascading한 구조 : 간단하게 구현할 수 있는 장점이 있지만,  $z = 1$ 에 극점들을 갖게 되어 DC 오프셋에 민감한 특성이 있다.

2) Damping 적분기 (integrator)를 cascading한 구조 : 극점들을  $z_p = 0.95$ 에 그리고 영점들을  $z_z = -1$ 에 세팅하여 감쇠치 없이 1)의 구조보다 안정적으로 만들 수 있다.

3) 버터워스 (Butterworth) 필터 : 유한 클럭 주기 동안만 동작 시키며, 앞의 두 가지 구조보다 신호 대역 내에서 가장 평탄한 통과대역 특성을 갖는다. 따라서 본 논문에서는 좀 더 우수한 동작 특성을 얻기 위해, 식 (3)과 같은 전달함수를 갖는 4차 버터워스 필터를 채택하였다.

$$H(z) = 10^{-6} \frac{0.065 + 0.26z^{-1} + 0.39z^{-2} + 0.26z^{-3} + 0.065z^{-4}}{1 - 3.92z^{-1} + 5.75z^{-2} - 3.75z^{-3} + 0.92z^{-4}} \quad (3)$$

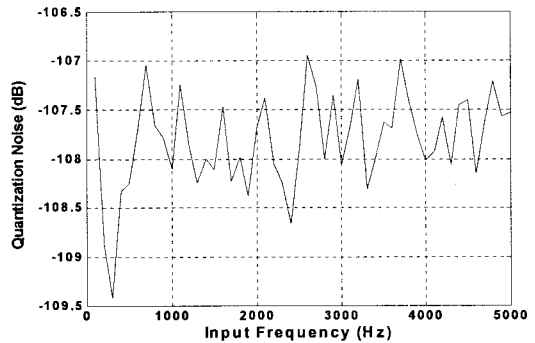


그림 6. 입력 주파수에 따른 양자화잡음.  
Fig. 6. Quantization noise versus input frequency.

최적화된 디지털 decimation 필터의 출력 단에서 DC 입력에 따른 변환 오차를 그림 7에 보였다. 양자화기가 오버로드 되는 양쪽의 제한 범위를 제외하고,  $SQNR > 90dB$ 를 만족시키고 있음을 확인할 수 있다. 또한 디더링 (dithering)을 위한 별도의 회로 없이 idle tone을 나타내는 피크가 발생되지 않았음을 알 수 있다.

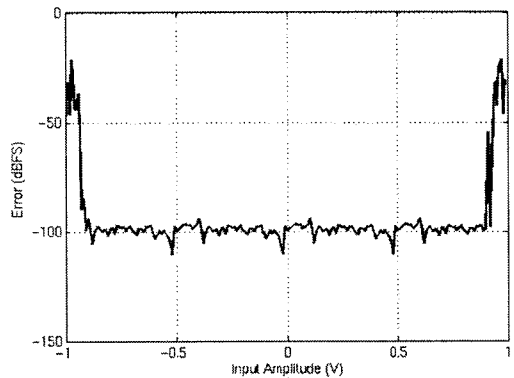


그림 7. DC 입력에 따른 변환 오차.  
Fig. 7. Conversion error according to DC input.

#### V. 결 론

본 논문에서는 멀티채널 데이터 변환을 위한 다중화 IDC에 대한 이론적인 분석과 설계 방법론을 설명하였다. 또한 정의된 클럭 주파수와 정밀도에 대한 다중 채널의 개수에 대한 상한선을 유도하였다. Decimation 필터를 설계할 때 적분기의 cascading 방식으로 간단하게 구

현할 수 있지만, 좀 더 나은 동작 특성을 얻기 위해 버터 위스 필터 구조를 채택하였다. 시뮬레이션 결과를 통해 제안한 이론에 대한 타당성을 검증하였다. 앞으로 양자 화잡음 뿐만 아니라 열화잡음(thermal noise)을 고려한 IDC 최적화 구현 방안에 관한 연구가 필요할 것이다.

### 참고문헌

[1] J. Robert, G. C. Temes, V. Valencic, R. Dessoulavy, and P. Deval, "A 16-bit low-voltage CMOS A/D converter," *IEEE J. Solid-State Circuits*, vol. 22, no. 2, pp. 157-163, Apr. 1987.

[2] J. Robert and P. Deval, "A second-order high-resolution incremental A/D converter with offset and charge injection compensation," *IEEE J. Solid-State Circuits*, vol. 23, no. 3, pp. 736-741, Jun. 1988.

[3] J. Márkus, J. Silva, and G. C. Temes, "Theory and applications of incremental delta-sigma converters," *IEEE Trans. Circuits Syst. I*, vol. 51, no. 4, pp. 678-690, Apr. 2004.

[4] V. Quiquempoix, P. Deval, A. Barreto, G. Bellini, J. Márkus, J. Silva, and G.C. Temes, "A low-power 22-bit incremental ADC," *IEEE J. Solid-State Circuits*, vol. 41, no. 7, pp. 1562-1571, Jul. 2006.

[5] T. C. Caldwell, and D. A. Jones, "An Incremental Data Converter with an Oversampling Ratio of 3," *Ph. D Research in Microelectronics and Electronics Conference*, pp. 125-128, Jun. 2006.

### 저자소개

#### 김 대 익(Dae-ik Kim)

1996년 : 전북대학교 전자공학과 공학박사  
 2006. 7 - 2007. 6 : 미국 오레건주립대학 교환교수  
 2002년 - 현재 : 전남대학교 전기전자통신컴퓨터공학부 교수  
 ※ 관심분야 : 저전력 VLSI 설계, 데이터변환기

#### 한 철 민(Cheol-min Han)

2007년 : 전북대학교 전자공학과 공학박사  
 2006. 4 - 2007. 2 : 한국전자통신연구원 BcN단 스위칭기술팀 연구원  
 2007년 - 현재 : 원광대학교 전기전자정보공학부 Post-doc  
 ※ 관심분야 : BcN, Ubiquitous Network, SoC 설계

#### 김 관 응(Kwan-woong Kim)

2002년 : 전북대학교 전자공학과 공학박사  
 2006년 - 현재 : 원광대학교 전기전자정보공학부 교수  
 ※ 관심분야 : 트래픽제어, Ad-hoc 네트워크

#### 배 성 환(Sung-hwan Bae)

2000년 : 전북대학교 전자공학과 공학박사  
 2000년 - 현재 : 한려대학교 멀티미디어 정보통신공학과 교수  
 ※ 관심분야 : ASIC 테스트, 통신시스템 설계

#### 김 용 갑(Yong-kab Kim)

1988년 : 아주대학교 전자공학과 공학사  
 1993년 : 알라바마 주립대학교 공학석사  
 2000년 : 노스캐롤라이나 주립대 공학박사  
 2003년 - 현재 : 원광대학교 전기전자 정보공학부 교수  
 ※ 관심분야 : 광통신시스템, 무선 네트워크, 전력선통신