

---

# RF 집적회로의 시간영역 테스트를 위한 사양기반 구간고장모델링

김강철\* · 한석봉\*\*

Band Fault Modelling Based on specification for the Time Domain Test of RFIC

Kang Chul Kim\* · Seok-Bung Han\*\*

## 요 약

본 논문에서는 RF 집적회로의 설계사양을 시간영역에서 테스트가 가능한 구간고장모델링 기법을 제안한다. 먼저 구간고장모델을 정의하였고, 정상동작구간을 결정하여 구간고장모델이 될 수 있는 조건을 증명하였다. 그리고 구간고장모델 조건을 5.25 GHz 저잡음 증폭기에 적용하여 능동소자와 수동소자의 강고장과 파라메트릭 고장의 검출이 가능한 9개의 구간고장모델을 모의실험에 의하여 구하였다. 본 논문에서 얻어진 구간고장모델을 기반으로 출력에 나타나는 출력파형의 변화를 시간영역에서 관찰하여 설계사양 테스트를 수행할 수 있으므로 RF 집적회로의 테스트 시간과 비용을 줄일 수 있다.

## ABSTRACT

This paper proposes a new design specification-based band fault modelling technique that can test design specification in a time domain. The band fault model is defined and the conditions of band fault model are gained as normal operation regions are defined. And the conditions of band fault model are used in a 5.25GHz low noise amplifier, then 9 band fault models that can detect hard and parametric faults of active and passive devices are obtained.

## 키워드

Band fault model, RFIC, Time domain, Design specification, Normal operation region, Hard fault, Parametric fault, Low noise amplifier

## I. 서 론

고주파 통신과 칩 제조 기술의 발전으로 RF 집적회로의 수요가 증가하고 칩의 성능이 향상되고 있으나, 이들은 저전력 및 고주파수에서 동작하므로 칩의 테스트는 점점 더 어려워지고 있다. 최근에는 아날로그 및 혼성신호 집적회로의 테스트 시에 테스트 비용이 전체 제조비

용의 50%까지 차지하여 제품가격이 상승하는 요인이 되고 있다[1,2].

RF 집적회로의 테스트 기술들은 전통적으로 설계사양(specification) 기법과 고장모델(fault model) 기법으로 분류된다. 현재 산업체에서 적용하는 RF 집적회로의 테스트 방식은 설계사양 테스트 방식을 주로 사용하며, 고장모델링, 테스트 패턴 생성, 인가 및 평가가 어렵다는

---

\* 전남대학교 공학대학 전기전자통신컴퓨터공학부

\*\* 경상대학교 공과대학 전자공학과

문제점을 가지고 있다. 그리고 주파수영역에서 사양측정에 의존하고 있으므로 비싼 테스트장비가 요구되고 테스트 시간이 길어진다. 그러므로 주파수영역 테스트 방법과 같은 결과를 얻는 동시에 저비용인 시간영역 테스트 방법을 찾을 필요가 있다. 고장모델기반 테스트 기법은 주로 시간영역 테스트 기법을 사용하고 있으며 특히, RF 회로의 DC와 transient 파형을 이용한 테스트 기법의 개발에 중점을 두고 있다.

본 논문에서는 RF 집적회로의 입력에 테스트 입력신호를 인가하고, 출력에서 나타나는 출력파형의 변화를 시간영역에서 관찰하여 설계사양 테스트를 수행하기 위한 구간고장모델을 결정하는 방법을 제안한다. 즉 테스트하고자 하는 회로의 설계사양들을 만족하는 각 회로소자 값의 범위를 구간고장모델로 정의하고, 저잡음 증폭기를 사용하여 구간고장모델을 구하는 방법을 설명한다. II장에서는 기존의 연구결과를 검토하여 문제점과 개선점을 기술하고, III장에서는 설계사양을 고려한 구간고장모델을 정의하고, 구간고장모델의 특징과 필요조건을 정의한다. IV장에서는 제안된 구간고장모델을 저잡음증폭기에 적용하기 위하여 무고장의 범위를 계산하여 9개의 구간고장모델을 구하고, V장에서는 결론을 기술한다.

## II. 기존의 연구

아날로그/RF 집적회로의 테스트 기술은 설계사양 테스트 또는 기능적 테스트(functional-based testing) 방식 [1-3]과 고장모델 기반 테스트 또는 구조적 테스트(structural-oriented testing) 방식[4-8]으로 분류된다.

고장모델기반 테스트 방식은 제조상에 발생하는 공정결함 등을 회로수준의 고장으로 모델링한다. 기존에 연구된 고장모델은 아날로그 집적회로에 존재하는 결함[9-12]과 RF 집적회로에 존재하는 결함[5,6,8,13]을 회로레벨에서 고장으로 모델링하는 것으로, 고장모델들이 설계사양에 미치는 영향이 연구되지 않았다. 아날로그/RF 집적회로에서 파라메트릭 고장을 고려하는 논문의 경우 그 고장 범위를 결정할 수 있는 기준이 없고, 논문에 따라 고장 값을 임의로 가정하여 고장모델로 사용하고 있다. 그러므로 고려한 고장 값이 설계사양과 무관하게 되어 테스트 평가가 불가능하였다. 그리고 RF 집

적회로 내의 모든 수동소자인 저항, 인덕터, 커패시터와 능동소자인 트랜지스터의 고장을 동시에 고려하지 못하고 있으며, MOS 트랜지스터의 크기가 작아짐에 따라 발생하는 게이트 옥사이드 브레이크다운(breakdown)현상에 의한 회로성능의 감소를 초래하는 고장들을 효과적으로 고려하지 못하였다.

설계사양 테스트 방식은 테스트하고자 하는 회로의 모든 설계사양들(이득, 잡음여유, 선형성 등)을 측정하여 이 결과 값이 허용된 범위 내에 있는지를 판단하여 고장유무를 결정한다. 이 방식은 직접적인 테스트 방식으로 적용하기에 용이하다. 그러나 고장 검출률을 계산할 수 있는 지표가 없으므로 테스트 평가가 어렵고, 설계사양을 측정하기 위하여 값비싼 전용테스트 장비를 사용하여야 하는 동시에 긴 테스트 시간이 요구되므로 테스트 비용이 매우 높다. 설계사양 테스트 기법으로 S. D. Huss[3]는 설계사양 테스트시간을 감소시키기 위하여 테스트하고자 하는 설계사양들의 순서를 결정하는 방법을 제안하였다. 그러나 이 방식은 테스트 회로가 고장을 포함하고 있다면 테스트 시간이 감소되는 효과가 있으나 고장이 없는 회로에 대해서는 그 장점을 얻지 못한다. 그러므로 설계사양 테스트의 효율을 증가시키기 위해 설계사양 테스트의 순서를 찾기 위한 효과적인 알고리즘을 제안하였다[14]. 이 알고리즘은 수율(yield) 예측을 통하여 반드시 필요하지 않은 설계사양을 제거한다. 그러나 정확한 수율을 예측하는 것이 어렵고 설계사양들 사이에 상호관계가 고려될 때 많은 시간이 소비되는 단점을 가지고 있다.

아날로그 회로가 모든 설계사양을 만족하는지, 양을 판단하는 새로운 테스트 방식으로 고장모델을 기반으로 하는 테스트 기법이 제안되었다[15]. 즉, 테스트 입력신호를 인가하고 결과적인 테스트 측정값들로부터 측정집합을 합성하여 설계사양테스트와 동일한 데이터를 얻는다. 파라메트릭 고장을 검출하기 위하여 정현파 테스트입력과 포화된 램프 테스트 입력을 사용하는 방법[9]은 정현파 테스트입력의 사용은 램프 파형보다 생성과 인가가 용이하나, 정상상태 파형을 고려하기 때문에 테스트 시간이 많이 걸린다. 램프 파형은 많은 주파수 성분이 포함된 압축된 테스트 파형으로 정현파 테스트 입력보다 고장검출률이 매우 높음을 제시하고 있다. 테스트 평가방식으로는 시간영역 파형측정기술을 사용하여 테스트 시간과 비용을 감소시킨다. 그러나 이 램프 테

스트 입력은 테스트 시에 정밀한 상승시간의 결정과 측정이 요구된다. 또한 수동소자들의 변화 값에 따라서 테스트가 용이한 랩 테스트 입력의 상승시간이 다르다. 이 논문에서는 고려한 고장과 설계사양의 변화에 대한 관계가 고려되지 않으므로 실제적인 집적회로의 테스트에 적용이 어려운 문제점을 갖고 있다. Biquadratic 저역통과 필터에 존재하는 고장을 설계사양을 고려하여 수동소자 저항과 커패시터 값의 허용범위를 주어 고장 구간과 허용구간을 결정하는 방법이 제안되었으나 허용구간의 범위만을 결정하여 정확한 결과를 얻지 못하고 있다.[16] 대역통과 필터에 대하여 설계사양을 고려한 고장을 모델링하고 정상범위의 설계사양에 의한 수동소자 저항 값과 커패시터 값의 허용범위를 정하였으나 대역통과 필터를 구성하는 연산 증폭기내의 소자 파라미터의 고장은 외부소자의 고장에 비하여 그 영향이 매우 적으므로 고려하지 않았다.[17]

### III. 설계사양기반 구간고장모델링

본 논문에서는 최소, 정상, 최대 동작주파수에서 표준, 고속, 저속공정의 종류에 따라 설계사양을 만족하는 범위를 설계사양의 정상동작 범위로 정의한다. 회로내의 한 수동소자의 값이나 능동소자의 파라미터 값을 변화시키고, 나머지 모든 소자의 값을 정상값으로 설정한 후에 주파수와 공정의 종류를 변화시키면서 설계사양의 정상동작범위를 관찰한다. 파라미터 값에 따라 설계사양을 벗어나는 최대, 최소값의 범위를 구하여 설계사양을 만족하는 구간을 무고장 구간이라 하고 이를 구간고장모델로 정의한다. 그리고 설계사양을 벗어나는 구간을 고장 구간이라 한다. 각 회로소자의 값이 무고장 구간 내에 있다면 모든 설계사양을 만족하나, 무고장 구간 밖에 있을 때는 고장이 발생하고 이 경우는 테스트하고자 하는 회로가 설계사양을 만족하지 못한다. 그러므로 RF 집적회로의 테스트 시에 설계사양을 테스트 할 필요가 없어지고 각각의 고장모델 값이 허용범위를 만족하는지를 테스트한다. 즉 출력에서 측정되는 결과 값에 의하여 모든 고장모델의 허용범위가 만족된다면 이는 설계사양을 모두 만족하고 있는 것으로 판단할 수 있다.

#### 3.1. 구간고장모델의 종류 및 특징

구간고장모델은 RF 집적회로에 사용되는 수동소자와 능동소자에 대하여 기존의 강고장과 파라메트릭 고장을 모두 포함할 수 있어야 한다. 본 논문에서 정의하는 수동소자의 구간고장모델은 저항, 인덕터, 커패시터 값의 허용범위를 나타내며, 능동소자의 경우에는 MOS 트랜지스터의  $V_{th}$ ,  $L/W$ ,  $K1$ ,  $U0$ 의 허용범위를 규정한다. RF 집적회로 내에 존재하는 파라메트릭고장은 설계사양을 만족하는 구간과 만족하지 않는 구간으로 나뉘어진다. 특히 기존의 논문에서는 특정한 고정값으로 변화되는 파라메트릭고장을 고려하였으나, 본 논문에서 제안한 구간고장모델은 설계사양의 고장 정보를 모두 포함하는 일정한 변화 범위를 갖는 고장형태이다. 따라서 이러한 구간고장모델은 실제적인 칩의 결함과 고장을 잘 모델링하고 있다. 그리고 강고장은 파라메트릭고장의 일부로 고려되어 구간고장모델에 포함된다. MOS 트랜지스터의 게이트 옥사이드 브레이크다운 현상은 트랜지스터 사이즈가 작아질수록 그 영향이 커지는 추세이며, 트랜지스터 파라미터의 구간고장모델링에 포함된다. 특히 게이트 옥사이드 브레이크다운에 의한 고장은 아날로그/RF 집적회로의 스케일링(*scaling*)에 의하여 발생하는 고장으로 주로 핑거(*finger*)형태의 게이트 중 핑거가 없어지거나 인접한 핑거와 단락되는 경우에 발생되며 결과적으로 MOS 트랜지스터 파라미터들 중  $V_{th}$ ,  $K1$ ,  $U0$  값의 변화에 영향을 미친다[18-20].

#### 3.2. 사양기반 구간고장모델의 조건

RF 집적회로인 경우의 설계사양은 이득, 잡음여유, 입력3차 교차점 등이 될 수 있으며, 어떤 회로에서  $n$  개의 설계사양을 가지고 있는 집합  $S$ 는 식 (1)로 표현될 수 있다.

$$S=[s_1, s_2, s_3, \dots, s_n] \quad (1)$$

일반적으로 이 설계사양은 회로 설계자에 의하여 결정되며, 각 설계사양의 최대값과 최소값의 집합을  $S^u, S^l$ 라 하면 식 (2)와 (3)으로 표현된다.

$$S^u=[s_1^u, s_2^u, \dots, s_n^u] \quad (2)$$

$$S^l=[s_1^l, s_2^l, \dots, s_n^l] \quad (3)$$

각 설계사양의 고장이 없는 정상구간은 식 (4)로 표현된다.

$$s_1^l \leq s_1 \leq s_1^u, s_2^l \leq s_2 \leq s_2^u, \dots, s_n^l \leq s_n \leq s_n^u \quad (4)$$

이때  $s_i (1 \leq i \leq n)$ 의 측정값이 식 (4)의 범위의 밖에 있다면 설계사양  $s_i$ 가 만족하지 않는다고 간주하고, 식 (4)의 범위 내에 있으면 설계사양  $s_i$ 가 만족되는 것으로 간주한다. 그리고 설계된 회로의 각 설계사양의 정상값의 집합은 식 (5)로 표현된다.

$$S^o = [s_1^o, s_2^o, \dots, s_n^o] \quad (5)$$

회로 내에  $m$  개의 구간고장모델을 가지고 있는 구간고장모델 집합  $P$ 는 식 (6)으로 표현된다.

$$P = [p_1, p_2, \dots, p_i, \dots, p_m] \quad (6)$$

여기서  $p_i$ 는 회로 내의 저항, 커패시터, 인덕터와 MOS 트랜지스터의  $V_{th}$ ,  $L/W$  등을 나타낸다. 각 구간고장모델의 정상값의 집합  $P^o$ 는 식 (7)로 표현된다.

$$P^o = [p_1^o, p_2^o, \dots, p_m^o] \quad (7)$$

기존의 논문에서 제시된 광고장과 파라메트릭고장들은 구간고장모델의 일부로 포함된다. 특히 파라메트릭고장의 경우, 정상 값에서 임의의 값으로 변화된 특정 값을 고장모델로 가정하였으나, 구간고장모델에서는 가능한 모든 값을 고려하게 된다.

어떤 구간고장에 대하여 각 설계사양을 만족하는 무고장구간의 범위를 구한 후, 모든 설계사양을 동시에 만족하는 구간고장모델의 최대값과 최소값을 결정하고, 이 과정을 모든 구간고장에 대하여 적용한다. 그리고 각 구간고장모델과 설계사양과의 관계식을 유도한다. 그러나 회로의 규모가 크거나 능동소자가 포함되어 있을 경우에는 관계식을 유도하기는 매우 어렵기 때문에 본 논문에서는 컴퓨터 시뮬레이션에 의한 방식을 사용하며, Cadence 사의 Spectre RF 시뮬레이션 툴이 사용된다. 구간고장모델 값의 변화에 대한 설계사양의 변화들이 직접 툴에 의하여 시뮬레이션 된다. 설계사양과 구간고장모델의 관계가 표 혹은 그래프 형태로 언어될 수 있고, 이 관계 표나 그래프로부터 각 설계사양의 허용범위를 만족하는 구간고장모델의 최대값과 최소값을 구할 수 있다. 이러한 방법으로 모든 설계사양에 대한 모든 다른 구간고장모델에 대한 허용범위도 구할 수 있다. 그러므로 설계사양들 중의  $j$  번째 설계사양  $s_j \in S$ 는 그 회로의 모든 무고장 구간들의 집합이다.

RF 집적회로 내에 존재하는 단일고장을 고려하여 구

간고장모델  $p_i$ 가 발생하는 경우를 가정한다. 구간고장모델  $p_i$ 에 대한  $j$  번째 설계사양  $s_j$ 는 식 (8)과 같이 표현된다.

$$s_j(p_i) = f(p_1, \dots, p_i, \dots, p_m) \quad (8)$$

여기서 변화하는  $p_i$  만을 제외한 다른 모든  $p_i$ 는 고정값을 갖는다. 그리고  $s_j$ 의 허용범위를 식 (9)와 같이 가정한다.

$$s_j^l \leq s_j \leq s_j^u \quad (9)$$

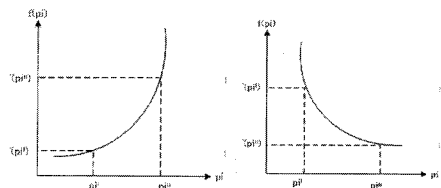
설계사양  $s_j$ 에 대한  $p_i$ 의 설계사양을 만족하는 구간은 식 (10), (11)과 같이 얻어진다.

$$s_j(p_i) = f(p_1^o, \dots, p_{i-1}^o, p_i, p_{i+1}^o, \dots, p_m^o) \quad (10)$$

$$s_j^l \leq s_j(p_i) \leq s_j^u, \quad (11)$$

식 (11)에서 변화하는  $p_i$  만을 제외한 다른 모든  $p_i$ 는 고정값 즉  $p_i^o$ 을 갖는다. 설계사양  $s_j$ 에 대한 구간고장모델  $p_i$ 의 고장이 없는 구간의 최대값과 최소값은 각각  $p_i^u, p_i^l$ 이다. 이때 설계사양 값의 변화가 구간고장으로 모델링되기 위해서는 다음의 2가지 조건을 만족하여야 한다.

구간고장모델링 조건 1: 각 구간고장 값의 변화에 대하여 설계사양 값의 변화가 단조증가 혹은 단조감소 하여야 한다(그림 1). 조건 1이 만족되지 않을 경우, 다음 조건 2를 만족하여야 한다.



(a) 단조증가 (b) 단조감소  
(a) Monotonous increase (b) Monotonous decrease

그림 1. 구간고장모델링 조건 1  
Fig. 1. Condition 1 of band fault modelling

구간고장모델링 조건 2: 구간고장  $p_i$ 의 최대값과 최소값을  $p_i^u, p_i^l$ 이라 하고, 이에 대응하는 설계사양값을  $f(p_i^u), f(p_i^l)$ 이라 한다. 이때 설계사양의 변화가 구간고장모델의 변화로 성공적으로 모델링되기 위해서는 다음의 두 가지 경우를 만족하여야 한다.

A)  $f(p_i^u) > f(p_i^l)$  일 때(그림 2)

$p_i^l < p_i < p_i^u$ 를 만족하는  $p_i$ 에 대하여,  $f(p_i^l) < f(p_i) < f(p_i^u)$  이고,  $p_i < p_i^l$  혹은  $p_i > p_i^u$ 를 만족하는  $p_i$ 에 대하여는  $f(p_i) < f(p_i^l)$  혹은,  $f(p_i) > f(p_i^u)$ 이다.

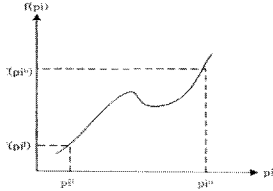


그림 2. 구간고장 모델링 조건 2A  
Fig. 2. Condition 2A of band fault modelling

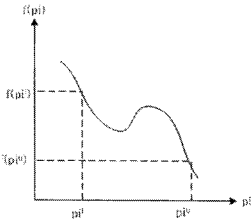


그림 3. 구간고장 모델링 조건 2 B  
Fig. 3. Condition 2B of band fault modelling

B)  $f(p_i^u) < f(p_i^l)$  일 때(그림 3)

$p_i^l < p_i^u$ 를 만족하는  $p_i$ 에 대하여,  $f(p_i^u) < f(p_i) < f(p_i^l)$ 이고,  $p_i < p_i^l$  혹은  $p_i > p_i^u$ 를 만족하는  $p_i$ 에 대하여는  $f(p_i) > f(p_i^l)$  혹은,  $f(p_i) < f(p_i^u)$ 이다. 구간고장모델링 조건 1 및 2를 만족한다면, 구간고장모델의 허용범위에는 설계사양의 허용범위에 대한 정보가 포함된다. 다음으로 모든 설계 사양  $s_j (1 \leq j \leq n)$ 를 만족하는  $i$  번째 구간고장모델의 최대값  $p_i^u$ 와 최소값  $p_i^l$ 은 식 (12), (13)과 같다.

$$p_i^u = \text{Min}(p_{i1}^u, p_{i2}^u, \dots, p_{im}^u) \quad (12)$$

$$p_i^l = \text{Max}(p_{i1}^l, p_{i2}^l, \dots, p_{im}^l) \quad (13)$$

같은 방법으로 모든 구간고장  $p_i (1 \leq i \leq m)$ 에 대한 최대값  $P^u = (p_1^u, p_2^u, \dots, p_m^u)$ 와 최소값  $P^l = (p_1^l, p_2^l, \dots, p_m^l)$ 을 구한다. 이상의 방법으로 설계사양을 만족하는  $m$  개의 구간고장들은 식 (14)와 같으며 최종적으로 고장집합에 포함된다.

$$\begin{aligned} p_1^l &\leq p_1 \leq p_1^u, \\ p_2^l &\leq p_2 \leq p_2^u, \\ &\vdots \\ p_m^l &\leq p_m \leq p_m^u \end{aligned} \quad (14)$$

식 (14)으로부터 얻어진 구간고장모델들은 설계사양의 허용구간에 대한 정보를 모두 포함하고 있으므로 구

간고장모델들을 테스트하여 설계사양 테스트와 동일한 테스트결과를 얻을 수 있다. 그러므로 이 구간고장모델의 변화 값을 회로의 출력에서 관찰함으로써 시간영역에서 테스트를 행할 수 있다.

#### IV. 5.25GHz 저잡음증폭기의 구간고장모델

앞에서 제안된 구간고장모델링을 실제 회로에 적용하기 위하여 5.25GHz 저잡음증폭기를 선택하였다. 저잡음증폭기는 이득과 잡음지수가 전체 트랜시버의 성능에 심각한 영향을 주므로 RF 전반부 설계에서 가장 중요한 구성요소이고, 가능한 한 작은 잡음여유와 높은 이득을 갖는 동시에 선형성이 뛰어나며 특히 입력소스에서 50Ω 혹은 100Ω 임피던스를 나타내도록 설계된다.

##### 4.1. 5.25GHz 저잡음증폭기의 정상동작구간결정

그림 4는 본 논문에서 고려한 캐스코드 형태의 저잡음증폭기이며, 입력과 출력 임피던스 매칭회로를 포함하고 있다. 또한 이 증폭기는 IEEE 802.11a의 표준규격을 따르며 동작주파수는 5.15GHz ~ 5.35 GHz 이고, 대역폭은 200MHz 이다.

본 논문에서는 고려하는 저잡음증폭기의 설계사양으로 증폭기 이득, 잡음지수 그리고 회로의 선형성을 나타내는 입력3차교차점(IIP3)을 선택하였다. 일반적으로 저잡음증폭기의 테스트에서는 이 3가지의 설계사양에 대한 결과 값이 허용 값 내에 든다면 설계사양 테스트를 통과하는 것으로 판단한다.

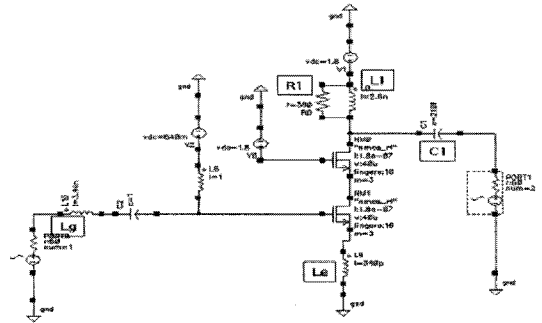


그림 4. 5.25GHz 저잡음증폭기  
Fig. 4. 5.25GHz low noise amplifier

표 1. 공정 파라미터에 의한 설계사양 값

Table 1. Values of design specification for processing parameters

공정의 종류	f <sub>min</sub> (5.15GHz)			f <sub>c</sub> (5.25GHz)			f <sub>max</sub> (5.35GHz)			단위
	저속	표준	고속	저속	표준	고속	저속	표준	고속	
이득	16.9817	18.6104	18.914	16.7398	18.667	19.189	16.4048	18.614	19.385	dB
잡음 지수	0.987	0.681	0.55	1.017	0.683	0.535	1.053	0.688	0.521	dB
IIP3				-4.89241	-6.59394	-9.39523				dB

그림 4의 저잡음증폭기의 정상동작 시에 설계사양을 구하기 위하여 최대 동작주파수( $f_{max}$ ) 5.35 GHz, 중심 동작주파수( $f_c$ ) 5.25 GHz 그리고 최소 동작주파수( $f_{min}$ ) 5.15GHz에서의 이득, 잡음지수, 입력3차교차점을 각각 구하였다. 그리고 반도체 공정상의 공정파라미터의 허용 값인 표준공정 파라미터, 고속공정 파라미터 그리고 저속공정 파라미터 각각에서의 설계사양을 고려하였다. 여기에서 얻어진 모든 설계사양 값들은 설계사양 테스트 시에 허용치가 된다.

표 1은 각각 동작주파수내의 표준공정, 고속공정과 저속공정 파라미터에 의한 설계사양 값을 나타낸다.

최종적인 설계사양은 표 2에 나타난 바와 같이 이득은 가장 작은 값과 가장 큰 값의 범위를 가지며, 잡음지수는 가장 큰 값보다 작은 범위 그리고 입력3차교차점은 가장 작은 값 이하의 값을 갖는다.

표 2. 무고장 범위  
Table 2. Fault-free regions

설계사양	정상동작 범위(dB)
이득	16.4048 < 이득 < 19.385
잡음지수	잡음지수 < 1.053
IIP3	IIP3 < -9.39523

4.2. 구간고장모델링

본 논문에서 고려하는 구간고장모델은 수동소자 5개와 능동소자의 파라미터 4개를 합하여 총 9개이다. 설계사양을 고려하는 구간고장모델링은 구간고장모델링 조건 1 혹은 2를 만족하여야 한다. 본 논문에서 제시한 구간고장들과 설계사양의 관계는 모두 이 조건을 만족하

고 있다.

4.2.1 수동소자 Le의 구간고장모델링

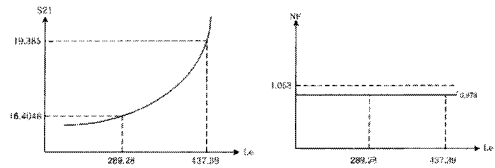


그림 5. Le의 변화에 대한 이득과 잡음지수  
Fig. 5. Variation of gain and noise figure for Le

그림 5와 같이 이득의 범위를 만족하는 Le의 값은 289.28pH 와 437.39pH 사이의 값이다. 잡음지수와 입력제3차교차점은 이득의 범위에서 얻어진 Le 값들 내에서 모두 만족한다. 그러므로 모든 설계사양을 만족하는 Le의 값은 이득을 만족하는 Le의 값과 동일하다.

4.2.2 수동소자 R1의 구간고장모델링

다음 그림 6과 같이 이득의 범위를 만족하는 R1의 값은 287.48Ω 과 437.49Ω 사이의 값이다. 잡음지수는 R1의 값이 57.68Ω 보다 큰 값에 대해서 허용 범위를 만족하며, 입력제3차교차점은 R1의 모든 값에서 허용범위를 만족한다. 그러므로 모든 설계사양을 만족하는 R1의 값은 이득을 만족하는 R1의 값과 동일하다.

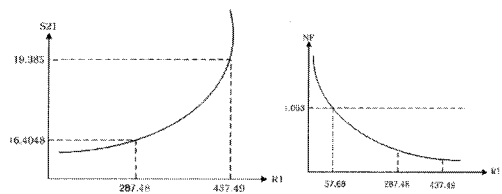


그림 6. R1의 변화에 대한 이득과 잡음지수  
Fig. 6 Variation of gain and noise figure for R1

4.2.3 수동소자 Lg의 구간고장모델링

이득의 범위를 만족하는 Lg 값은 1.56nH 과 5.58nH 사이의 값이다. 잡음지수의 허용범위를 만족하는 Lg의 값은 1.76 과 5.61 사이의 값이다. 그리고 입력제3차교차점은 Lg의 모든 값에서 허용범위를 만족한다. 그러므로 모든 설계사양을 만족하는 Lg의 값은 각각의 값들의 교집합으로 구할 수 있다(그림 7).

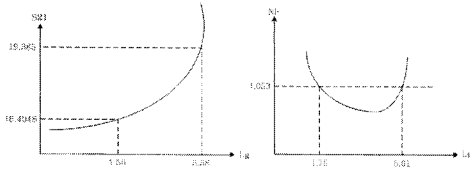


그림 7. Lg의 변화에 대한 이득과 잡음지수  
Fig. 7. Variation of gain and noise figure for Lg

4.2.4 수동소자 L1의 구간고장모델링

그림 8과 같이 이득의 범위를 만족하는 L1의 값은 2.31nH 과 4.38nH 사이의 값이다. 잡음지수와 입력 제3차교차점은 이득의 범위에서 얻어진 L1 값들 내에서 모두 만족한다. 그러므로 모든 설계사양을 만족하는 L1의 값은 이득을 만족하는 L1의 값과 동일하다.

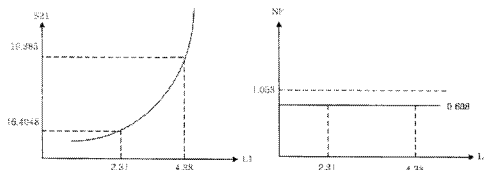


그림 8. L1의 변화에 대한 이득과 잡음지수  
Fig. 8. Variation of gain and noise figure for L1

4.2.5 수동소자 C1의 구간고장 모델링

그림 9와 같이 이득의 범위를 만족하는 C1의 값은 154.10fF 과 471.25fF 사이의 값이다. 잡음지수와 입력 제3차교차점은 이득의 범위에서 얻어진 C1 값들 내에서 모두 만족한다. 그러므로 모든 설계사양을 만족하는 C1의 값은 이득을 만족하는 C1의 값과 동일하다.

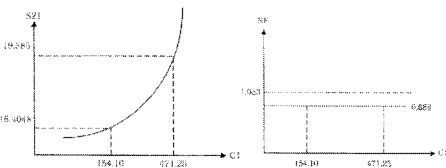


그림 9. C1의 변화에 대한 이득과 잡음지수  
Fig. 9. Variation of gain and noise figure for C1

다음으로 능동소자(RF MOS)의 중요 파라미터들인 Vth, U0, K1 그리고 Tox 에 대하여 이득, 잡음지수 및 입력 제3차교차점의 허용범위를 만족하는 구간고장모델링을 행한다.

4.2.6 능동소자 파라미터 Vth의 구간고장모델링

표 3에서 나타난 것과 같이 기본 Vth 값에서 +38% 변화 할 때 이득이 설계사양의 허용 값을 만족하지 못하였으며 변화율을 증가시킬수록 설계사양을 더욱 벗어난다. O는 설계사양을 만족한다는 것을 나타내며, X는 설계사양을 만족하지 못한다. 그러므로 Vth 값은 38%의 변화율, 즉 0.6556V 이상의 값에서 적어도 한개 이상의 설계사양을 만족하지 못한다.

표 3. Vth의 변화에 대한 설계사양 만족 유무  
Table 3. Design specification satisfaction for the variation of Vth

Vth(V)	Vth 정상값에 대한 변화율(%)	설계사양		
		이득	잡음지수	IIP3
0.23756	-50	O	O	O
0.33259	-30	O	O	O
0.47512	0	O	O	O
0.59391	25	O	O	O
0.61766	30	O	O	O
0.64142	35	O	O	O
0.65092	37	O	O	O
0.65567	38	X	O	O
0.66517	40	X	O	O
0.68893	45	X	X	X

표 4. K1의 변화에 대한 설계사양 만족 유무  
Table 4. Design specification satisfaction for the variation of K1

K1 ( $\sqrt{V}$ )	K1 정상값에 대한 변화율(%)	설계사양		
		이득	잡음지수	IIP3
0.09996	-75	O	O	O
0.19991	-50	O	O	O
0.29987	-25	O	O	O
0.39982	0	O	O	O
0.79965	100	O	O	O
0.99956	150	O	O	O
1.03954	160	O	O	O
1.04754	162	O	O	O
1.05154	163	O	O	O
1.05553	164	O	X	O
1.05953	165	O	X	O
1.07953	170	O	X	O
1.08352	171	O	X	O
1.08752	172	O	X	O
1.09952	175	O	X	O
1.19947	200	O	X	O

**4.2.7 능동소자 파라미터 K1의 구간고장모델링**

표 4에서 나타난 것과 같이 기본 K1 값에서 +164% 변화 할 때 잡음지수가 허용 값을 만족하지 못하였으며 변화를 증가시킬수록 설계사양을 더욱 벗어난다. 그러므로 K1 값은 +164%의 변화를, 즉, 1.055 이상의 값에서 적어도 한개 이상의 설계사양을 만족하지 못한다.

**4.2.8 능동소자 파라미터 U0의 구간고장모델링**

표 5에서 나타난 것과 같이 기본 U0 값이 61% 이상 감소하거나, 88% 이상 증가할 때 이득이 허용 값을 만족하지 못하였다. 그러므로 U0 값은 -61% 와 +88% 사이의 변화율에서 모든 설계사양을 만족한다.

표 5. U0의 변화에 대한 설계사양 만족 유무  
Table 5. Design specification satisfaction for the variation of U0

U0(cm <sup>2</sup> /(V.Sec))	U0 정상값에 대한 변화율(%)	설계사양 만족 유무		
		이득	잡음지수	IIP3
0	-100	X	X	X
0.01316	-70	X	O	O
0.01536	-65	X	O	O
0.01667	-62	X	O	O
0.01711	-61	X	O	O
0.01755	-60	O	O	O
0.02194	-50	O	O	O
0.06581	50	O	O	O
0.07678	75	O	O	O
0.08117	85	O	O	O
0.08205	87	O	O	O
0.08249	88	X	O	O
0.08337	90	X	O	O
0.08775	100	X	O	O

**4.2.9 능동소자 파라미터 Tox의 구간고장모델링**

표 6과 같이 기본 Tox 값이 66% 이상 감소하거나, 83% 이상 증가할 때 적어도 한개 이상의 설계사양이 허용 값을 만족하지 못하였다. 그러므로 Tox 값은 -66% 와 +83% 사이의 변화율에서 모든 설계사양을 만족한다.

표 6. Tox의 변화에 대한 설계사양 만족 유무  
Table 6. Design specification satisfaction for the variation of Tox

Tox(m)	Tox 정상값에 대한 변화율	설계사양		
		이득	잡음지수	IIP3
1.35E-09	-67	X	X	X
1.39E-09	-66	X	X	X
1.43E-09	-65	O	O	O
1.63E-09	-60	O	O	O
2.04E-09	-50	O	O	O
6.12E-09	50	O	O	O
7.14E-09	75	O	O	O
7.22E-09	77	O	O	O
7.34E-09	80	O	O	O
7.43E-09	82	O	O	O
7.47E-09	83	X	X	X
7.55E-09	85	X	X	X
7.75E-09	90	X	X	X
8.16E-09	100	X	X	X

표 7. 5.25GHz 저잡음증폭기의 구간고장모델  
Table 7. Band fault models of 5.25GHz low noise amplifier

구간고장 모델	설계사양 만족 범위	설계사양 만족범위 밖에서 설계사양 만족유무		
		이득	잡음지수	IIP3
p1 : Le	289.48 < Le < 437.39	X		
p2 : R1	287.48 < R1 < 437.49	X	X	
p3 : Lg	1.76 < Lg < 5.58	X	X	
p4 : L1	2.31 < L1 < 4.38	X		
p5 : C1	154.10 < C1 < 471.25	X		
p6 : Vth	-50% < Vth < 38%	X		X
p7 : K1	-75% < K1 < 164%		X	
p8 : U0	-61 < U0 < 88	X	X	
p9 : Tox	-66 < Tox < 83	X	X	X

**4.3 구간고장모델**

표 7은 수동소자 및 능동소자 파라미터에 대하여 구간고장모델링한 결과이며, 전체 9개의 소자에 대하여 구간고장모델을 구하였다. 각 설계사양을 만족하는 범



위를 구하였고, 이 범위 밖에서 불만족한 설계사양을 제시하였다. 표에서 입력3차고차점은 이득이나 잡음지수보다 무고장구간 범위가 큰 것을 알 수 있다.

## V. 결론

본 논문에서는 RF 집적회로에 존재하는 회로소자의 결함들에 대하여 설계사양을 고려한 구간고장모델을 정의하였고, 설계사양 값의 변화가 구간고장으로 모델링되기 위한 구간고장모델링 조건을 제시하였다. 제안한 구간고장모델은 기존의 모든 파라메트릭 고장을 잘 모델링하고 있으며, 강고장으로 표현되는 단락이나 개방고장도 파라메트릭 고장의 극대값으로 표현이 가능하므로 구간고장으로 모델링될 수 있다.

그리고 5.25 GHz 저잡음증폭기에 구간고장모델을 적용하여 표 7과 같이 수동소자인 저항, 인덕터, 커패시터와 능동소자 MOS 트랜지스터의  $V_{th}$ ,  $K_1$ ,  $U_0$  등의 9개 구간고장모델을 구하였다.

앞으로 구간고장모델을 적용하여 아날로그집적회로의 설계사양을 시간영역에서 테스트하기 위한 입력 테스트 패턴 개발을 수행할 예정이다.

## 참고문헌

- [ 1 ] M. Soma, "Fault Coverage of DC Parametric Tests for Embedded Analog Amplifiers", Proceedings of IEEE International Test Conference, pp.566-573, 1993.
- [ 2 ] B. Atzema and T. Zwemstra, "Exploit Analog IFA to Improve Specification Based Tests", Proceedings of European Design and Test Conference, pp.542-546, 1996.
- [ 3 ] S. D. Huss, R. S. Gyurcsic, and J. J. Paulos, "Optimal Ordering of Analog Integrated Circuit Tests to Minimize Test Time," Proceedings of Design Automation Conference, pp.494-499, 1991.
- [ 4 ] R. Kheriji, V. Danelon, J. L. Carbonero and S. Mir, "Optimizing Test Sets for a Low Noise Amplifier with a Defect-Oriented Approach", DATE'05, vol.1, pp.170-171, 2005.
- [ 5 ] Irith Pomeranz, Sudhakar M. Reddy, "A DELAY FAULT MODEL FOR AT-SPEED FAULT SIMULATION AND TEST GENERATION," ICCAD'06, pp. 89-95, 2006.
- [ 6 ] J. Gyvez, G. Gronthoud and R. Amine, "VDD Ramping Testing for RF Circuits," Int. Test Conference'03, pp.651-658, 2003.
- [ 7 ] J. Dabrowski, "BiST Model for IC RF-Transceiver Front-End", Proceeding of Design for Testability '03, pp.295-302, 2003.
- [ 8 ] R. Voorakaranam, S. Cherubal and A. Chatterjee, "A Signature Test Framework for Rapid Production Test of RF Circuits", Proceedings of Design Automation and Test in Europe, pp.186-191, 2002.
- [ 9 ] A. Balivada, J. Chen and J. A. Abraham, "Analog Testing with Time Response Parameters," IEEE Design and Test of Computers, pp.18-25, vol.13, 1996.
- [ 10 ] R. Voorakaranam and A. Chatterjee, "Test Generation for Accurate Prediction of Analog Specifications," Proceeding of VLSI Test Symposium, pp.137-142, 2000.
- [ 11 ] M. Slamani and B. Kaminska, "Multifrequency Analysis of Faults in Analog Circuits," IEEE Design and Test of Computers, vol.12, no.2, pp.70-80, 1995.
- [ 12 ] R. H. Beurze, Y. Xing, R. van Kleef, R. J. W. T. Tangelder and N. Engin, "Practical Implementation of Defect-Oriented Testing for a Mixed-Signal Class-D Amplifier", IEEE European Test Workshop, pp. 28-33, 1999.
- [ 13 ] Erkan Acar and Sule Ozen, "Defect-Based RF Testing Using a New Catastrophic Fault Model," ITC, paper 17.3, 2005.
- [ 14 ] L. Milor and A. S. Vincentelli, "Minimizing Production Test Time to Detect Faults in Analog Integrated Circuits", IEEE Trans. Computer-Aided Design of Integrated Circuits and Systems, vol.13, no.6, pp.796-813, June, 1994.
- [ 15 ] P. N. Variyam and A. Chatterjee, "Enhancing Test Effectiveness for Analog Circuits Using Synthesized Measurements", Proc. VLSI Test Symposium, pp.132-137, 1998.
- [ 16 ] P. N. Variyam and A. Chatterjee, "Test Generation for

Comprehensive Testing of Linear Analog Circuits Using Transient Response Sampling," Int. Conference on Computer Aided Design, pp.382-385, 1997.

- [17] S. J. Chang and C. L. Lee, "Structural Fault Based Specification Reduction for Testing Analog Circuits," Journal of Electronic Testing: Theory and Application 18, pp. 571-581, 2002.
- [18] C. Yu, J. S. Yuan and H. Yang, "MOSFET Linearity Performance Degradation Subject to Drain and Gate Voltage Stress", IEEE Transactions on Device and Materials Reliability, vol.4, pp.681-689, Dec. 2004
- [19] H. Yang, J. S. Yuan, Y. Liu and E. Xiao, "Effect of Gate Oxide Breakdown on RF Performance", IEEE Trans. Device and Materials Reliability, Vol. 3, pp.93-97, Sept. 2003.
- [20] Q. Li, J. Jhang, W. Li, J. S. Yuan, Y. Chen and A. S. Oates, "RF Circuit Performance Degradation Due to Soft Breakdown and Hot-Carrier Effect in Deep-Submicrometer CMOS Technology", IEEE Transactions on Microwave Theory Tech., vol.49, pp.1546-1551, Sept. 2001.

## 저자소개



**김 강 철(Kang Chul Kim)**

경상대학교 전자공학과, 공학박사  
현재 전남대학교 공학대학 전기전자  
통신컴퓨터공학부 부교수

※관심분야: VLSI 및 임베디드시스템 설계



**한 석 봉(Seok-Bung Han)**

한양대학교 전자공학과 공학박사  
현재 경상대학교 전자공학과 교수

※관심분야: RFIC, SoC 설계 및 테스트