
PDP TV의 sustain/reset 구동전원 공급을 위한 1단방식의 역률보상형 AC-to-DC 컨버터

강필순* · 박진현**

Single-stage Power Factor Corrected AC-to-DC Converter for sustain/reset Driving Power
Supply of PDP TV

Feel-soon Kang* · Jin-Hyun Park**

요 약

PDP TV의 전력 효율을 향상시키기 위해서는 PDP의 구동과정에서 발생하게 되는 불필요한 전력소모와 AC 입력으로부터 원하는 DC를 얻기 위한 과정 중에 발생하는 전력 소모를 최소화하여야 한다. 일반적인 PDP 구동을 위한 입력 전원단은 2단 구조의 역률 보상형 컨버터를 채용하고 있으며, PDP 구동시 전력소모가 가장 큰 서스테인 드라이버와 리셋 회로의 구동전원을 공급하기 위한 별도의 DC-to-DC 컨버터를 필요로 한다. 그러나 이러한 회로의 구현은 저가의 PDP를 요구하는 시장 상황에 유연하게 대처하는데 많은 어려움을 준다. 따라서 본 논문에서는 최소의 전력 변환 단계를 가지도록 서스테인과 리셋 회로의 전원 공급이 가능한 1단방식의 역률보상형 AC-to-DC 컨버터를 제안한다. 제안하는 시스템은 1단방식의 입력전원부 구성을 통해 전력 변환단을 최소화하여 전력 변환 중에 발생하는 손실을 최소화하며, PDP 서스테인/리셋 드라이버의 구동전압을 직접 공급하는 형태로 구성하여 시스템 부피의 감소, 원가 절감을 이룰 수 있다.

ABSTRACT

To improve the efficiency of PDP TV, it should minimize the power losses transpired during AC-to-DC power conversion and PDP driving process. Generally the input power supply for PDP driving employs a two-stage power factor corrected converter, and it needs additional DC-to-DC converters to supply driving power for reset circuit and sustain driver, which has high power consumption. However, such a circuit configuration has a difficulty for the PDP market requires low cost. To alleviate this problem, a new circuit composition is presented. It integrates input power supply with reset and sustain driver in a single power stack. The input power supply of the proposed circuit has a single-stage structure to minimize power conversion loss, and it directly supplies power to the sustain driver so as to reduce the system size and cost.

키워드

ADS(Address and Display Separated) Driving, PDP(Plasma Display Panel), PFC(Power Factor Correction, Reset circuit

* 한밭대학교 제어계측공학과

** 전주산업대학교 메카트로닉스공학과

I. 서 론

현재 국내 디지털 디스플레이 시장은 LCD와 PDP의 치열한 가격 경쟁 속에서 급격히 성장, 발전하고 있다. 디지털 디스플레이 기술은 90년대 초까지만 해도 고해상도, 동화상과 같은 기본적인 기술의 구현에 주력하였지만, 최근에는 관련 기술의 발전으로 동화상 윤곽의 제거, 광(光) 대비 향상을 통한 화질의 개선, 신뢰도 및 전력 효율을 개선하는 등의 문제에 주력하여 기존의 CRT TV를 능가하는 우수한 제품을 출시하고 있다. 그러나 42인치 이상의 대형화면을 지향하는 PDP기술에서 소비전력과 제품인가 절감을 통한 가격 경쟁력 확보는 LCD TV와의 경쟁에서 우위를 확보하기 위해 지속적으로 연구되어야 할 중요한 과제이다[1]-[5].

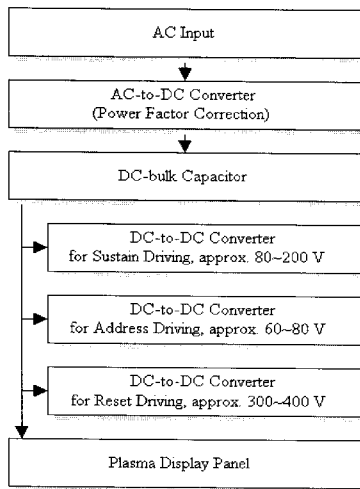


그림 1. 일반적인 PDP의 전력변환 과정
Fig. 1 Power conversion process of general PDP

전력 효율을 향상시키기 위해서는 PDP의 발광효율을 높이는 동시에 기체방전과는 직접적인 관련이 없이 구동과정에서 발생하게 되는 불필요한 전력소모와 AC 입력전원으로부터 PDP 구동을 위해 DC로 변환되는 과정 중에 발생하는 전력소모를 최소화하여야 한다. ADS 구동방식을 채택하는 일반적인 PDP TV에서 AC 입력전원으로부터 PDP의 ADS 구동을 위한 3개의 독립적인 드라이버 전원을 형성하는 단계까지의 과정은 그림 1과 같다. 먼저 AC 입력전원은 단위 역률을 형성 기능을 가지는 AC-to-DC 컨버터로 입력된다. 최근 고조파와 역률에

대한 규제들로 인해 입력 전압과 입력 전류를 동위상으로 제어하기 위한 PFC 기능은 AC 입력을 가지는 시스템에 반드시 요구되는 전력 변환단이다. 역률 보상이 이루어진 AC전원은 대부분의 경우 벌크성 커패시터에 의해 DC로 저장되게 된다. 이렇게 저장된 DC는 다음 단계의 DC-to-DC 컨버터에 의해서 ADS 구동에 필요한 Sustain, Address, Reset 회로의 구동을 위한 DC 전압과 기타 PDP의 DC 전원으로 변환되어 PDP의 구동에 이용된다. 특히 각 드라이버의 구동에 필요한 DC 전압을 확보하기 위해서는 추가적인 전력변환이 필요하기 때문에 기존의 전력변환 과정에서는 적어도 두 번 이상의 전력 변환을 거치게 되어 각 변환 과정에 따른 손실이 증가하게 된다. 이러한 방식의 회로 구현은 낮은 소비전력과 저가의 PDP를 요구하는 시장 상황에 유연하게 대처하는데 많은 어려움을 준다.

본 논문에서는 전력 변환 손실을 저감하고 회로의 간략화를 통한 원가절감을 달성하기 위해 입력전원장치와 PDP 구동회로 중 가장 높은 전력 소비가 발생하는 sustain 회로를 통합한 회로를 제안하고자 한다.

II. 제안하는 통합회로의 구성 및 동작

PDP의 입력전원장치와 Sustain 구동회로를 통합하여 구성한 제안하는 회로를 그림 2에 나타내었다. 회로 동작에 대한 이해를 돕기 위해 PFC 입력단과 PDP sustain 회로단을 각각 분리하여 설명한다.

2.1. 1단방식의 PFC형 AC-to-DC 컨버터

단위 역률을 이루면서 원하는 DC전압을 얻기 위한 방식은 전력변환단의 개수에 따라 크게 2단 방식(two-stage)과 1단 방식(single-stage)으로 구분된다. 2단 방식은 단위 역률을 이루기 위한 역률 보상 회로단과 안정된 직류출력전압을 얻기 위한 DC-to-DC 컨버터단의 두 단으로 구성되며, 일반적인 PDP의 입력전원단으로 적용되고 있다. 이 방식은 입력 전원 주파 두 배만큼의 저주파 리플이 DC-link 전압에 존재하게 되지만 출력단에는 저주파 리플이 존재하지 않으며 응답 특성이 빠른 장점을 가진다. 그러나 두 번의 전력변환으로 인한 전체 효율의 감소, 시스템 구성의 복잡화, 고가화 되는 단점을 지닌다. 이러한 문제를 해결하기 위해 본 논문에서는 역

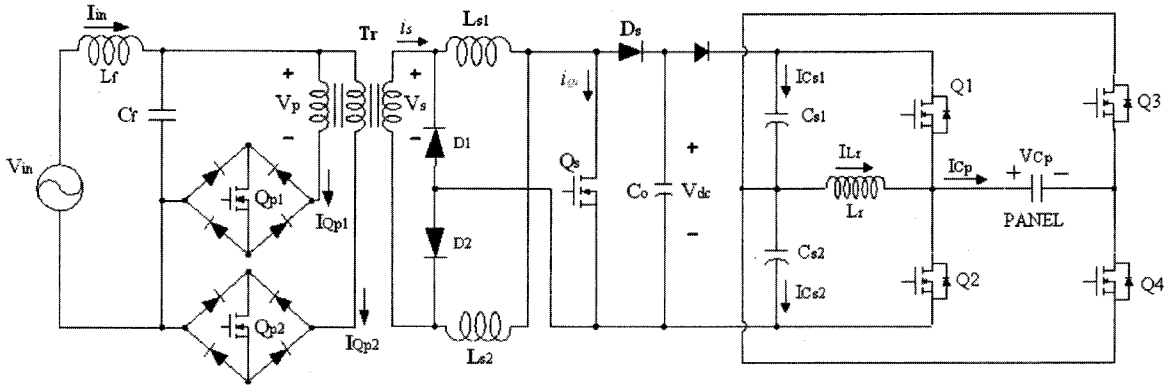


그림 2. PDP 입력전원장치와 Sustain 회로의 통합구성
Fig. 2 Integrative composition of input power supply and sustain circuit

를 보상과 sustain/reset 드라이버의 구동에 필요한 DC 전압을 동시에 얻을 수 있도록 하나의 전력단에 구성하는 1단 방식의 회로 구성법을 적용하였다. 따라서 하나의 전력단으로 입력 역률 보상뿐 아니라 출력전압 제어가 가능하므로 원가절감 및 전력변환 손실을 저감시킬 수 있다. 그림 2의 제안된 회로에서 입력전원단의 구성은 1단 방식 중 입력 전류를 연속으로 제어할 수 있는 절연된 (isolated) PFC 형태를 응용하였다. 절연된 PFC 회로는 입력 전류를 연속으로 제어하기 때문에 전력용량을 증가시킬 수 있지만 출력 전압에 기본파의 두 배에 해당하는 저주파 리플이 존재하고 응답 특성이 느린 단점을 가진다[6]-[9]. 따라서 변압기 2차측에 2개의 버퍼용 인덕터(Ls1, Ls2)를 삽입하고 스위치(Qs)를 이용하여 스위칭함으로써 저주파 리플 저감과 응답특성을 개선하였다. 또한 변압기 1차측의 양방향 스위치를 병렬로 구성하여 Qp1과 Qp2의 전류 스트레스를 절반으로 감소시킬 수 있다.

본 회로의 AC 입력이 양(+)인 경우의 주요 동작 파형을 그림 3에 나타내었다. 입력이 음(-)인 경우 스위치 전류(Qp1, Qp2)의 극성과 2차측 인덕터(Ls1, Ls2)에 흐르는 전류가 서로 바뀌는 것을 제외한 모든 동작은 입력이 양인 경우와 동일하다.

회로의 동작 모드 분석의 간략화를 위해서 모든 수동 및 능동 소자들은 이상적이며, 기생 인덕턴스, 기생 커패시턴스, 전극 및 스위치 소자의 on 저항은 무시한다고 가정한다. 또한 모드 1 이전 즉 t0 이전의 회로는 스위치 Qp1, Qp2와 Qs는 모두 턴오프 된 상태로 2차측 인덕턴스

에 저장된 에너지가 부하로 방전된 상태라고 가정한다.

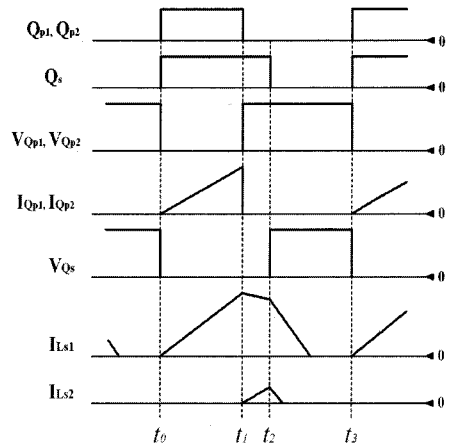


그림 3. 입력전원부의 주요 동작파형
Fig. 3 Key waveform of input power supply

모드 1 (t0-t1): t0에서 스위치 Qp1, Qp2와 Qs가 턴온 되면, 변압기 1차측의 스위치 Qp1과 Qp2에 흐르는 전류는 그림 4(a)의 경로를 통해 증가하기 시작한다. 1차측 스위치를 병렬로 구성하여 전류 스트레스를 절반으로 감소시켰다. 변압기 1차측 전류는 t1에서 최대가 되며, 변압기 2차측 인덕터 전류는 턴수비에 따른 전류가 흐르게 된다.

모드 2 (t1-t2): t1에서 스위치 Qp1과 Qp2가 턴오프 된다. 그림 4(b)와 같이 변압기 2차측 권선의 자화 인덕턴스에 의해 Ls2-Qs-Ds으로 전류가 흐르게 되어 Ls2에 에너지가

충전되며, L_{s1} 의 충전 에너지는 일시적으로 L_{s1} - Q_5 - D_1 의 경로로 인해 단락 상태가 된다. 2차측의 스위치 Q_5 를 1차측 스위치 Q_{p1} 과 Q_{p2} 의 턴온 시간보다 더 길게 한 이유는 플라이-백 동작 시 변압기의 자화 인덕터에 의한 전류를 완전히 리셋 시켜 출력 전압에의 영향을 최소화하기 위해서이다.

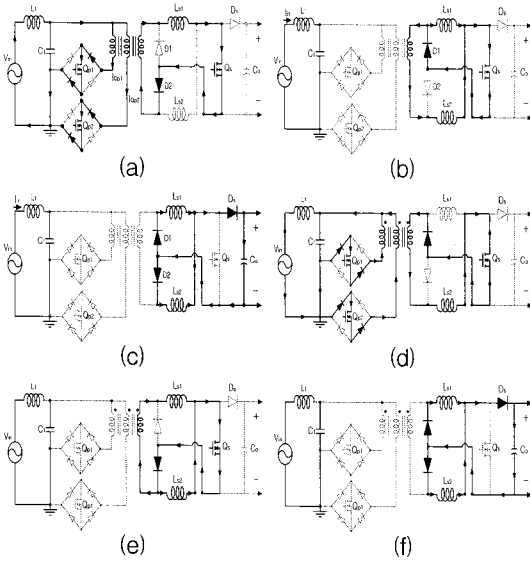


그림 4. 모드별 동작, (a)모드1, (b)모드2, (c)모드3, (d)모드4, (e)모드5, (f)모드6

Fig. 4 Operational mode, (a)mode1, (b)mode2, (c)mode3, (d)mode4, (e)mode5, (f)mode6

모드 3 (t_2 - t_3): t_2 가 되기 전에 자화 인덕턴스에 의한 전류는 제로가 되고, t_2 에는 2차측 스위치 Q_5 가 턴온된다. 그림 4(c)와 같이 인덕터 L_{s1} 의 저장에너지는 방전을 하여 L_{s1} - D_5 - C_o - D_1 를 통하여 부하단으로 에너지를 공급한다. 그리고 L_{s2} 에 저장된 에너지도 L_{s2} - D_5 - C_o - D_2 를 통해 방출된다. 입력 전류가 정(+)인 방향 동안 t_3 이후에는 모드 1에서 모드 3까지를 반복한다. 그림 4(d)부터 그림 4(f)까지는 입력전압이 음(-)인 경우에 해당하며 전류의 경로를 제외한 동작 원리는 동일하다.

2.2. 직렬공진형 Sustain 구동회로

입력단 컨버터의 특성을 고려하여 후단부에 결합된 저가형 sustain 구동회로는 네 개의 스위치(Q_1 - Q_4)와 하나의 인덕터(L_r), 두 개의 외부 콘덴서(C_{s1} , C_{s2})를 가지는

구조로 이루어진다. 기본적인 회수 동작은 외부의 추가된 인덕터와 패널의 직렬 공진에 의해서 에너지를 회수하게 되고, 다시 패널을 충전하는 반복적인 동작을 수행하게 된다. 특히 PDP reset 전압레벨은 직렬로 결합된 두 개의 외부콘덴서의 출력전압으로 이용할 수 있고, 이의 절반은 sustain 드라이버의 구동전압으로 사용할 수 있기 때문에 reset과 sustain 구동을 위한 별도의 DC-to-DC 컨버터와 전력변환과정이 요구되지 않는다.

그림 5는 sustain 구동회로의 각 스위치 동작과 패널 전압(V_{cp}), 패널 전류(i_{cp}), 인덕터 전류(i_{Lr}), 외부콘덴서 전류(i_{Cs1} , i_{Cs2})를 나타낸 동작 파형이다. 회로의 동작 모드 분석의 간략화를 위해 모든 수동 및 능동 소자들은 이상적이며 기생 인덕턴스와 커패시턴스, 전극 및 스위치 소자의 on 저항은 무시한다고 가정한다. 모드 1 이전 즉, t_0 이전에서는 패널 전압이 Q_1 과 Q_4 가 턴온된 상태로 V_{dc} 의 절반 전압인 $+V_{dc}/2$ 로 유지되고 있다고 가정한다. 이때의 인덕터 전류는 C_{s1} - Q_1 - L_r 를 통해서 윗방향에 있다고 가정한다.

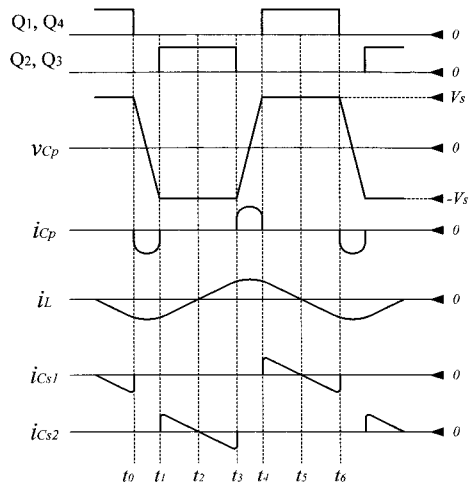


그림 5. Sustain 구동회로의 주요 파형
Fig. 5 Key waveform of sustain driver

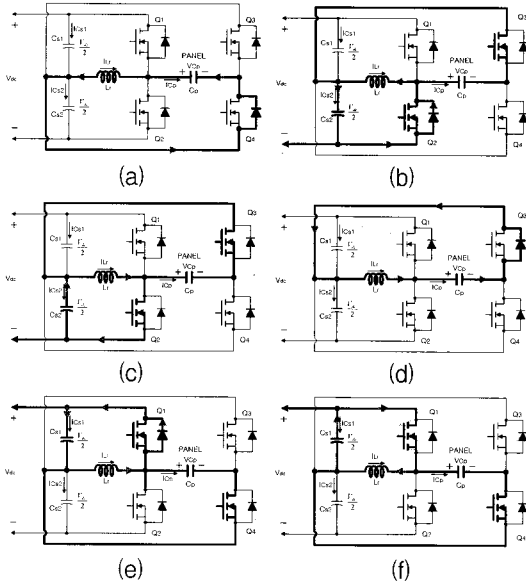


그림 6. Sustain 구동회로의 동작모드
Fig. 6 Operational modes of sustain driver

모드 1 (t_0-t_1): t_0 에서 스위치 Q_1 과 Q_4 가 턴오프 되면, 패널은 인덕터와 공진을 시작하게 된다. 그림 6(a)와 같이 $C_p-L_f-Q_4$ 의 바디 다이오드를 통해서 전류가 흐르게 되며, t_0 에서 인덕터에 흐르는 전류의 최종치가 패널로 흐르게 되어 패널의 극성을 $+V_{dc}/2$ 에서 $-V_{dc}/2$ 로 바꾸게 된다. 따라서 회수와 동시에 인덕터를 거쳐 회수된 에너지를 패널로 다시 공급하는 과정이다.

모드 2 (t_1-t_2): t_1 에서 스위치 Q_2 와 Q_3 가 턴온 되어 패널이 $-V_{dc}/2$ 로 유지되는 구간이다. 이상적인 경우 모드 1의 구간 동안 인덕터와 패널의 완전한 공진이 이루어지면 패널의 전압은 완전히 $-V_{dc}/2$ 로 충전이 되며, 스위치 Q_2 와 Q_3 가 턴온이 되더라도 입력단으로부터 유입되는 전류는 없다. 그림 6(b)와 같이 인덕터 전류는 $L_f-C_{s2}-Q_2$ 의 바디다이오드를 통해서 유틀링 동작을 수행하게 된다.

모드 3 (t_2-t_3): 패널이 $-V_{dc}/2$ 로 완전히 충전이 되면 더 이상의 전류는 패널로 유입되지 않는다. 인덕터의 에너지가 완전히 외부의 콘덴서 C_{s2} 로 유입된 후 인덕터 전류는 극성을 바꾸어 다시 반대 방향으로 증가하게 된다. 그림 6(c)와 같이 전류는 $C_{s2}-L_f-Q_2$ 를 통해서 증가하게 된다.

모드 4인 그림 6(d)부터 모드 6인 그림 6(f)까지는 도

통 소자와 전류경로만이 바뀔 뿐 모드 1에서 모드 3까지의 동작을 반복 수행하게 된다.

III. 실험결과

제안하는 PDP 전원 공급용 통합회로 구성의 타당성을 검증하기 위하여 입력전압 90-240[V_{ac}], 출력전압 360[V_{dc}], 500 [W]급으로 시작품을 제작하여 실험을 수행하였다. 본 실험에 사용된 회로의 파라메타 값은 표 1과 같다.

표 1. 시작품의 소자사양
Table. 1 Specifications of prototype

| 소자종류 | 기호 | 값 | 단위 |
|-------------|------------------|--------------------|---------|
| 입력필터용 L | L_f | 1.8 | mH |
| 입력필터용 C | C_f | 0.2 | μ F |
| 2차측 인덕터 | L_{s1}, L_{s2} | 380 | μ H |
| 2차측 콘덴서 | C_s | 1400 | μ F |
| 스너버용 C | - | 1 | nF |
| 2차측 다이오드 | D_s | DSEI30-12A | |
| 변압기 | T_r | PQ50, n=1:2 | |
| PDP 패널 | C_p | 7.5 | inch |
| | Xe 함유량 | 6 | % |
| | 가스충전율 | 500 | Torr |
| Sustain 스위치 | S_1-S_4 | 2S2995k | |
| 회수용 인덕터 | L_r | 18 | μ H |
| 회수용 콘덴서 | C_{s1}, C_{s2} | 104.7 | μ F |
| Gate Amp. | - | TLP250 | |
| 컨버터제어기 | - | PIC16F877 | |
| 화면신호발생 | - | EPM7064LC84 (VHDL) | |

sustain 회로의 입력전압이 180 [V]로 일정하게 유지되어야 하므로 V_{dc} 는 360[V]를 유지하도록 일정 출력 전압으로 제어하도록 설계하였다. 출력전압을 PT 센서인 LV25-P를 사용하여 PIC 컨트롤러에서 PI 제어를 기반으로 출력전압을 일정하게 제어한다. 입력전압이 free voltage 입력이 가능하도록 하기위해 입력전압이

90-240[V_{ac}] 사이의 전압에서 일정 출력 전압으로 유지 되도록 변압기의 턴수비를 약 1:2로 설계하였으며, 변압기 양단에 RC로 구성된 스너버를 추가하고 스위치에는 C 스너버 회로를 추가하여 스위치 턴오프시 전력 손실을 최소화 하도록 설계하였다.

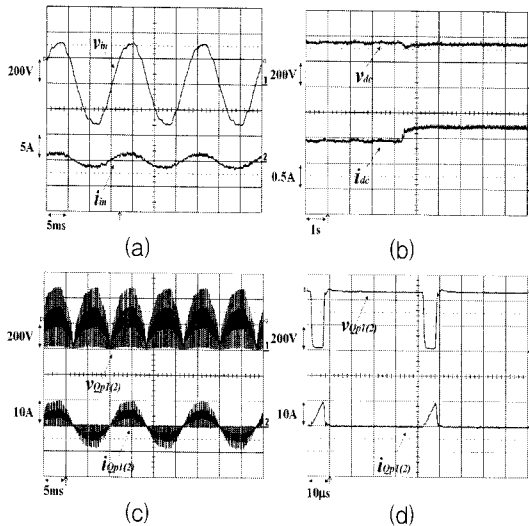


그림 7. 전압/전류 측정파형, (a)입력전압/전류, (b)부하변동에 따른 출력전압/전류, (c)입력스위치 양단전압/전류, (d)스위치 전압/전류 확대

Fig. 7 Measured voltage/current, (a)input voltage/current, (b)output voltage/current according to load variation, (c)switch voltage/current, (d)magnified of switch voltage/current

그림 7(a)는 입력전압과 입력전류를 보여준다. 전압과 전류가 동위상으로 역률보상이 완벽하게 이루어지고 있음을 확인할 수 있다. 그림 7(b)는 정격의 약 65% 부하조건에서 정격부하로 부하 변동시 출력전압과 출력전류를 보여준다. PI 제어기의 일정 전압제어에 의해 부하 변동시 약 300[ms] 내에 정상상태에 도달함을 보여준다. 그림 7(c)는 입력단 스위치의 양단전압 및 스위치 전류 파형을 보여준다. 그림 7(d)는 그림 7(c)의 확대 파형으로 필터 후단에 위치하는 스위치 전류가 불연속 모드에서 동작함을 알 수 있다. 따라서 영전압 스위칭이 가능하여 스위치 on시의 스위칭 손실을 저감할 수 있다.

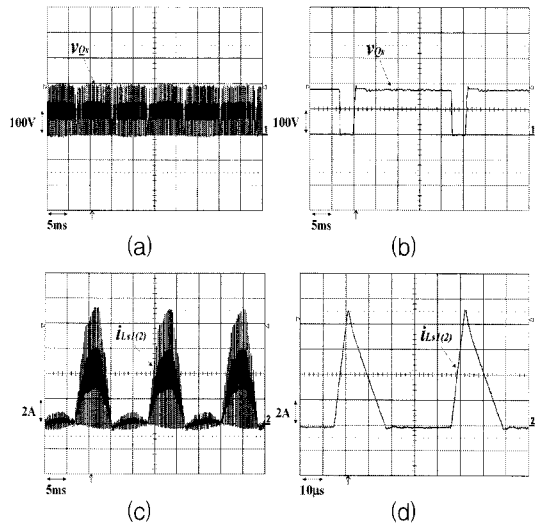


그림 8. 변압기 2차측 전압/전류, (a)Qs 양단전압, (b)확대한 Qs 전압, (c)이차측 인덕터 전류, (d)확대한 인덕터 전류

Fig. 8 Voltage/current of the secondary of transformer, (a)voltage across Qs, (b)magnified of voltage across Qs, (c)secondary inductor current (d)magnified of secondary inductor current

그림 8(a)는 변압기 2차측 스위치의 전압파형을 보여준다. 그림 8(a)의 확대 파형인 그림 8(b)의 파형에서 알 수 있듯이 그림 7(d)의 파형과 비교해보면 리셋을 위한 플라이-백 동작시 출력 전압에 끼치는 영향을 최소화 하도록 이차측 스위치의 도통구간이 약간 더 큼을 알 수 있다. 그림 8(c)와 이의 확대 파형인 그림 8(d)의 인덕터 전류 파형을 통해서 포워드 동작시 전달되는 에너지와 변압기 리셋을 위해 각각의 흐르는 전류의 형상을 확인할 수 있다.

그림 9는 방전 전의 패널양단 전압/전류와 외부 인덕터와 콘덴서에 흐르는 전류를 보여준다. 패널의 양단전압은 입력단 컨버터의 출력의 절반인 $V_{dc}/2$ 를 이용하게 되는데 전압의 비대칭 없이 발생하지 않고, 패널에 방전이 발생하지 않은 상태이므로 패널의 충방전을 위한 변위전류만이 흐름을 그림 9(a)로부터 확인할 수 있다. 그림 9(b)에서 인덕터 전류는 동작모드 설명에서 언급한 것과 같이 외부 콘덴서와 패널에 흐르는 전류의 합으로 이루어짐을 알 수 있다.

그림 10은 방전 후의 패널양단 전압/전류와 외부 인덕터와 콘덴서에 흐르는 전류를 보여준다. 그림 10(a)의 패널전류는 변위전류와 이를 뒤따라 흐르는 방전전류로 구성됨을 보여준다. 방전시 큰 피크치의 방전전류가 흐름에 따라 패널전압에 왜곡이 발생하지만 서스테인 전압을 유지하는 구간은 1 μ s 이상으로 방전효율의 저하는 발생하지 않는다. 방전 구간에도 인덕터 전류는 동작모드 설명에서 언급한 것과 같이 외부 콘덴서와 패널에 흐르는 전류의 합으로 이루어짐을 알 수 있다.

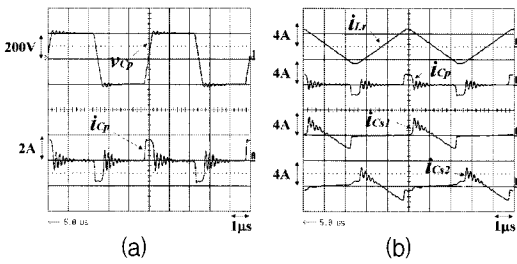


그림 9. 방전 전, (a)패널전압/전류, (b)인덕터/패널/콘덴서 전류

Fig. 9 Before igniting, (a)panel voltage/current, (b)inductor/panel/condenser current

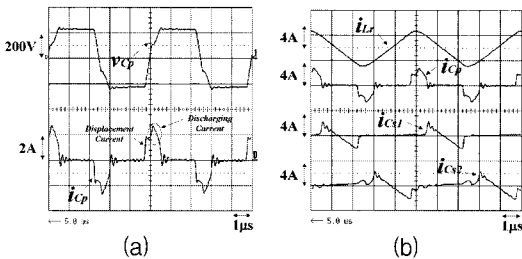


그림 10. 방전 후, (a)패널전압/전류, (b)인덕터/패널/콘덴서 전류

Fig. 10 After igniting, (a)panel voltage/current, (b)inductor/panel/condenser current

그림 11(a)는 입력전류의 고조파를 IEC-555-2 규정과 비교한 결과 그래프이다. 측정된 결과에서 알 수 있듯이 규정을 충분히 만족함을 알 수 있다. 그림 11(b)는 제안된 통합회로의 역률과 효율을 측정한 그래프이다. DPF(Displacement Power Factor)의 경우에는 입력전압과 입력전류가 동위상이므로 거의 1의 값을 가지지만

PF(Power Factor)는 평균 97[%] 정도로 측정되었다. 전체 시스템 효율은 평균 약 78[%]로 측정되었다. 현재 상용 PDP의 대표적인 Weber의 sustain 드라이버의 효율이 약 80[%]이고 실험실 수준의 시작품임을 가만하면 입력전원단과 sustain 드라이버를 통합 설계한 제안된 시스템의 효율이 낮지 않다고 판단할 수 있다.

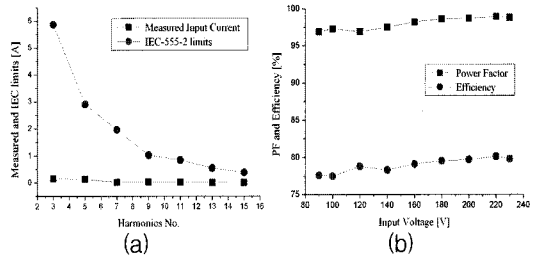


그림 11. 시작품 성능, (a)입력전류 고조파, (b)역률 및 효율

Fig. 11 Prototype performance, (a)harmonics of input current, (b)power factor and efficiency

V. 결론

본 논문에서는 PDP TV의 효율개선과 원가절감을 위해 1단방식의 역률보상형 컨버터를 이용하여 PDP의 서스테인과 리셋 구동 드라이버의 전원을 공급할 수 있는 새로운 회로 구성 방법을 제안하였다. 제안된 방식에서 1단 방식 역률보상형 컨버터의 출력전압은 추가적인 전력변환 없이 PDP의 서스테인 및 리셋회로의 구동 전원으로 사용할 수 있도록 구성하여 전력변환단의 최소화와 회로구성의 간략화를 이루었다. 500[W]급 시작품의 실험을 통하여 제안된 방식이 free voltage 입력조건에서 97[%] 이상의 높은 역률을 가지며 입력전류의 고조파는 IEC-555-2 규정을 충분히 만족함을 확인하였다.

참고문헌

[1] A. Sobel, "Plasma Displays," IEEE Trans. on Plasma Science, vol. 19, no. 6, pp. 1032- 1047, Dec. 1991.
 [2] D. W. Parker et al., "The TV on the Wall- has its time come?" proc. of International Broadcasting Convention,

pp. 575-580, 1997.

- [3] L. F. Weber et al., "Power efficient sustain drivers and address drivers for plasma panel," U.S. Patent 4 866 349, Sept. 1989.
- [4] 강필순, 박진현, 공관식, "Sustain Driver and Reset Circuit for Plasma Display," 한국해양정보통신학회 추계종합학술대회 논문집, 2005년 10월 28일.
- [5] F. S. Kang, "Series Resonant Sustain Driver and Reset Circuit Composition Using a Single Voltage Source for an Efficient Plasma Display," Displays, vol. 25, no. 4, pp. 123-134, Nov. 2004.
- [6] R. Srinivasan et al., "A unity power factor converter using half-bridge boost topology," IEEE Trans. on Power Elect., vol. 13, no. 3, pp. 487-500, May 1998.
- [7] J. G. Cho et al., "Reduced conduction loss zero-voltage-transition power factor correction converter with low cost," IEEE Trans. on Ind. Elect., vol. 45, no. 3, pp. 395-400, June 1998.
- [8] 이준영, 문건우, 김현수, 윤명중, "부스트-플라이백 결합형 ZCS Quasi-Resonant 역률개선 컨버터", 전력전자학회논문지, 제4월 제1호, pp. 91-98, 1999년 2월.
- [9] 류명효, 차영길, 최병조, 김홍근, "고효율, 저손실을 갖는 1단 교류/직류 변환기의 역률제어", 전력전자학술대회 논문집, 1998년 7월, pp. 418-422.

저자소개

강 필 순(Feel-soon Kang)



1998년 경상대학교 전기공학
(공학사)

2000년 부산대학교 전기공학
(공학석사)

2003년 부산대학교 전기공학(공학박사)

2004년 오사카대학 전기공학 박사후과정

2004년~현재 한밭대학교 제어계측공학과 조교수

2004년~현재 IEEE Trans. Industrial Electronics

Associate Editor

※관심분야: 전력전자, 전력 IT, 대체에너지

박 진 현(Jin-Hyun Park)



1992년 부산대학교 전기공학
(공학사)

1994년 부산대학교 전기공학
(공학석사)

1997년 부산대학교 전기공학(공학박사)

1997년~1999년 부산정보대학 전임강사

2006년~2007년 University of Arkansas at little Rock

Visiting Scholar

한밭대학교 제어계측공학과 조교수

1999년~현재 진주산업대학교 메카트로닉스공학과
부교수

※관심분야: 로봇, 지능제어이론