

Design and Implementation of the Dual-Mode Type Reliable PLC Modem Chip

李 垣 泰[†] · 崔 聖 守^{*} · 尹 聖 賀^{**} · 李 永 哲^{***}

(Won-Tae Lee · Sungsoo Choi · Sungha Yun · Young-Chul Rhee)

Abstract - This paper represents a dual-mode type transmission technique for a high reliable narrow-band power line communication(PLC) modem, and its design and implementation of a system-on-chip(SoC). The proposed transmission technique is based on a Chirp modulation for the purpose of overcoming time variations of power line channel environments in the narrow-bandwidth of the frequency range of 95 - 145.5 kHz. The designed modem is fabricated utilizing a mixed 0.18 μm CMOS technology. Especially, according to the power line channel environments the data transmission rate can be selectively changed into 2.5 kbps and 480 bps. The total hardware complexity of the implemented chip is about 50,000 gates, the power consumption is about 26 mW, and the operating frequency is up to 5.12 MHz.

Key Words : PLC modem, Dual mode type, Chirp spread spectrum, Zero crossing point

1. 서 론

최근 홈 네트워킹 기술의 발달과 함께 그와 연동된 가전 제어 및 정보 활용 서비스에 이르기까지 지능형 홈에 대한 소비자의 수요가 증가되고 있다. 이러한 소비자의 다양한 요구를 만족시키기 위한 최상의 솔루션으로 대두되고 있는 기술로는 무선통신 분야의 전력선 통신(PLC, Power Line Communication), 홈 PNA(Home Phoneline Network Alliance), 이더넷(Ethernet) 등과 무선통신분야의 무선랜(WLAN, Wireless Local Area Network), 근거리 무선 통신기술(WPAN, Wireless Personal Area Network), 적외선 무선통신(IrDA, Infrared Data Association), 블루투스(Bluetooth) 등이 있다[1].

그 중에서 전력선 통신은 전력선을 매체로 하기 때문에 신규 선로의 설치 없이 네트워크 구성이 용이하다는 기술적 장점과 오랜 기술이 축적되어 있기 때문에 홈 네트워크의 핵심 기술로 주목받고 있다. 그러나 저주파 대역에서의 전력선 채널특성은 거리에 따른 신호 감쇠뿐만 아니라, 각종 실내 기기, 정보 가전 및 사무기기들로부터 발생하는 잡음에도 영향을 많이 받는다. 이러한 이유로 저주파 대역에서의 채널 상태는 다른 대역의 채널에 비해서 보다 열악한 채널 조건을 가지고 있다. 최근에 미국 HomePlug 표준화 단체에서는 협대역 전력선 채널에서 가전기기를 제어할 수 있는

저주파 대역의 HPCC(HomePlug Command and Control) PLC 표준규격이 제정되었다. 특히, 본 가전기기제어 국제표준은 저주파 대역의 전력선 채널환경에 적합한 칩(Chirp) 대역확산 방식을 변복조 기술로 채택하고 있다[2]. 일반적인 대역확산기술은 무선통신에서 배경잡음에 강한 DS(Direct Sequence) 방식으로 잘 알려져 있다. DS대역확산 방식은 전송하고자 하는 이진 데이터 신호를 다수의 칩(Chip)으로 변환하여 전송신호의 대역을 확장하여 전송한다. 그러나 구현측면에서 볼 때, 빠른 시간 내에 다수의 수신 신호의 칩 동기를 정확히 획득해야 하는 부담이 있다. 반면에 칩 대역확산 변복조 기술은 전송신호의 시간 대 주파수간 선형 변조 특성을 가지고 있어, 전력선에 발생하는 잡음과 채널 임피던스 변화에 대해서 안정적인 통신성능을 제공한다. 칩 대역확산 신호전송에 있어서, 전송 심볼 신호의 주파수 선형성을 이용하면 수신신호의 데이터를 보다 쉽게 획득할 수 있는 동기부를 구현할 수 있다[3]. 하지만, 전력선 네트워크에 고부하 기기가 연결되면 신호 레벨이 순간적으로 크게 변하기 때문에 통신연결성에 문제를 줄 수 있다. 이러한 이유로 칩 대역확산 방식만으로는 신뢰성 있는 데이터를 전송할 수 없으므로 이를 보완할 수 있는 추가적인 기법이 요구된다.

이에 따라 본 논문에서는 저주파 전력선 채널 환경에 적합한 칩 확산 변복조 기술을 기반으로 하는 기본적인 전송 모드와 외부 잡음과 부하변동의 영향이 있을 때 통신의 신뢰성을 보장할 수 있는 새로운 전송모드를 포함하는 듀얼 모드형 PLC 모뎀을 제안하고, 이를 실제 Chartered 0.18 μm CMOS 공정기술을 이용한 송수신 단일 칩으로 구현하고자 한다.

[†] 교신저자, 正會員 : 韓國電氣研究院 責任研究員 · 工博
E-mail : wtlee@keri.re.kr

^{*} 正會員 : 韓國電氣研究院 前任研究員 · 工博

^{**} 正會員 : 慶南大學校 情報通信學科 博士課程

^{***} 正會員 : 慶南大學校 情報通信學科 教授 · 工博

接受日字 : 2007年 10月 31日

最終完了 : 2008年 1月 3日

2. 듀얼 모드형 첩 신호 모델

2.1. 송신신호 모델

본 논문에서 고려하고 있는 기본적인 첩 심볼 신호는 업-첩(Up-Chirp) 및 다운-첩(Down-Chirp) 형태를 가지며, 아래와 같이 표현할 수 있다.

$$\psi_{chirp}(t) = \sqrt{\frac{2E}{T_s}} e^{2\pi j(f_1 \pm \frac{f_{BW}}{T_s} \cdot t)t} \cdot p(t),$$

$$p(t) = \begin{cases} 1, & \text{for } 0 \leq t \leq T_s \\ 0, & \text{otherwise,} \end{cases} \quad (1)$$

여기서 E 는 전송신호의 심볼 에너지, f_1 는 초기 심볼의 시작 주파수, f_{BW} 는 주파수 대역, T_s 는 첩 신호의 지속시간, $p(t)$ 는 사각 창함수(Rectangular Window)를 말한다. 사용된 각각의 첩 심볼은 선형 피드백 시프트 레지스터(LFSR, Linear Feedback Shift Register)에 의해서 시간 T_1 간격으로 이동되면서 구분되며, 첩 심볼의 일반형은 식(2)와 같이 표현된다.

$$\psi_i(t) = \sqrt{\frac{2E}{T_s}} e^{2\pi j\left[\left(f_1 + F_i \pm \frac{f_{BW} - F_i}{T_s - i \cdot T_1}\right)t\right]}$$

$$e^{2\pi j\left[\left(f_1 \pm \frac{F_i}{i \cdot T_1}(t - T_s + i \cdot T_1)\right)t\right]} \cdot p(t), \quad 0 \leq i < N, \quad (2)$$

여기서 N 은 LFSR의 최대 시프트 횟수, T_1 은 LFSR에 의해 한번 시프트 될 때의 지속시간, i 는 시프트 횟수, F_i 는 i 번째 시프트 된 심볼의 시작 주파수를 말한다.

또한 갑작스런 시변 채널의 영향에도 강인하도록 식(2)에서 표현된 첩 심볼 신호를 사용하는 듀얼 모드 방식을 제안한다. 제안된 송신 신호는 주어진 전력선 채널 환경에 따라 RM(Robust Mode) 모드 또는 ZERM(ZCP Extremely Robust Mode) 모드로 전송된다. 즉, 채널 상태가 양호한 경우 일반적인 RM 모드로 전송되다가 외부 잡음 및 부하변동에 의해 열악한 채널 상태로 변할 때에는 ZERM 모드로 전송하게 된다. 일반적으로 60Hz 주기변화를 하는 교류 전압 신호가 0V를 교차하는 영역에서 외부잡음 간섭의 영향이 가장 적다. 이러한 특성을 이용하여 ZERM 모드는 영교차점(ZCP, Zero Crossing Point)마다 데이터를 실어 보내어 전력선 채널 잡음에 대해 안정된 데이터를 전송할 수 있도록 한다. 전송모드에 따른 일반화된 첩 심볼은 아래 수식과 같이 정의할 수 있다.

$$s_{RM}(t) = \sum_{k=0}^{L-1} \psi_i(t) \cdot \delta(t - k \cdot T_s), \quad (3)$$

$$s_{ZERM}(t) = \sum_{k=0}^{M-1} \psi_i(t) \cdot \delta\left(t - k \cdot \frac{T_{AC}}{2}\right), \quad (4)$$

여기서 T_{AC} 는 60Hz 주파수의 영교차점 간격(=8.3ms)을 의미하고, L 은 RM 모드에서의 최대 심볼의 수, M 은 ZERM 모드에서의 최대 심볼의 수를 나타낸다. 따라서, 전력선의 저주파 대역에 유리한 첩 심볼 번조기법과 시변 채널에 강인한 듀얼 모드형 전송신호 모델은 식(2)와 식(3), 식(4)를 정리하여 다음 수식과 같이 표현할 수 있다.

$$S(t) = \sum_{m \in \{0,1\}} s_m(t) \cdot w(t), \quad (5)$$

$$w(t) = \begin{cases} 0.5 + 0.5\cos\left(\frac{\pi + t\pi/(\beta T_s)}{\beta T_s}\right), & 0 \leq t \leq \beta T_s \\ 1, & \beta T_s \leq t \leq T_s \\ 0.5 + 0.5\cos\left(\frac{(t - T_s)\pi/(\beta T_s)}{\beta T_s}\right), & T_s \leq t \leq (1 + \beta) T_s \end{cases}$$

여기서 m 은 채널 상태에 따라 전송모드를 결정하는 인덱스로써, $m=0$ 일 때 RM 모드, $m=1$ 일 때 ZERM 모드를 나타낸다. $w(t)$ 는 상승 코사인 필터(Raised Cosine Filter)이고, β 는 롤-오프 계수(Roll-Off Factor)이다. 전력선 채널을 통과할 때 전송될 심볼의 앞과 마지막 부분은 데이터의 열화로 인해 깨지기 쉽기 때문에 이를 보호를 하기 위해서 심볼의 양쪽에 필터링 처리를 한다. 그림 1은 1.6ms의 단위 심볼 시간동안에 생성된 첩 심볼 신호를 나타낸다.

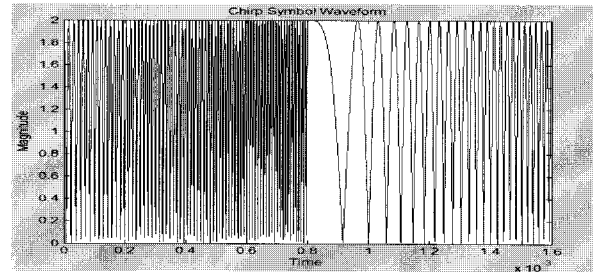


그림 1 첩 심볼 파형
Fig. 1 Chirp symbol waveform

2.2 수신신호 모델

전력선은 전력공급을 위한 것으로 데이터 전송을 위한 용도가 아니며, 선로 내에 신호 감쇠, 배경 잡음, 임펄스 잡음과 다중 경로에 의한 영향이 존재하기 때문에 통신 성능 열화와 수신기 구조의 복잡도 등에 영향을 미친다. 이러한 열악한 채널 하에서도 통신 성능의 효율성을 만족시키기 위해 채널 모델링이 필요하며, 본 논문에서는 전력선 채널특성을 다중경로형태로 해석하고자 거리에 따른 감쇠를 나타낸 식(6)과 같은 전파다중경로모델을 고려한다[4].

$$h_{PLC}(t) = \sum_{v=1}^p \alpha_v \cdot \delta(t - \tau_v) e^{j\theta_v}, \quad (6)$$

여기서 p 는 다중경로의 수, α_v 는 경로별 감쇠계수, τ_v 는 경로별 시간지연, θ_v 는 경로로 인한 위상편이를 말하며, 수신 신호 $r(t)$ 는 식(7)과 같이 표현된다.

$$r(t) = (s(t) * h_{PLC}(t)) + n(t)$$

$$= \sum_{v=1}^p \sum_{m \in [0,1]} \alpha_v [s_m(t - \tau_v) \cdot w(t - \tau_v)] \cdot e^{j\theta_v} + n(t), \quad (7)$$

여기서 $n(t)$ 는 AWGN 잡음이다.

3. 듀얼모드형 칩 변복조 시스템 구조

3.1 시스템 구성

PLC 모델의 전체 시스템은 전력선 통신용 송신기와 수신기, 그리고 신호결합 커플링 장치로 구성되며, 그림 2와 같다.

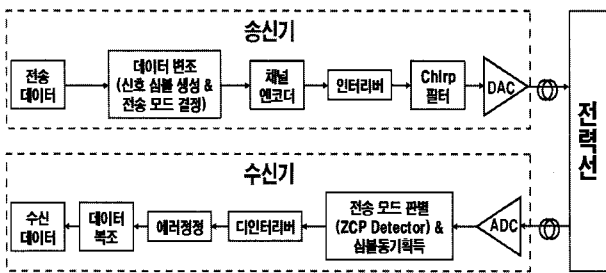


그림 2 전체 시스템 블록도
Fig. 2 Block diagram of total system

송신기의 경우, 데이터 변조기는 전송 데이터를 4비트로 구성된 특정한 형태의 이진 칩 심볼로 생성하고, 전송모드를 결정한다. 그 후, 전력선 채널상의 잡음으로 인한 오류 정정이 가능한 포맷으로 바꿔주는 채널 인코더와 채널 오류를 분산시키기 위한 인터리버를 거치게 된다. 최종적으로 적절한 주파수 밴드 패스 필터링과 신호 커플링을 통하여 전력선으로 데이터를 송출한다. 수신기의 경우, 수신된 신호는 영교차점 검출기[5]로 초기 동기를 맞춘다. 이때, 검출기는 정합필터를 이용해서 수신된 신호를 신호의 패턴이 저장된 템플릿과 상관관계를 통해서 심볼의 타이밍을 획득하거나 수신될 모드를 결정한다. 최종적으로 디인터리버와 에러정정, 데이터 복조기를 거쳐 수신데이터로 복원된다. 설계된 전력선 모델의 물리적 계층에서 데이터를 전송하기 위한 패킷은 프리앰블, 헤더, CRC, 데이터로 구성되며, 그림 3과 같다.

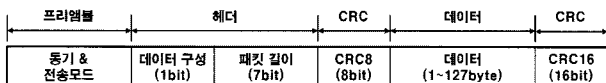


그림 3 패킷 구조
Fig. 3 Packet structure

표 1은 듀얼 모드형 PLC 모델 칩의 개발 사양을 나타낸다. 표 1에서 살펴보면, 주파수 대역폭은 95~125kHz의 주파수 범위(CENELEC B대역) 30kHz를 사용하고, 변조방식은 칩 대역확산 방식을 사용한다. 전송모드에 따라

2.5kbps 또는 480bps로 전송되며, 헤더와 데이터 필드의 정상유무를 확인하기 위해 CRC8, CRC16과 같은 에러정정 부호를 사용한다. 프리앰블은 업-칩과 다운-칩이 혼합된 신호를 사용하여 7개의 심볼로 구성된다. 헤더는 데이터 구성과 전송될 패킷의 길이에 대한 정보를 갖는 2개의 심볼들로 구성된다. 2개의 심볼로 구성된 CRC8은 헤더 필드의 에러를 검출하기 위해서 사용되고, 4개의 심볼로 구성된 CRC16은 데이터 필드의 에러를 검출하기 위해서 사용된다. 마지막으로 데이터 필드는 최대 127byte까지 가변 전송이 가능하다.

표 1 듀얼 모드형 PLC 모델 칩 개발 사양

Table 1 Specifications of the dual-mode type PLC Modem chip

항목	개발 사양	비고	
PHY	주파수 대역	95~125kHz	CENELEC B 대역
	변조	칩 확산	
	전송률	2.5/0.48 kbps	
	인터리빙	비트 인터리버	
동기	시간 동기		
에러정정 부호	CRC8, CRC16, Even/Odd 패리티		
전송모드	RM 모드, ZERM 모드		
MAC 인터페이스	SPI 통신		

3.2 듀얼 모드형 칩 수신기 설계

듀얼 모드 칩 수신기는 커플러, A/D변환기, 시프트 레지스터, 상관기, 최대 상관값을 검출하기 위한 상관값 피크 검출기, 동기 획득을 위해서 심볼패턴에 대한 정보를 저장한 ROM, 검출된 최대 피크값으로부터 데이터 획득을 위한 디코드 회로 등으로 구성된다. 그림 4는 듀얼 모드로 전송을 할 때 수신기의 데이터 비트를 결정하는 과정을 보여준다.

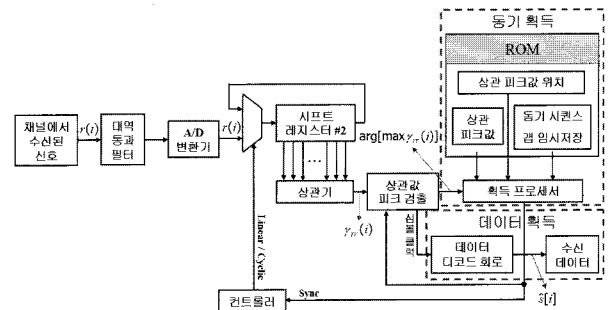


그림 4 듀얼 모드 칩 수신기의 구조
Fig. 4 Structure of the dual-mode Chirp receiver

대역폭과 필터 특성을 갖는 커플러를 통과한 수신신호 $r(t)$ 는 ADC를 통하여 수신신호의 샘플 $r(i)$ 로 변환된다. 샘플 수신 신호는 시프트 레지스터에 순차적으로 저장되고, 완전하게 채워진 시프트 레지스터의 값들은 순환적으로 회전한다. 수신신호의 동기를 맞추기 위해서는 수신된 각각의 칩 심볼 데이터에 따른 회전량 검출이 필요하다. 앞서 말한

시프트 레지스터와 모든 칩 심볼의 회전량에 대한 심볼 패턴을 탭플릿의 형태로 ROM에 저장된 룩업 테이블(LUT, Look-Up Table)을 심볼 단위 별로 처리되는 디지털 상관기에 통과시켜 상관 피크값 $\arg[\max \gamma_{rr}(i)]$ 을 찾음으로써 동기 신호(sync)를 검출한다. 이 신호를 사용하여 회전량에 따른 해당 심볼의 시작위치를 파악하고, 그에 해당하는 심볼 클럭이 발생되며, 데이터 디코드 회로를 거쳐 최종적으로 수신 데이터로 복조된다. 이때 칩 수신기에서 사용된 디지털 상관기의 i 번째 샘플에서의 수신신호 자기상관의 수학적 표현은 식(8)과 같이 표현된다.

$$\gamma_{rr}(i) = \sum_{j=1}^N r(i) \cdot r(j), \quad (i+j) \bmod N, \quad (8)$$

여기서 N 은 RM 모드일 때 $2L$ 값을 가지며, ZERM 모드일 때 $2M$ 의 값을 가진다.

4. 시뮬레이션 결과

제안된 듀얼 모드형 PLC 모뎀은 ModelSim™과 Design Compiler™를 사용하여 회로의 RTL(Register Transfer Level) 설계 및 합성을 수행한다. 합성된 회로는 송수신기 내 모듈 별로 시간에 따른 동작 기능 시뮬레이션을 하고, 구현한 PLC 모뎀의 회로검증을 위하여 시뮬레이션을 통하여 얻어진 각 모듈의 입출력 파형을 비교·분석하였다. 이때, RM 및 ZERM 모드의 수신파형에 대한 시뮬레이션 결과는 그림 5와 같다.

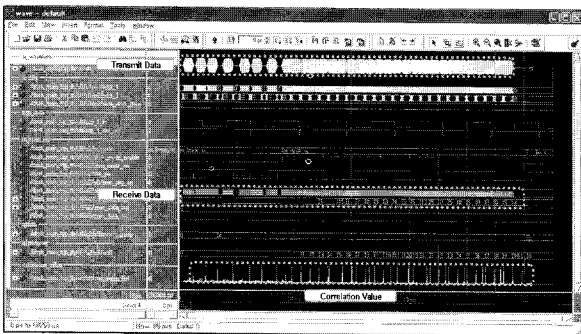


그림 5(a) RM 모드 수신 시뮬레이션 결과
Fig. 5(a) Received signal simulation result in RM mode

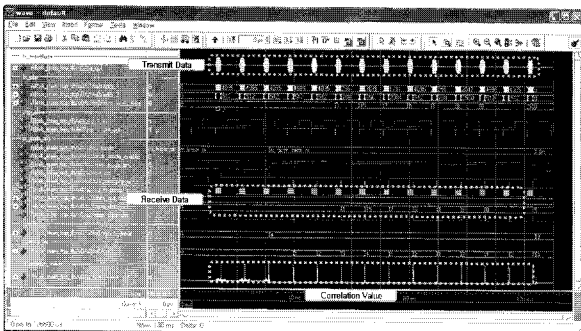


그림 5(b) ZERM 모드 수신 시뮬레이션 결과
Fig. 5(b) Received signal simulation result in ZERM mode

그림 5(a)는 RM 모드의 데이터 전송 시 시뮬레이션을 통한 신호의 타이밍 결과를 나타낸다. 송신 데이터를 살펴보면, 7개 심볼로 구성된 프리앰블과 헤더, 오류정정, 그리고 데이터로 구성된 심볼들이 하나의 송신 데이터 패킷을 형성한다. 수신 신호에 대한 상관값은 ZCP 동기와 상관없이 검출됨을 볼 수 있고, 수신 데이터는 검출된 상관값에 맞춰서 수신됨을 확인할 수 있다. 그림 5(b)는 ZERM 모드 수신 시뮬레이션 결과를 나타낸다. 송신 데이터를 살펴보면, 프리앰블의 수가 4개 심볼로 구성되는 것을 제외하고 패킷의 나머지 구성은 RM 모드와 동일하다. 상관값은 ZCP에 동기를 맞추어 검출되고, 수신 데이터는 ZCP 주기마다 수신되는 것을 확인할 수 있다.

5. 듀얼 모드형 고신뢰 PLC 칩 구현

5.1 구현 과정

본 논문에서는 제안된 듀얼 모드형 고신뢰 PLC 모뎀을 SoC(System-on-Chip) 단일칩으로 구현한다. 듀얼 모드형 단일칩은 모뎀의 핵심부분인 변복조부와 내부 디지털 신호처리 및 모듈 제어를 위한 MCU부, 그리고 신호의 효율적인 전달을 위한 임피던스 매칭 및 전력신호와 모뎀의 송수신 신호를 분리하기 위한 아날로그부로 구성되며, 블록 다이어그램은 그림 6과 같다. 변복조부는 송수신기 역할을 하는 PHY, 동기를 맞추기 위한 Sync, 에러 검출 및 정정을 위한 ECC(Error Correction Code), 플래쉬 ROM, 전송모드를 결정하는 Mode, SPI 통신을 하기 위한 MAC 인터페이스 블록으로 구성된다. MCU부는 32-bit EISC 프로세서인 SE3208, 메모리 SRAM과 플래쉬 ROM, 주변장치인 타이머와 인터럽트와 인터페이스 I/O, 전력제어를 하는 Power Control, 프로그램을 다운로드하기 위한 SPI 블록으로 구성된다. 그리고 아날로그부는 선형 전압 레귤레이터 LDO, 전압 저하 검출기 BOD, DAC, 비교기, 전치 증폭기, 이득 증폭기 블록으로 구성된다.

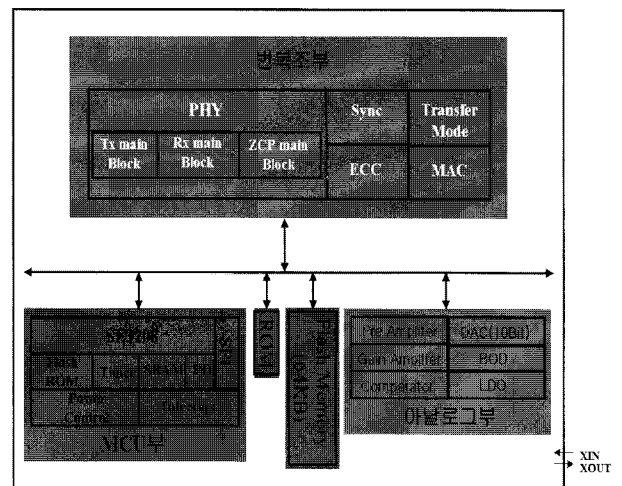


그림 6 구현 칩의 블록 다이어그램
Fig. 6 Block diagram of the implemented chip

그림 7은 SoC 단일 칩 설계를 위한 전체 흐름도를 나타낸다. 혼성 단일 칩을 설계하는 과정은 크게 전 단계(Front-End) 설계와 후 단계(Back-End) 설계로 나뉜다. 전 단계 설계는 작성된 디자인 사양을 가지고 RTL 설계 및 검증하고, 제조공정에서 제공되는 로직 셀(Logic Cell)로 합성한 후에, 칩의 동작 테스트 과정을 거친 후 시뮬레이션을 수행한다. 최종적으로 소자 및 선로 지연과 타이밍 정보를 분석한 후, 1차 공정승인(sign off)을 한다. 후 단계 설계는 전 단계 설계 작업에서 추출된 네트리스트(Netlist)를 기준으로 칩 내에 설계 블록들의 위치를 결정하는 플로우 플랜(Floor Plan)을 하고, 플레이스 앤 라우팅(Place & Routing) 작업을 통해서 셀(Cell) 및 매크로(Macro), 패드(Pad)를 설계 블록들과 배선하고 시뮬레이션을 수행한다. 마지막으로 최종 설계된 칩의 타이밍 정보를 분석한 후, 2차 공정승인(sign off)을 하고, 칩 제조를 위한 펌-인(Fab-IN)에 들어가게 된다. 이러한 과정으로 설계된 단일칩은 생성된 Mask Data를 바탕으로 Chartered 0.18 μ m CMOS 혼성공정 라이브러리를 이용하여 구현하였다.

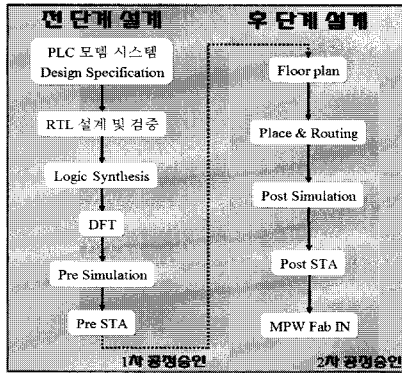


그림 7 SoC 디자인 흐름도
Fig. 7 SoC design flow

5.2 구현 결과

앞서 설명한 순서에 따라 구현된 칩의 하드웨어 복잡도와 전력소비는 표 2와 표 3에 나타내었다. 모뎀의 변복조부에서 송신기와 수신기는 각각 9.2만과 11.3만 게이트로 총 20.5만 게이트가 사용되었고, MCU부 및 기타 블록에 29.1만 게이트로 약 50만 게이트 수의 전체 칩 복잡도를 갖는다.

표 2 구현된 칩의 복잡도
Table 2 The total complexity of the chip

블록		게이트 수	
변복조부	송신기	92,558	205,947
	수신기	113,389	
전체		291,885	
MCU부와 아날로그부		497,832	

표 3은 구현된 칩의 전력 소비량을 보여준다. 모뎀의 변복조부에서 송신기와 수신기가 각각 6.4mW와 9.9mW로 총 16.3mW가 소비되었고, MCU 및 기타 블록이 10.3mW로 전체 칩 동작에 약 27mW의 전력이 소비됨을 확인하였다.

표 3 구현된 칩의 전력 소비율
Table 3 Power consumption of the chip

블록		전력 (mW)	
Modem Part (PHY) 전체	송신기	6.446	16.336
	수신기	9.890	
MCU와 Another Part		10.303	
전체		26.639	

구현된 칩의 플레이스 앤 라우팅 레이아웃도는 그림 8과 같다. 레이아웃된 코어(Core)의 크기는 2633 μ m \times 3637 μ m이다. 펌-아웃(Fab-OUT)된 코어가 최종 패키지 과정을 거치면 크기는 10mm \times 10mm가 된다. 구현된 칩의 동작주파수는 5.12MHz, 3.0~3.6V의 동작 전압범위를 갖는다. 사용된 패키지는 64-lead LQFP(Low profile Quad Flat Package)이다.

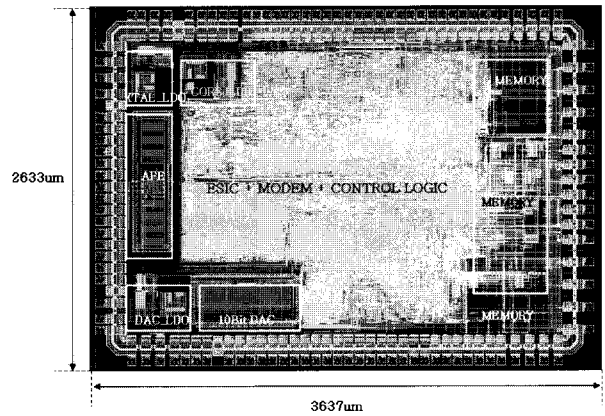


그림 8 플레이스 앤 라우팅 레이아웃도
Fig. 8 Place & Routing layout

구현된 칩의 통신성능을 확인하기 위하여, 간단한 테스트 보드를 제작하여 전송 속도 테스트를 수행하였다. 그림 9는 RM 모드와 ZERM 모드에 대해 각각의 패킷단위 심볼을 전송했을 때 수신측 테스트보드에서 측정된 파형을 보여준다. 측정된 파형을 살펴보면, RM 모드의 경우 칩 심볼 주기 1.6ms에 심볼당 4비트를 전송하므로 2.5kbps의 전송속도를 가짐을 확인할 수 있고, ZERM 모드의 경우 ZCP 주기가 약 8.3ms에 심볼당 4비트를 전송하므로 480bps의 전송속도를 가지는 것을 확인할 수 있다.

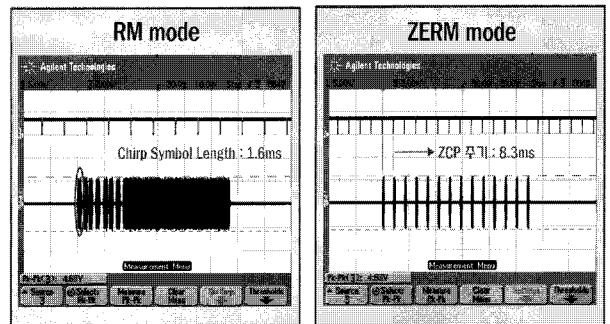


그림 9 전송 속도 테스트
Fig. 9 Data rate test

6. 결 론

본 논문에서는 칩 확산 변복조 기술을 기반으로 전력선 채널 상태에 따라 RM 모드와 ZERM 모드가 지원되는 듀얼 모드형 고신뢰 PLC 모형을 제안하고, Chartered 0.18 μ m CMOS 혼성공정을 이용하여 실제 칩으로 구현하였다. 제안된 듀얼 모드형 PLC 변복조부는 RTL 설계 및 검증을 하였다. 구현된 모뎀 칩의 동작성능은 별도로 제작된 테스트 보드 상에서 전송 속도 테스트를 수행하여 확인하였다. 실험 결과, 전력선 채널 상태가 양호한 경우 RM 모드가 사용되며, 그때의 전송 속도로 2.5kbps를 얻었다. 한편, 전력선 잡음 및 임의적으로 변화하는 부하변동에 의해서 채널 상태가 불안정할 때는 ZERM 모드가 사용되며, 외부잡음 간섭의 영향이 적은 영교차점마다 데이터를 안정적 전송하여 480bps의 전송 속도가 나오는 것을 확인하였다. 성공적인 실험결과를 볼 때, 향후 홈 내 가전기기 제어를 위한 PLC 모뎀 플랫폼의 물리계층에 요구되는 신뢰성을 충분히 확보할 수 있으리라 생각된다.

참 고 문 헌

- [1] B. Rose, "Home networks : a standards perspective," *IEEE Communications Magazine*, vol. 39, pp. 78-85, Dec. 2001.
- [2] HomePlug Command and Control Specification version 1.0, *HomePlug Powerline Alliance*, Aug. 2007.
- [3] H. Farrokhi, and R. J. Palmer, "The designing of an indoor acoustic ranging system using the audible spread spectrum LFM (CHIRP) signal," *Canadian Conference of Electrical and Computer Engineering*, pp. 2131-2134, May 2005.
- [4] O. G. Hooijen, "A Channel Model for the Residential Power Circuit Used as a Digital Communications Medium," *IEEE Transactions on Electromagnetic Compatibility*, vol. 40, pp. 331-336, Nov. 1998.
- [5] 특허청, "전력선 통신을 위한 제로 크로스 동기 검출 장치 및 그 방법," 제 10-0419138-0000 호, 대한민국, 2월 2004.

저 자 소 개



이 원 태 (李 垣 泰)

1955년 2월 15일생. 1983년 연세대학교 전기공학과 졸업. 1985년 동 대학원 전기공학과 졸업(공학석사). 2007년 경남대학교 전자공학과 졸업(공학박사). 1985~현재 한국전기연구원 책임연구원

Tel : 031-8040-4121

Fax : 031-8040-4139

E-mail : wtlee@keri.re.kr



최 성 수 (崔 聖 守)

1973년 3월 30일생. 1996년 경원대학교 전자공학과 졸업. 1998년 광주과학기술원 정보통신공학과 졸업(공학석사). 2002년 Univ. of Minnesota (Pre-Doc. Assist.). 2003년 광주과학기술원 정보통신공학과 졸업(공학박사). 2003~현재 한국전기연구원 선임연구원

Tel : 031-8040-4126

Fax : 031-8040-4139

E-mail : sschoi@keri.re.kr



윤 성 하 (尹 聖 賀)

1976년 2월 7일생. 2001년 경남대 전자공학과 졸업. 2003년 동 대학원 정보통신공학과 졸업(공학석사). 2003년~현재 동 대학원 박사과정

Tel : 031-8040-4136

Fax : 031-8040-4139

E-mail : paulweb@netsgo.com



이 영 철 (李 永 哲)

1953년 1월 13일생. 1975년 광운대학교 전자통신공학과 졸업. 1977년 연세대학교 전자공학과 졸업(공학석사). 1992년 아주대학교 전자공학과 졸업(공학박사). 1981년 9월~현재 경남대학교 정보통신공학과 교수

Tel : 055-249-2643

Fax : 055-249-2943

E-mail : micropt@kyungnam.ac.kr