

디지털시스템 내의 연결선에서 발생하는 신호 반사 제거 기법

論 文
57-3-13

Signal Reflection Elimination Technique for Interconnects in Digital System

成 邦 鉉* · 盧 暉 佑* · 白 宗 欽** · 金 錫 潤†
(Bang-Hyun Sung · Kyung-Woo Noh · Jong-Humn Baek · Seok-Yoon Kim)

Abstract - This paper proposes a new method to improve signal characteristics at branches frequently met in system-level routing. We also introduce the numerical formula which can estimate the time delay due to branches and the simple design guideline for system-level routing. Finally, we propose the routing method which can eliminate the signal reflection for the case of one driver and two receivers (multi-drop topology).

Key Words : Signal reflection, Interconnection, Even-mode impedance, Source termination

1. 서 론

오늘날의 반도체 부품(IC)의 경향은 집적도 및 동작 속도 측면에서 여전히 무어의 법칙을 따르고 있다. 이러한 고속 및 고집적화 경향은 반도체 부품의 핀 수를 지속적으로 증가시켰고, 이는 시스템의 다기능 경향과 부합되어 여러 부품을 배치 및 배선하는 시스템 구현의 복잡도를 상대적으로 증가시키는 요인이 되었다.

일반적으로 시스템 구현 시 사용되는 배선 방식은 그림 1에 보듯이 크게 두 가지, 일대일(point-to-point)과 다분기(multi-drop) 방식으로 분류되며, 후자는 직렬연결(daisy-chain), 성형(star), 원단(far-end) 및 근단(near-end) 클러스터 등의 여러 방식으로 재분류된다[1]. 일대일 방식은 신호 전달 측면에서 우수한 장점을 가지고 있으나 부품의 핀 수와 배선 면적이 증가되는 단점이 있어 대부분의 시스템에서는 다분기 방식을 채용하고 있다.

반면에, 다분기 방식은 단위 면적당 배선 면적을 줄일 수 있으나, 하나의 연결선이 여러 개의 연결선으로 분기됨에 따라 신호의 전달 특성이 나빠지는 단점이 있어 배선 시 각별한 주의가 요구된다. 따라서, 설계자는 연결선 상의 신호 관점에서 분기점이 임피던스 부정합(mismatching) 지점으로 인식됨을 인지하고, 이로 인한 신호 반사는 분기되는 연결선에 따라 결정됨을 명심해야 한다.

2. 연결선 분기의 영향

본 장에서는 연결선의 분기점이 신호 특성에 미치는 영향에 대하여 설명하고자 한다. 먼저, 분기된 연결선의 구조가 대칭일 때와 비대칭일 때를 비교한 후 대칭 구조에서 분기점의 위치가 신호 전달 특성에 미치는 영향을 분석할 것이다. 특히, 이 과정에서 분기점이 타이밍에 미치는 지연을 간단하게 예측할 수 있는 수식을 제안할 것이다. 분석의 간략성을 위하여 하나의 송신부와 두개의 수신부를 갖는 배선 구조를 사용하였으며, 임피던스 정합을 위해 송신단에 직렬 저항을 삽입하고 수신단은 개방(open)인 구조를 사용하였다. 분석을 위한 시뮬레이터로는 HSPICE를 사용하였다.

2.1 균형분기(Balanced-branch)와 비균형분기(Unbalanced-branch) 비교

두 방식의 비교를 위해 사용된 구조는 그림 2에 도식화되어 있다.

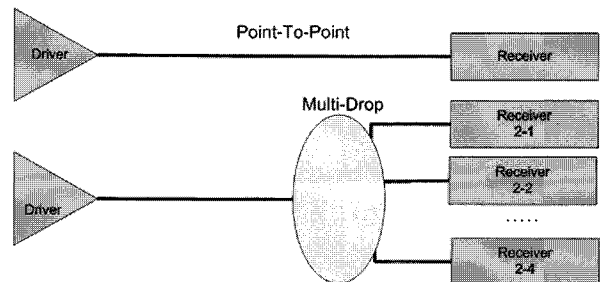


그림 1 일대일과 다분기 방식
Fig. 1 Point-To-Point vs. Multi-Drop Topology

* 學生會員 : 崇實大學 컴퓨터學科 碩士課程
** 正 會 員 : 삼성 SDI
† 교신저자, 正會員 : 崇實大學 컴퓨터學科 教授 · 工博
E-mail : ksy@ssu.ac.kr
接受日字 : 2007年 12月 18日
最終完了 : 2008年 1月 18日

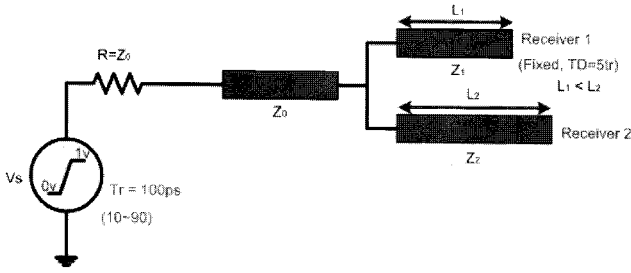
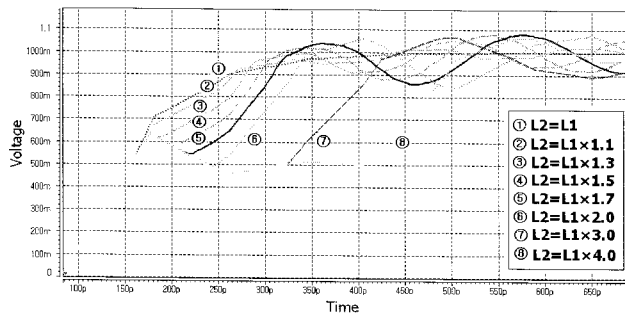
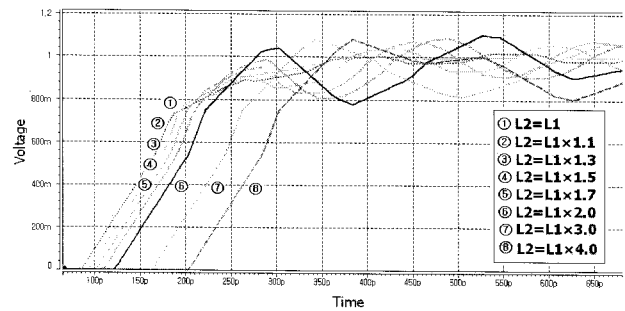


그림 2 균형분기와 비균형분기를 비교하기 위한 회로
 Fig. 2 The circuit to compare balanced-branch with unbalanced-branch



(a) Receiver 1에서의 파형



(b) Receiver 2에서의 파형

그림 3 L_2 길이의 변화에 따른 시뮬레이션 결과
 Fig. 3 Simulation results for the variation of L_2 lengths

Receiver 1과 연결되는 연결선의 길이(L_1)를 고정시키고, Receiver 2와 연결되는 연결선의 길이(L_2)를 변화시키면서 시뮬레이션을 수행하였으며 그 결과를 그림 3에 표시하였다. 시뮬레이션 결과에서 쉽게 예측할 수 있듯이 L_2 가 증가할수록 신호 왜곡이 점점 심해짐을 알 수 있고, 이는 분기점으로부터 각 수신 단까지의 길이가 서로 다르므로 인해 발생하는 현상이다. 즉, 수신 단에서 서로 다른 시간에 발생하는 반사 신호들이 복잡하게 조합된 결과이다. 또한, 그림 3의 (a)와 (b)를 비교하면 알 수 있듯이 신호 왜곡의 정도는 Receiver 1에서 더 심함을 알 수 있다. 결국, 우리는 그림 3을 통해 균형분기가 신호 전달 특성 면에서 더 유의함을 알 수 있고, 이 결과는 실제 수신단의 부하 조건이 다를 경우에 수신단의 부하 조건까지 고려하여 대칭성을 유지해야 한다는 것을 쉽게 유추하게 해준다.

2.2 분기점의 위치 변화에 따른 영향

본 절에서는 균형분기 구조에서 분기점이 있을 때와 없을 때의 지연 시간을 분석하고, 신호 전달 특성을 해치지 않는 지점의 분기 위치를 대략적으로 찾고자 한다.

2.2.1 연결선 분기로 인한 신호 지연

그림 4는 동일한 길이의 연결선에 대해 분기가 있을 경우와 없을 경우를 입력 천이 시간을 증가시키며 비교한 결과이다. 결과에서 볼 수 있듯이 연결선의 분기는 신호의 왜곡뿐만 아니라 신호의 지연을 동시에 야기 시킴을 알 수 있다.

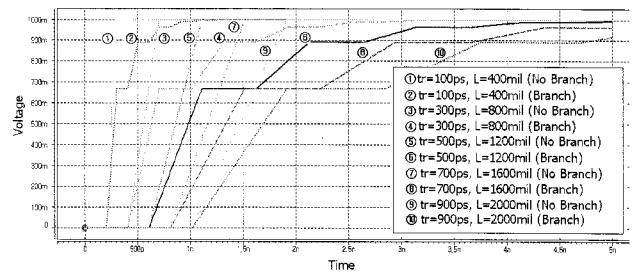


그림 4 입력 신호의 천이 시간을 변화 시키며 연결선 분기의 영향을 실험한 결과

Fig. 4 Simulation results for the variation of transition time of input signal

아래의 수식 (1)은 균형분기 구조에서 연결선의 분기가 야기 시키는 지연시간을 예측하기 위해 유도된 수식이다.

$$\text{Additional Delay} = 0.625t_r \frac{N-1}{1+\rho_L} \frac{V_m}{V_i} \quad (1)$$

여기서, t_r 은 입력 신호의 천이 시간이며, N 은 분기되는 연결선의 수, ρ_L 은 수신단에서의 반사계수, V_i 는 분기지점에 입력되는 신호의 정상상태에서의 전압값이고, V_m 은 지연 시간을 측정하고자 하는 전압값을 의미한다. 수식에서 볼 수 있듯이 지연시간은 부하수 및 천이시간이 증가할수록 증가하며, 수신단에서의 반사계수가 클수록 감소한다. 또한, 수식 (1)을 바탕으로 N 의 값이 2이고, 수신단의 입력 임피던스가 개방에 가까울 때 입력신호의 크기에 절반지점에서 측정된 지연시간은 수식 (2)와 같이 간단하게 표현될 수 있다.

$$\text{Additional Delay} = 0.42t_r \quad (2)$$

2.2.2 분기점의 위치에 따른 영향

일반적으로 송신단에 매칭 저항을 삽입하는 경우(source termination)에는 신호 전달 특성상 근단 클러스터 방식보다는 원단 클러스터 방식을 주로 사용한다. 후자의 방식을 사용할 경우, 신호 특성에 주요한 영향을 미치는 요소는 분기점으로부터 수신부까지 연결된 연결선의 길이(L)이다. 그에

대한 영향은 그림 5에서 보듯이 수신부까지의 거리가 길수록 신호 특성이 더 왜곡됨을 알 수 있다. 아래 부등식 (3)은 그 거리를 결정할 수 있는 근사 수식이다.

$$t_d < t_r \tag{3}$$

여기서, t_r 은 분기점으로 인가되는 신호의 천이 시간이고, t_d 는 그 신호가 분기점으로부터 수신단까지 도착하는 시간을 의미한다.

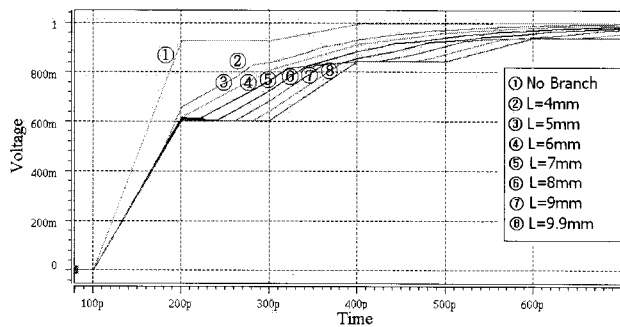


그림 5 분기점 변화에 따른 시뮬레이션 결과
Fig. 5 Simulation results for the variation of branch point

3. 연결선 분기에 의해 발생하는 신호 반사 제거법

본 장에서는 먼저 신호 분기로 인해 발생하는 임피던스 변화와 인접 연결선으로 인해 발생하는 임피던스 변화를 간략하게 설명할 것이다. 우모드와 기모드 임피던스를 언급하고, 우모드 임피던스를 이용하여 반사 신호를 제거하는 방법을 소개하고자 한다. 제거 방법은 하나의 송신부와, 두 개의 수신부로 이루어진 구조를 위한 특별한 해결방법을 미리 밝히며, 이 방법을 제안하는 과정에서 기존에 수용되는 일반적 방법들과 비교할 것이다.

3.1 분기로 인한 신호 반사

일반적으로 신호 반사는 신호 선로상의 임피던스(Z_0) 변화로 인해 야기된다. 만약, 동일한 조건의 연결선이 특정 지점에서 N개로 분기할 경우 분기점에서 신호가 느끼는 유효 임피던스는 $1/N$ 로 줄어들기 때문에 신호는 분기점을 임피던스 불연속점으로 인식할 것이고, 그때의 반사 계수, ρ_b 는 식 (4)에 나타나 있다.

$$\rho_b = \frac{Z_0/N - Z_0}{Z_0/N + Z_0} = \frac{1 - N}{1 + N} \tag{4}$$

식 (4)에서 볼 수 있듯이, 분기수가 3이면 반사계수가 -0.5, 이고, 이는 입사신호의 절반에 해당하는 양의 신호 반사가 발생하 는 것임을 의미한다.

3.2 인접 연결선에 따른 임피던스 변화

두 개의 인접한 연결선 사이에는 동작시키는 신호의 종류에 따라 두 개의 모드가 존재하고, 각각의 모드는 우모드와 기모드로 불린다. 두 연결선 사이의 전자기적 결합이 미약하다면, 두 모드 사이의 임피던스 차이는 존재하지 않지만, 두 연결선이 가까이 배선될 경우에는 두 모드 사이에 상당한 차이의 임피던스 변화를 볼 수 있고, 우모드에 대한 특성은 그림 6에 잘 나타나 있다[2].

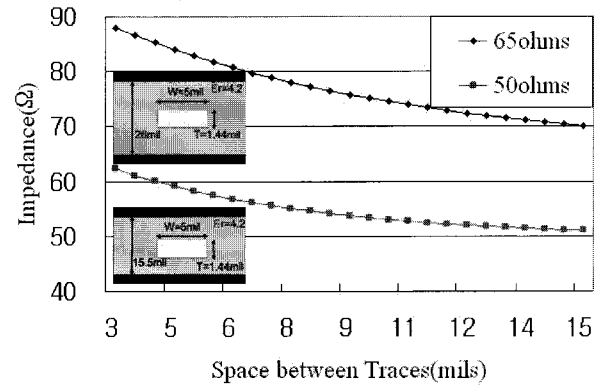


그림 6 연결선간의 거리에 따른 우모드 임피던스
Fig. 6 Even-mode impedance for the variation of space between traces

3.3 분기로 인한 불연속점 제거 방법

일반적으로 연결선의 분기로 인한 임피던스 부정합을 없애기 위한 방법은 그림 7과 같이 시도될 수 있다. (a)는 분기 이후에 존재하는 연결선의 임피던스를 두 배로 증가시키는 방법이고, (b)는 분기 이전에 존재하는 연결선의 임피던스를 절반으로 감소시켜 임피던스를 정합(matching)시키는 방법이다. 실제로 이 방법들은 PCB 상에서 연결선의 폭을 감소시키거나 혹은 증가시킴으로써 구현 가능하다. 즉, PCB의 동일 층 내에서 연결선 폭을 증가시키면 임피던스가 감소하고, 반대로, 선폭을 감소시키면 임피던스가 증가되는 원리를 이용한 것이다. 하지만, 이 방법들은 제조상의 문제와 배선 면적의 증가로 인해 실제 배선 시에 적용하기 힘든 경우가 많이 발생할 수 있음을 각별히 주의해야 한다. 그에 대한 예를 그림 8에 나타내었고, 각각의 구조를 위한 임피던스 추출방법은 [3]에 소개된 간단한 수식을 사용하였다.

그림 8의 우측 부분에서 보듯이 두 배의 임피던스를 만들기 위해서는 1mil 이하의 선폭이 요구됨을 알 수 있고, 이는 보통의 PCB 양산 공정에 적합하지 않음을 쉽게 알 수 있다. 반대로 절반의 임피던스를 얻기 위해서는 대략 3배나 그 이상의 배선 면적이 증가됨을 알 수 있다. 또한, 그림 7(b)의 방법은 분기 이전의 임피던스를 감소시킴으로써 송신단의 출력 임피던스가 클 경우에는 송신단에 직렬 저항을 삽입하는 임피던스 매칭 기법을 사용할 수 없는 상황을 만들 수 있음을 주의해야 한다.

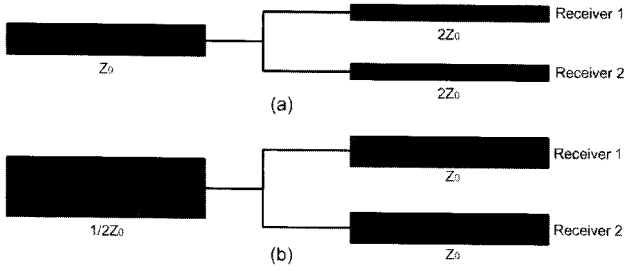


그림 7 분기로 인한 반사 신호의 일반적인 제거 기법
 Fig. 7 Elimination technique for reflection signal caused by branch

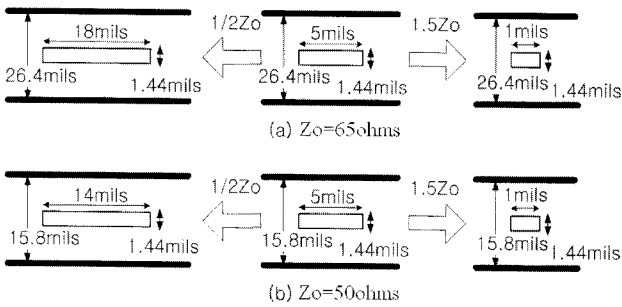


그림 8 연결선의 폭에 따른 임피던스 변화
 Fig. 8 Impedance for the variation of interconnect's width

위에서 언급한 내용을 바탕으로 본 논문에서는 아래 그림 9와 같은 배선 방법을 제안하고자 한다.

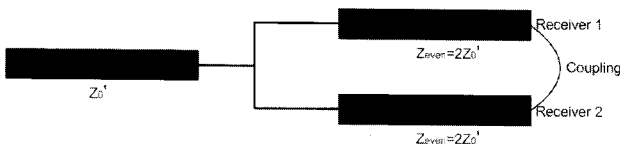


그림 9 우모드 임피던스를 이용한 배선 기법
 Fig. 9 Route technique using even-mode impedance

이 방법은 연결선 사이의 전자기적 결합을 이용하는 방식으로 분기되는 연결선 사이의 우모드 임피던스, Z_{even} 이 식 (5)를 만족하게 설계하는 것이다.

$$Z_{even} = 2Z_0' \quad (5)$$

여기서, Z_0' 은 Z_0 을 만들기 위해 요구되는 선폭을 좀 더 증가시켜 만든 것이고, 이는 그림 7의 (b)에 비해 배선 면적을 현저히 감소시킬 수 있다. 또한, 분기 이전의 임피던스 감소폭을 줄임으로써 송신단에 직렬 저항을 삽입할 수 있는 가능성도 그만큼 증가시켜 준다.

그림 10은 제안한 그림 9의 방식을 이용한 결과를 나타낸 것으로 분기점으로부터 수신단까지의 거리는 3인치로 설정하고 시뮬레이션 하였다. 분기 이후의 연결선 임피던스는 65Ω으로 선폭이 5mil이며, 분기 이전의 연결선 임피던스는 45Ω으로 선폭이 12mil로 설계되었다. 파형에서 볼 수 있듯

이, 분기 이후의 연결선들 사이에 전자기적인 결합이 없는 경우가 있는 경우에 비해 신호 왜곡이 더 심함을 알 수 있다. 또한, 임피던스 매칭을 위하여 분기 이전의 연결선 폭을 조절했을 경우가 조절하지 않았을 때 보다 신호 전달 특성이 더 좋음을 알 수 있다. 이 방식은 분기점의 위치 변화와 무관한 신호 전달 특성을 가지며, 일대일 방식과 거의 유사한 신호 특성을 만들 수 있다.

4. 결 론

본 논문에서는 연결선의 분기로 인해 발생하는 신호 전달 특성을 신호 왜곡 및 지연 시간의 관점에서 살펴보았다. 시스템 배선 시 흔히 볼 수 있는 분기점으로 인한 신호 왜곡을 적절하게 고려하지 않을 경우 시스템은 오동작을 일으킬 수 있다. 따라서, 본 논문에서는 다분기 방식에서 분기점이 신호 전달에 미치는 영향을 분석하고 특별히 하나의 송신부가 두개의 수신부를 가지는 가장 흔한 구조에서 신호 특성을 개선하는 방법을 제안하고자 하였다.

먼저, 분기된 연결선의 구조가 대칭일 때와 비대칭일 때를 비교한 후 대칭 구조에서 분기점의 위치가 신호 전달 특성에 미치는 영향을 분석하였다. 특히, 이 과정에서 분기점이 타이밍에 미치는 지연을 간단하게 예측할 수 있는 수식을 제안하였다. 분석의 간략성을 위하여 하나의 송신부와 두개의 수신부를 갖는 배선 구조를 사용하였으며, 임피던스 정합을 위해 송신단에 직렬 저항을 삽입하고 수신단은 개방인 구조를 사용하였다. 이와 같은 구조에서 우모드 임피던스를 이용하여 반사 신호를 효율적으로 제거하는 방법을 제시하였다.

분석을 위한 시뮬레이터로는 HSPICE를 사용하였고, 그림 10의 파형에서 볼 수 있듯이, 분기 이후의 연결선들 사이에 전자기적인 결합이 없는 경우가 있는 경우에 비해 신호 왜곡이 더 심함을 알 수 있었다. 또한, 임피던스 매칭을 위하여 분기 이전의 연결선 폭을 조절했을 경우가 조절하지 않았을 때 보다 신호 전달 특성이 더 좋음을 확인하였다. 이 방식은 분기점의 위치 변화와 무관한 신호 전달 특성을 가지며, 일대일 방식과 거의 유사한 신호 특성을 만들 수 있을 것이다.

결과적으로 본 논문은 분기로 인한 지연 시간을 예측할 수 있는 간단한 수식과 그러한 구조를 배선할 수 있는 설계 가이드 라인을 함께 소개하였고, 제안된 배선 방식은 두 수신단으로 분기하는 특정한 구조를 위한 해결책이기는 하나, 기존의 방식을 적용하기 어려울 때 적은 비용으로 반사 신호를 제거할 수 있는 유용한 해결책임을 보였다.

감사의 글

본 연구는 한국과학재단 특장기초연구(No. R01-2005-000-11215-0(2005))와 숭실대학교 교내연구비의 지원으로 이루어졌습니다.

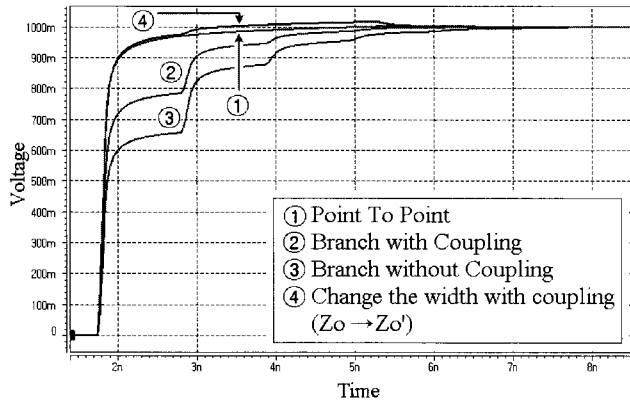


그림 10 제안한 방법의 신호 전달 특성을 보기위한 시뮬레이션 결과

Fig. 10 Simulation results for the proposed method

참 고 문 헌

[1] Brian Young, "Digital Signal Integrity Modeling and Simulation with Interconnects and Packages," Prentice-Hall, 2000, ch. 2.
 [2] Stephen H. Hall, Garrett W. Hall, James A. McCall, "High-Speed Digital System Design," John Wiley & Sons, 2000, ch. 3.
 [3] Eric Bogatin, "Signal Integrity - Simplified," Prentice-Hall, 2004, ch. 7.

저 자 소 개



성 방 현 (成 邦 鉉)

1979년 4월 23일생. 2005년 숭실대 컴퓨터학부 졸업. 2007년 동 대학원 컴퓨터학과 석사과정 졸업.

Tel : 02-813-0682

E-mail : dimesung@hotmail.com



노 경 우 (盧 暻 佑)

1978년 10월 23일생. 2006년 숭실대 컴퓨터학부 졸업. 2008년 동 대학원 컴퓨터학과 석사과정 졸업.



백 종 흠 (白 宗 欽)

1971년 2월 10일생. 1996년 2월 수원대 전자계산학과 학사. 1998년 2월 숭실대 전자계산학과 석사과정 졸업. 2001년 8월 숭실대 컴퓨터학과 박사과정 졸업.



김 석 운 (金 錫 潤)

1958년 8월 12일생. 1980년 서울대 공대 전기공학과 학사. 1990년 University of Texas at Austin 전기, 컴퓨터학과 석사과정 졸업. 1993년 University of Texas at Austin 전기, 컴퓨터학과 박사과정 졸업. 1982년~1987년 한국전자통신연구소 연구원. 1993년~1995년 Motorola Inc., Senior Staff Engineer. 1995년~현재 숭실대 컴퓨터학부 교수.