

FPGA를 이용한 전파천문용 디지털 필터 설계에 관한 기본연구

A Study on the Digital Filter Design for Radio Astronomy Using FPGA

정구영* · 노덕규* · 오세진* · 염재환* · 강용우* · 이창훈* · 정현수* · 김광동*
 Gu-Young Jung* · Duk-Gyoo Roh* · Se-Jin Oh* · Jae-Hwan Yeom* · Yong-Woo Kang* ·
 Chang-Hoon Lee* · Hyun-Soo Chung* · Kwang-Dong Kim*

요약

본 논문에서는 전파천문용으로 사용하기 위한 대칭형 디지털 필터 코어의 설계를 제안한다. 본 논문에서는 Xilinx사의 Virtex-4 SX55 모델의 FPGA칩을 기반으로 한국우주전파관측망(Korean VLBI Network; KVN)의 자료획득시스템에서 요구하는 FIR 필터 코어의 기능을 VHDL 코드로 설계하였다. 본 논문에서 설계한 디지털 필터는 디지털 필터계수를 공유하여 시스템의 효율을 증대시킨 대칭형 구조(Symmetric Structure)를 갖는다. 대칭구조의 디지털 필터(Symmetric FIR Filter Unit; SFFU)는 제한된 시스템 클록을 이용하여 데이터의 처리를 효과적으로 수행하기 위해 병렬처리 방법을 사용한다. 따라서 본 논문에서는 SFFU의 효율적인 설계를 위해 전체적인 IP core의 합성 및 실험에는 통합 합성 소프트웨어 ISE Foundation을 사용하였으며, GUI 환경이 뛰어난 core generator를 활용하였다. 설계한 디지털 필터 코어의 합성 결과, 최대 동작 주파수는 260MHz를 약간 상회하는 수준까지 달성하였으며, 슬라이스, LUT 등의 리소스 사용량은 40%이하임을 확인하였다. 또한 Mentor Graphics사의 Modelsim 6.1a 버전을 이용하여 SFFU(Symmetric FIR Filter Unit)의 시뮬레이션을 수행한 결과, 오류 없이 작동하는 것을 확인하였다. SFFU의 기능을 확인하기 위하여 추가적으로 Matlab을 이용하여 의사 신호를 이용한 시뮬레이션을 수행하였다. 시뮬레이션과 설계한 디지털 FIR 필터의 비교실험결과에서 FIR 필터의 기능을 수행하고 있음을 확인할 수 있어 본 논문에서 FPGA와 VHDL을 이용하여 설계한 대칭구조의 디지털 FIR 필터의 유효성을 확인할 수 있었다.

Abstract

In this paper, we would like to propose the design of symmetric digital filter core in order to use in the radio astronomy. The function of FIR filter core would be designed by VHDL code required at the Data Acquisition System (DAS) of Korean VLBI Network(KVN) based on the FPGA chip of Vertex-4 SX55 model of Xilinx company. The designed digital filter has the symmetric structure to increase the effectiveness of system by sharing the digital filter coefficient. The SFFU(Symmetric FIR Filter Unit) use the parallel processing method to perform the data processing efficiently by using the constrained system clock. In this paper, therefore, for the effective design of SFFU, the Unified Synthesis software ISE Foundation and Core Generator which has excellent GUI environment were used to overall IP core synthesis and experiments. Through the synthesis results of digital filter core, we verified the resource usage is less than 40% such as Slice LUT and achieved the maximum operation frequency is more than 260MHz. We also confirmed the SFFU would be well operated without error according to the SFFU simulation result using the Modelsim 6.1a of Mentor Graphics Company. To verify the function of SFFU, we carried out the additional simulation experiments using the pseudo signal to the Matlab software. From the comparison experimental results of simulation and the designed digital FIR filter, we confirmed the FIR filter was well performed with filter's basic function. So we verified the effectiveness of the designed FIR digital filter with symmetric structure using FPGA and VHDL.

Keywords : Digital Filter, Symmetric FIR Filter Unit, Data Acquisition System, FPGA

* 한국천문연구원 전파천문연구부

논문 번호 : 2007-4-13 접수 일자 : 2007. 9. 12

심사 완료 : 2008. 1. 22

* 본 논문은 한국천문연구원의 2007년도 “한일공동VLBI상
관기 및 수신기 개발” 연구과제의 연구비로 수행되었습니다.

1. 서 론

1980년대를 기점으로 디지털 신호 처리 기술의 비약적인 발전을 거듭하면서 기존의 아날로그 기반의 천문관측

장비들에서 디지털 기반의 천문관측 장비들로 바뀌게 되는 급격한 변화를 맞이하였고, 이를 바탕으로 전파망원경 및 관측 장비들의 성능향상이 이루어져 관측 대상이 다양해질 수 있었으며 더욱 정밀하게 관측할 수 있게 되었다. KVN(Korean VLBI Network) 시스템에는 다주파수 동시관측 수신시스템으로 수신한 여러 주파수의 전파 신호를 적절히 처리하기 위하여 다양한 관측 모드를 지원할 수 있도록 독특한 디지털 신호처리 시스템을 포함하고 있다. 이러한 자료획득시스템(DAS: Data Acquisition System)에는 최대 512MHz 대역폭의 아날로그 입력 신호를 1GspS-2bit로 디지털 신호로 변환하는 고속샘플러(ADS-1000) 4 대를 시작으로 다양한 목적의 관측을 원활히 지원할 수 있도록 256MHz ~ 8MHz 대역까지의 여러 가지 대역으로 디지털 신호를 분할하는 디지털 필터 등이 포함되어 있다[1]. 이 시스템은 최신 디지털 신호 처리 기술이 총체적으로 융합되어 있는 최신형 시스템이며, 기간의 인터페이스는 국제표준규격 VSI(VLBI(Very Long Baseline Interferometry) Standard Interface)[2]를 채택하여 국제적 호환성을 확보하고 있어서, 오래된 VLBI 천문대가 보유한 구형 관측기기를 대체할 후보 중의 하나로 자리 잡게 될 것이다.

KVN의 자료획득시스템은 전체 관측시스템 중에서 VLBI 자료처리를 위한 핵심적인 부분이며, 그 중 디지털 필터뱅크(DFB: Digital Filter Bank)에서는 협대역(Narrow Band) 데이터의 필터링 처리를 수행하고 있다. 현재 KVN에서 채용하고 있는 자료획득시스템의 디지털 필터는 일본국립천문대에서 개발되었으며 세계적으로 그 성능이 입증된 기기이다. 우리 연구원은 이전에 도입된 디지털 필터뱅크의 유지보수와 시스템의 성능개선을 위해 이러한 기능과 성능을 갖추고 있는 디지털 필터 설계 및 제작 기술을 확보할 필요가 있다. 따라서 본 논문에서는 FPGA(Field Programmable Gate Array)와 DSP(Digital Signal Processing)를 활용하는 국내의 우수한 디지털 설계기술을 바탕으로 다양한 대역의 디지털 데이터 처리를 수행할 수 있는 디지털 필터를 설계하고 시뮬레이션을 통한 검증 방법으로 VLBI 데이터처리용 디지털 필터 설계기술을 확보하고자 한다.

본 논문의 구성은 다음과 같다. 2장에서는 일반적인 FIR 필터에 대하여 소개하고, 3장에서는 대칭 구조를 가지고 있는 Symmetric FIR 필터에 대해서 기술하였으며, 4장에서는 FIR 필터코어에 대한 VHDL(VHSIC(Very High Speed Integrated Circuit) Hardware Description Language) 설계에 대한 구성을, 5장에서는 Matlab을 이용한 성능평가 실험에 대해 소개한다. 마지막으로 6장에서 결론을 맺는다.

II. 디지털 FIR 필터

디지털 필터는 아날로그 필터와 비교하여 정밀도, 유연

성, 재현성, 안정성, 다중성, 그리고 경제성 등의 측면에서 많은 장점을 갖고 있다. 이와 반면에 비교적 낮은 차수의 필터를 구성하거나 가변성이나 유연성이 그다지 필요하지 않은 경우에는 디지털 방식의 필터가 갖는 장점이 아날로그 방식의 필터에 비해 크게 부각되지 않는다. 또한 아날로그 신호 처리에 비해 필연적으로 도입되는 A/D(Analog to Digital)변환에서 입력 신호의 양자화, 필터링 처리 시 승산 계수의 양자화 등으로 인한 유한 어장(finite word length) 효과로 인하여 원하지 않는 잡음이 추가되고 결과적으로 신호 대 잡음비를 감소시키게 되는 단점이 있다.

아날로그 필터가 저항기(R), 유도기(L), 축전기(C)로 구성되는 것에 비해 디지털 필터는 승산기, 가산기, 지연기로 구성되며, 그 구조에 따라 무한 임펄스 응답형(IIR; Infinite Impulse Response) 필터와 유한 임펄스 응답형(FIR; Finite Impulse Response) 필터로 구분된다. 여기서 시간에 대해 안정적인 응답특성을 갖고, 모든 대역에 걸쳐 주파수특성이 안정적이며 위상특성이 왜곡되지 않고 선형으로 유지되는 FIR 필터를 사용하는 것이 일반적이다.

FIR 필터에서 tap 길이의 제한에 의해 구형 형태의 대역통과 응답을 완전하게 필터로 구현하는 것은 불가능하다. 따라서 FIR 디지털 필터는 다음의 식 (1)과 같이 표현할 수 있다[3].

$$y(n) = \sum_{i=0}^{N-1} h(i) * x(n-i) \quad (1)$$

여기서, $x(n)$ 은 입력 신호의 디지털 파형을 나타내며 zero-mean Gaussian 랜덤 변수이고, $y(n)$ 은 FIR 필터로부터의 출력신호를 나타낸다. 그리고 $h(n)$ 은 N tap 길이를 가지는 FIR 필터함수이다. FIR 필터의 크기는 tap 길이와 tap 계수의 word length에 직접적으로 의존한다. 따라서 FIR 필터를 개발하기 위해서는 이러한 파라미터를 잘 정의하는 것이 중요한 부분이다.

그림 1은 N-shift register로 표현되는 FIR 필터의 구성을 나타낸 것이다.

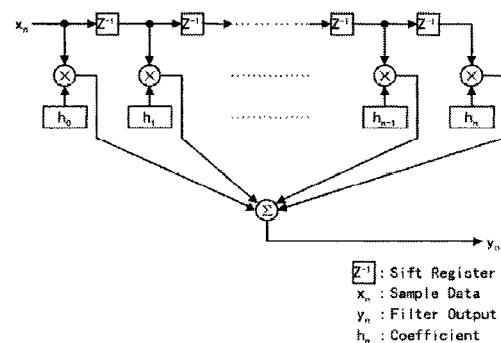


그림 1. N-shifter register FIR filter의 구성.

Fig. 1. Configuration of N-shifter register FIR filter.

디지털 필터는 디지털 신호처리용 IC를 기반으로 구성되기 때문에 그 처리속도에 한계가 있어서 처리 가능한 최고 주파수 즉 최대 대역폭이 제한되는 단점이 있다. 이러한 점은 최신 디지털 IC 관련 기술의 진보 속도가 매우 빨라 지속적인 증속이 진행되고 있으나, 디지털 신호 처리용 IC의 클록(clock)이 수백 MHz인 현재 시점에서 GHz이상의 대역폭이 필요할 경우 근본적으로 디지털 시스템 설계자들에게 새로운 접근을 요구하게 된다. 이와 같은 한계점은 고속 신호를 여러 가지의 저속 신호들로 병렬화 함으로써 해결할 수 있으나, 신호를 분할하기 때문에 발생하는 문제점을 보완하기 위해 다소 복잡한 처리를 수행해야 하는 문제가 있다. KVN의 자료획득 시스템에서 입력 신호는 1GspS(Sample/sec)-2bit로서 단순한 직렬 방식으로는 처리가 불가능하기 때문에 1/16으로 분할하는 병렬처리를 수행한다. 1/16은 처리속도와 관련된 문제뿐만 아니라 입력 대역폭 대비 출력 대역폭의 비율과도 관련하여 선택한 분할 비율이다.

따라서 식 (1)에 병렬처리 방법을 도입하면, 다음과 같이 나타낼 수 있다.

$$y(n) = \sum_{k=0}^{15} \sum_{j=0}^{N/16-1} h(16j+k) * x[n - (16j+k)] \quad (2)$$

식 (2)는 데이터 입력에 대해 16개의 병렬처리로 수행할 수 있는 동등한 디지털 필터를 표현한 것이다.

여기서 $i = 16j + k$ 이고, $k (= c)$ 라고 하면 식 (2)는 다음의 식 (3)과 같이 표현할 수 있다.

$$\sum h(16j+c) * x[n - (16j+c)] = \sum h(m) * x(n-m) \quad (3)$$

식 (3)에서 $m = 16j + c$ 라면, 식 (3)은 식 (1)의 디지털 필터와 동일한 모습임을 알 수 있다. 이 필터의 길이는 $N/16$, $x[n - (16j+c)]$ 은 병렬라인의 각 전송스트림(stream)에서의 입력 데이터를 나타낸다. 병렬 데이터를 입력으로 하면 직렬 데이터 입력보다 높은 속도의 데이터 입력에 대한 필터 연산이 가능하다. 따라서 일본국립천문대의 VERA(VLBI Exploration of Radio Astrometry)에서는 1,024 Mbps의 입력 데이터에 대한 FIR 필터링을 하기 위하여 16개의 병렬 FIR 필터를 사용하고 있다. 표 1에 본 논문에서 구현하고자 하는 디지털 필터의 기본적인 사양에 대해 나타내었다. 그림 2는 16개의 병렬처리 FIR 필터의 구성을 나타낸 것이다.

표 1. 구현하고자 하는 디지털 필터의 기본적인 사양.

Table 1. Basic specification of digital filter.

Filter Type	FIR Filter
Input Bandwidth	512MHz
Bit number of Input	2bit
Clock	64MHz
Tap number of Filter	512
Bit number of tap coefficient	18bit
Bit number of output	20bit

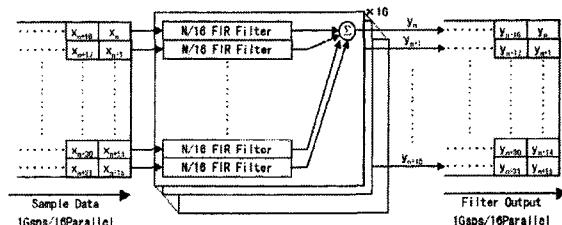


그림 2. 16 병렬처리 FIR Filter의 구성.

Fig. 2. Configuration of parallel processing FIR filter.

앞에서 설명한 경우는 입력 데이터와 출력 데이터 비율이 동일한 경우이다. VLBI에서 표준 데이터 기록속도는 128Mbps(일반적으로 64 Msps, 2bit)이므로, 1/16의 down sampling이 필요하다. 식 (1)에서 $y(n)$ 은 N 개의 연속 샘플인 $x(n) \cdot x(N-1)$ 으로부터 계산되며, 다음과 같이 표현할 수 있다.

$$\begin{aligned} y(n) &\leq \{x(n), x(n-1), \dots, x(n-N+1)\} \\ y(n+1) &\leq \{x(n+1), x(n), \dots, x(n-N+2)\} \\ y(n+2) &\leq \{x(n+2), x(n+1), \dots, x(n-N+3)\} \end{aligned} \quad (4)$$

따라서 1/16 down sampling은 16 samples에 의해 $y(n)$ 의 값을 줄여서 구현된다. 이 경우, 위상차가 있는 $y(n+1)$ 에서 $y(n+15)$ 의 데이터는 무시하거나 대역 결합 등 다른 용도로 활용할 수 있다.

그림 2의 필터구조를 FIR 필터의 병렬처리 구조으로 표현한 것을 그림 3에 나타내었다.

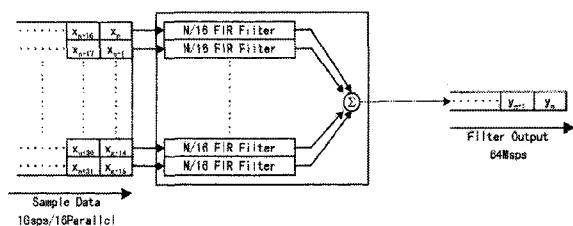


그림 3. 16 병렬처리 Giga-bit FIR Filter의 기본 구성.

Fig. 3. Basic configuration of parallel processing Giga-bit FIR filter.

III. Symmetric FIR 필터의 구성

앞에서 설명한 FIR 필터는 필터의 구조를 대칭형(Symmetric)으로 구성하여 입력된 데이터를 다시 사용할 수 있는 구조로 표현할 경우 필터의 계수 값을 줄여서 사용할 수 있다[5].

따라서 식(2)를 다음과 같이 나타낼 수 있다.

$$y(16m) = \sum_{k=0}^{15} \sum_{j=0}^{N/16-1} h(16j+k) * x[16m - (16j+k)] \quad (5)$$

여기서, $n = 16m$ 이다.

짝수(even) 대칭응답을 갖는 FIR 필터함수는 tap의 수가 짝수(even)이며, 다음 관계를 갖는다.

$$h(N-1-i) = h(i) \quad (6)$$

식(6)의 관계로부터 식(1)의 디지털 FIR 필터는 다음과 같이 고쳐 쓸 수 있다.

$$y(n) = \sum_{i=0}^{N/2-1} h(i) * \{x(n-i) + x[n-(N-1-i)]\} \quad (7)$$

그림 4는 식(7)의 기본적인 대칭구조를 가지는 FIR 필터의 기본 구성을 나타낸 것이다. 만약 필터의 길이가 긴 경우, 이것을 실현하기 위해서는 그림 4의 대칭구조 FIR 필터를 직렬로 연결하여 구현하는 것이 가능하며, 이러한 구조를 SFFU(Symmetric FIR Filter Unit)이라고 한다[3].

16 병렬처리 SFFU의 경우, 식(7)은 다음과 같이 바꿔 쓸 수 있다.

$$y(16m) = \sum_{k=0}^{15} \sum_{j=0}^{N/32-1} \{h(16j+k) * [x(16m-16j-k) + x(16m-N+16j+k+1)]\} \quad (8)$$

본 논문에서는 기본적인 디지털 FIR 필터설계 기술을 확보하기 위해, 현재 KVN에서 도입한 자료획득시스템(DAS)에서 채용하고 있는 디지털 필터 뱅크와 동등하게 16 병렬처리가 가능하며 사용한 리소스와 비교하여 시스템의 성능을 극대화할 수 있는 대칭구조 디지털 FIR 필터를 설계하였다.

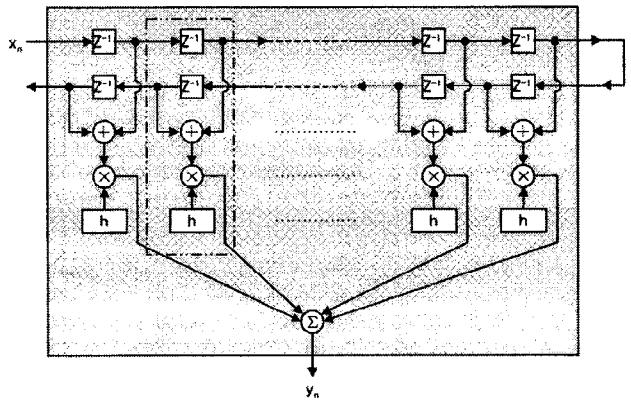


그림 4. Symmetric FIR Filter의 기본 구성.
Fig. 4. Basic configuration of Symmetric FIR filter.

IV. 필터 core의 VHDL 설계

FIR 필터를 FPGA로 설계하기 위해서는 VHDL 또는 Verilog로 설계하는 경우가 일반적이다. 그 외에도 IC 회로 설계(Schematic Design) 방법이 있지만 시스템 구성의 크기가 방대하고 복잡한 로직을 설계하는 경우에는 어려움이 따르기 때문에 최근에는 잘 사용하지 않는 방법이다. 본 논문에서는 널리 사용되고 있는 VHDL을 이용하여 디지털 FIR 필터를 설계하였다. FPGA로 FIR 필터를 설계할 때 승산기(multiplier)와 가산기(adder)를 설계하는 방법 중, IP core를 사용하는 방법은 합성 후 FPGA로 구현할 때 하드웨어 리소스 및 동작 속도 등에 대한 효율을 보장받을 수 있는 장점이 있다.

따라서 본 논문에서는 입력 데이터와 필터 계수와의 승산기와 누적 가산기에 대한 부분을 Xilinx사의 DSP48 block을 사용하여 설계하였으며, 그 기본적인 구성은 그림 5에 나타내었다.

그림 6은 대칭형 FIR 필터 core의 기본 구성을 보여주고 있다. 그림 6에서 먼저 기본적인 실험 및 시뮬레이션을 수행하기 위한 데이터를 저장하고 있는 VSLI_Data_ROM(Read Only Memory)이 있고 ROM에서 데이터를 필터로 입력하기 위해서는 ROM에서 address를 입력해 주어야 하기 때문에 add_gen(address_generator) block이 함께 구성되어 있다. 입력 데이터는 FIR 필터의 입력이 2bit이므로 ROM의 데이터 출력 버스도 2bit로 구성하였다. 입력되는 데이터는 먼저 SFFU_1의 입력으로 들어가고 SFFU_2를 거쳐 SFFU_16까지 필터 연산을 위한 데이터로 활용된다. 또한 필터의 계수 값을 저장하고 있는 coeffi_ROM도 유사한 형태로 필터 계수를 저장하고 있는 ROM과 add_gen가 구성되어 있다. 필터 계수 값을 각 SFFU_#에 전달하고 상태를 유지하기 위하여 coeffi_dmx를 설계하여 순차적으로 필터의 order에 따라 각 SFFU_# 블록에 16개의 필터 계수 값을 전달하도록 설계하였다.

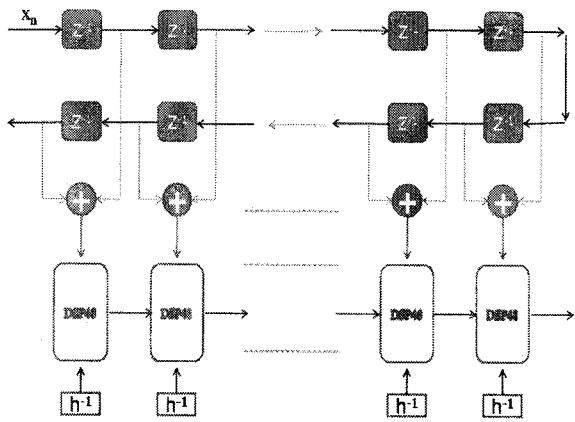


그림 5. DSP48 block을 이용한 대칭형 FIR 필터 core의 기본 구성도.

Fig. 5. Basic diagram of symmetric FIR filter using the DSP48 block.

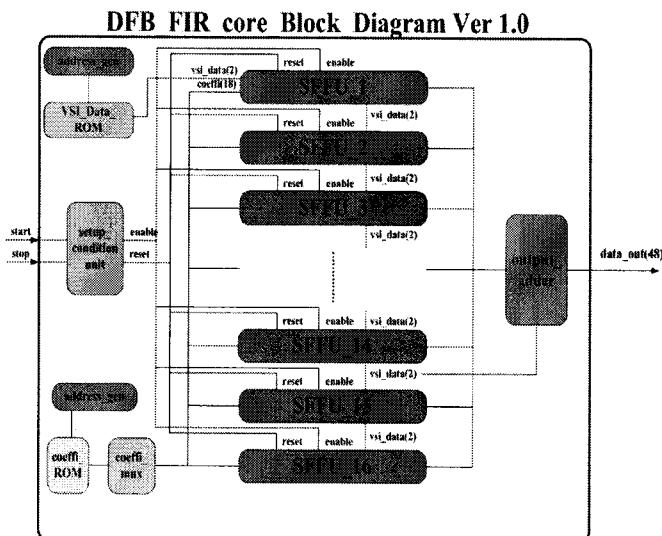


그림 6. 대칭형 FIR Filter core.

Fig. 6 Symmetric FIR filter core.

그리고 각 유닛의 초기화를 위한 reset 신호 및 core의 시작과 종료를 알려주는 신호인 'start', 'stop' 신호를 사용하였다. reset 신호에 따라 전체 시스템의 초기화와 프로세스의 동작 및 상태와 관련된 제어 신호를 생성해 주는 setup_condition unit을 설계하여 reset, 필터 계수의 input, unit start & stop, 그리고 enable 신호를 각 SFFU #와 서브 블록들에게 보내줄 수 있도록 설계하였다. 마지막으로 필터링 된 데이터를 전달 받아 최종적인 데이터를 출력하여 줄 수 있도록 output_adder를 두어 필터 연산의 결과를 출력할 수 있도록 설계 하였다. 그림 7은 그림 5와 6에서 나타낸 디지털 필터 코어의 구성과 각 신호 라인들에 대해 제어 신호를 포함한 데이터 신호 선들에 대하여 상세하게 나타낸 것이다.

4.1 Delay Register & Adder Block

입력 데이터의 2bit은 판측된 아날로그 신호를 KVN에서 사용하고 있는 고속샘플러(ADS-1000)에 의해 2bit로 샘플링 된 디지털 데이터를 전달받기 때문에 2bit의 입력으로 설정하였다. 이때 2bit은 데이터 value가 아닌 code 값으로 존재하기 때문에 이를 변환하여 주는 과정이 필요하다. 2bit으로 된 데이터가 표현할 수 있는 경우는 모두 2^2 의 4가지로서 이 값은 표 2에 나타내었다.

표 2. 입력 데이터 코드.

Tale 2. Input data code.

code	value
00	+3
01	+1
10	-1
11	-3

Symmetric FIR 필터는 입력된 데이터를 2번 사용하게 되고 2개의 데이터를 가산하는 과정이 추가적으로 구성되므로 데이터의 값을 더하는 adder에서는 code의 값이 아닌 value값으로 연산이 수행되어야 한다. 본 논문에서는 LUT(Look-Up Table) 방식으로 adder 블록에서 mapping 하는 형식으로 설계하였다. 표 3은 2개의 입력된 데이터가 더해진 경우에 대한 value를 표현한 것이고, 표 4는 value에 대한 signed bit로 표현된 데이터를 LUT 형식으로 표현한 것이다. 더해진 데이터 값들은 모두 7개의 상태를 표시하고 있고 +/-를 가지고 있으므로 4개의 bit로 표현하게 된다. MSB(Most Significant Bit)는 +/-를 표시하여 '0'인 경우는 '+', '1'인 경우는 '-'를 나타내고 있다. 나머지 3bit은 2의 보수 형태로 데이터를 표현하고 있다.

표 3. input_A와 input_B data 값.

Table 3. Value of input_A and input_B.

		input_B			
		00	01	10	11
input_A	00	+6	+4	+2	0
	01	+4	+2	0	-2
	10	+2	0	-2	-4
	11	0	-2	-4	-6

표 4. input_A와 input_B data값에 대한 signed bit LUT.

Table 4. Signed bit LUT according to the value of input_A and input_B.

		input_B			
		00	01	10	11
input_A	00	0110	0100	0010	0000
	01	0100	0010	0000	1110
	10	0010	0000	1110	1100
	11	0000	1110	1100	1010

위치한 reg_2와 add_sub_1의 입력으로 들어가게 된다. 따라서 일정 시간 지연의 기능을 하는 register는 1개의 입력과 2개의 출력 팬(fan)을 가지고 있다. reg_2의 출력도 sub_adder_2와 reg_3의 입력신호로 입력된다. 앞의 과정을 16번을 거치게 되면 첫 번째 데이터는 대칭형 구조로 설계한 register의 마지막인 32번째 블록의 입력으로 들어가게 된다. reg_17의 출력은 reg_18과 sub_adder_16의

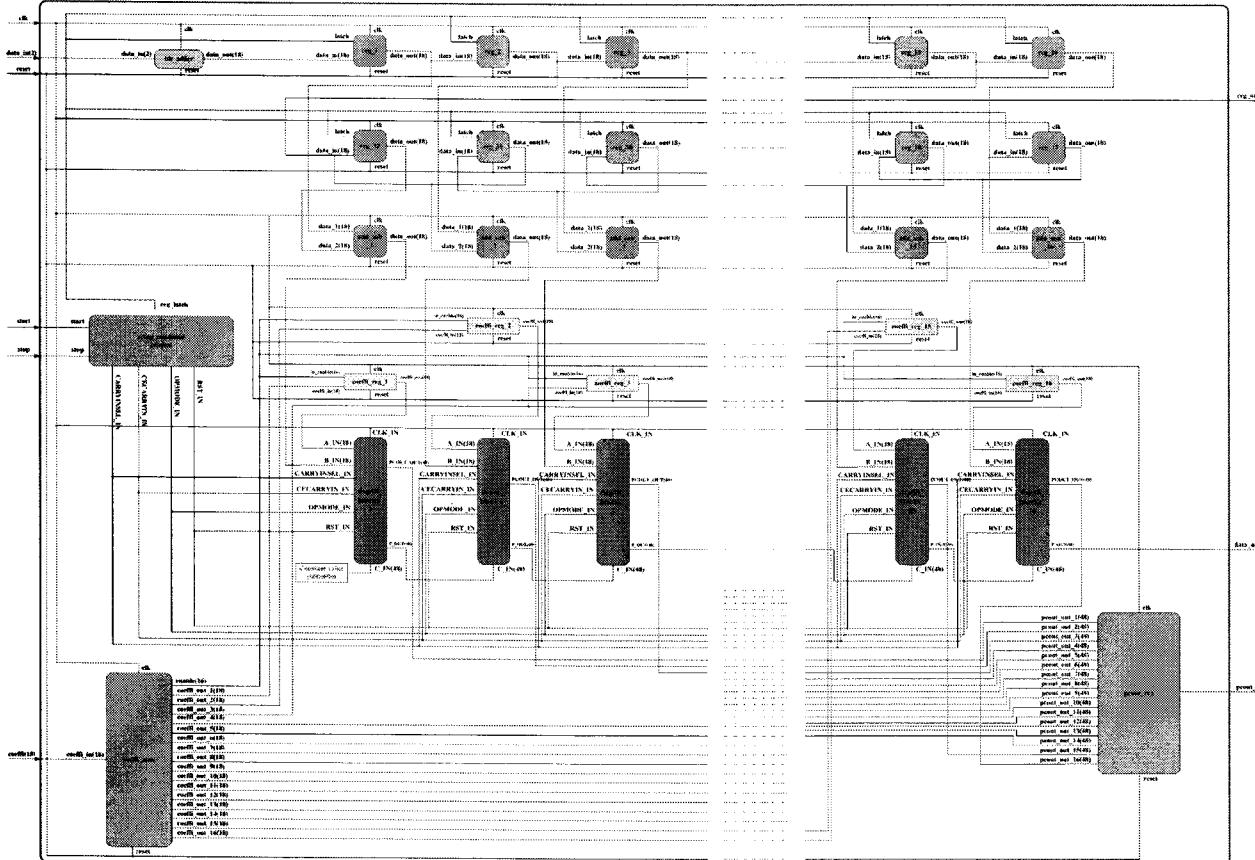


그림 7. SFFU(Symmetric FIR Filter Unit) 기본 구성에 대한 상세 설계도.

Fig. 7. Detail design according to the SFFU(Symmetric FIR Filter Unit) basic configuration.

FIR 필터 연산을 수행하기 전에 가장 먼저 초기화 과정을 수행해야 한다. 디지털 시스템을 사용할 경우 초기화 과정은 데이터의 신뢰성을 높여주기 위해 사용되며, 특히 FPGA를 사용하는 경우에는 FF(Flip-Flop)과 Register를 사용하므로 더욱 필요한 과정이다.

초기화는 모든 register 및 counter를 구성하는 FF, RAM(Random-Access Memory)과 같은 구성 요소를 설계자가 지정한 값으로 설정하게 된다. 본 논문에서는 DSP48 slices를 제외한 다른 register들은 모두 '0' 값으로 설정하도록 설계하였다. 필터 연산을 위한 입력 데이터들의 신호 흐름은 그림 8에 나타내었으며, 간략히 기능적인 신호 흐름을 요약하면 다음과 같다.

먼저 ROM에서 출력된 데이터는 일정시간(1 clock)의 지연(delay)을 가지는 reg(register)_1을 거치게 되고 옆에

입력이 된다. add_sub_#에서는 입력되는 데이터에 대해서 앞장에서 설명한 것과 같이 데이터의 코드를 mapping하게 되고 출력 데이터를 LUT에서 결정하게 된다. add_sub_1의 출력 데이터는 DSP48_blocks_1의 b_in으로 입력되어 필터 연산을 수행하게 된다. add_sub_# block의 경우 입력은 2bit의 크기를 가지는 A, B 2개의 입력 팬과, 4bit의 크기를 가지는 출력 팬 1개로 구성되어 있다. 4bit의 출력은 앞에서 설명한 것과 같이 7개의 value를 signed bit로 표현하기 위하여 4bit의 출력을 가지고 있다.

이때 초기화를 위한 reset 신호와 start, stop 기능으로부터 결정되는 latch 신호는 reg_# 블록들의 데이터의 출력에 대한 제어 기능을 가지고 있으며, 그 값이 '1'일 때만 데이터 출력이 가능하다.

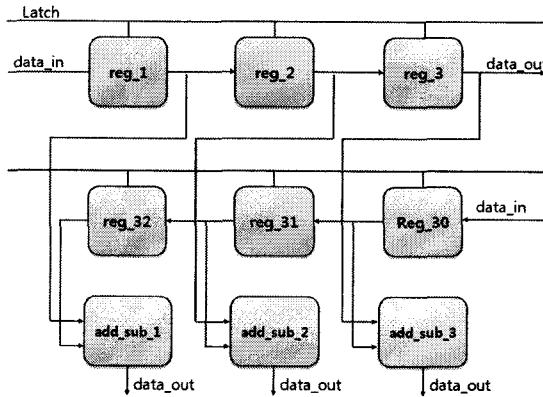


그림 8. 지역 레지스터와 add_sub 블록.

Fig. 8. Delay register & add_sub blocks.

4.2 Data ROM & Coefficient ROM, Coeffi_mux

초기화 작업이 끝난 후에는 필터 연산을 위한 필터 계수(coefficient)값을 DSP48 block에 입력 시켜주는 과정을 수행한다. 계수 값들은 앞에서 설명한 것과 같이 ROM에 저장되어 있고 ROM은 18 bit X 256의 크기를 가지고 있으며, add_gen에서 address를 지정하여 주면 지정된 주소에 있는 계수 값을 출력시키고 이 계수 값들은 지정된 coeffi_mux에 의하여 해당되는 SFFU 블록의 입력으로 들어가게 된다. 각 SFFU에서는 16개의 필터 계수 값들이 입력되고, DSP48 block의 A_IN 입력으로 SFFU에 데이터가 들어가게 된다.

add_gen의 경우 ROM의 address는 데이터의 depth에 따라 결정된다. depth는 얼마만큼의 데이터를 저장 할 것인가 하는 것으로, coeffi_ROM의 경우에는 256개의 필터 계수를 저장하고 있으므로 2^8 개이고, 8 bit로 ROM의 주소를 지정할 수 있다. 따라서 add_gen은 초기화할 때는 add_gen의 카운트를 '0'으로 초기화되고 enable 신호를 시작으로 256개를 카운트하여 순차적으로 필터 계수 값을 출력하게 된다. VSI data를 저장하고 있는 ROM의 경우는 실험 데이터의 크기에 따라 가변적으로 바뀔 수 있으므로 데이터를 변경할 때마다 그 크기를 바꾸어 크기를 결정하고, add_gen의 카운트 값도 그에 따라 변경되게 된다.

그림 9는 필터 계수의 처리를 위한 Coeffi_mux를 나타낸 것이다. 그림 9에 나타낸 것과 같이 Coeffi_mux는 ROM의 버스 선이 각 DSP48 block으로 연결될 경우 BUS 값이 변경될 때마다 DSP48 block으로 들어가는 값들도 영향을 미치므로 하나의 BUS에서 각 DSP48 block으로 들어가는 버스들을 분리 시켜주는 역할을 한다. 기본적인 동작은 add_gen과 함께 카운트를 시작하여 256개의 필터 계수 값을 SFFU에 각각 16개씩의 필터 계수 값을 전달하여 준다. 각 SFFU에서는 입력받은 필터 계수 값을 다시 DSP48 block의 입력으로 들어가며, 필터 계수 값을 유지하기 위하여 register를 거쳐서 시스템의 초기화 혹은 필터 계수 값의 변경이 이루어지

지 않는 동안에는 항상 동일한 필터 계수 값을 유지하게 된다.

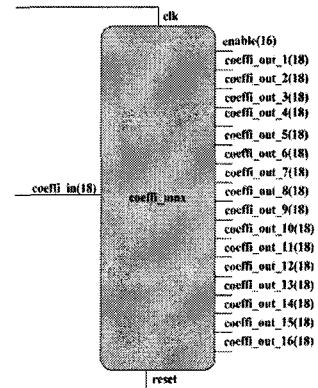


그림 9. coeffi_mux의 기본 구성도.

Fig. 9. Basic configuration of coeffi_mux.

4.3 DSP48 Blocks

DSP48_block은 FPGA의 제조업체인 Xilinx에서 제공하여 주는 IP(Intellectual Property) core로써 필터를 효율적이고 능률적으로 설계할 수 있는 기능을 제공하고 있다. 본 논문에서 사용된 FPGA는 Virtex-4 SX55로써 DSP48 block(DSP48 Slice, eXtream DSP)가 총 512개가 내장되어 있다. 기본적인 SFFU를 구현하기 위해 256개의 DSP48_block을 사용하여 512 tap을 가지는 대칭형 구조의 FIR 필터를 설계 하였다. DSP48 block을 이용할 경우 기존의 DSP를 통한 필터의 설계보다 다양한 방면의 성능에서 우수한 필터를 설계할 수 있는 기능을 가지고 있다. 즉, FPGA 내부에 DSP 블록이 구성되어 있어 외부의 다른 DSP 칩을 사용할 필요가 없기 때문이다. 또한 DSP와 같은 경우에는 병렬처리를 위한 필터 설계를 할 경우 여러 번의 동작 주기(machine cycle)를 반복 수행하는 것에 반해 FPGA 내부의 DSP48 block을 이용할 경우 보다 짧은 주기의 병렬처리 필터를 설계할 수 있으며, 하드웨어적인 구조에서도 보다 많은 MAC(Multiply and Accumulate)를 가지고 있기 때문에 본 논문에서는 외장 DSP 칩보다 DSP48 block을 포함하고 있는 FPGA를 사용하여 FIR 필터를 설계하였다.

Xilinx FPGA 및 DSP48_block을 사용하기 위해서는 Xilinx 소프트웨어 중에서 ISE Foundation이라는 통합 환경 개발 소프트웨어를 사용하여야 하며, 이 중에서 Core generator는 DSP48 block에 대한 user define 등의 기능을 제공하고 있다. Core generator는 GUI wizard를 제공하여 사용자가 좀 더 쉽고 편리하게 구현하고자 하는 기능을 설계 할 수 있도록 도와주고 있다. 그림 10에 DSP48 block을 위한 Core generator의 GUI wizard 모습을 나타내었다. 그림에 나와 있듯이 두 개의 입력 A와 B에 대한 승산기와 외부 입력 C, PCIN을 OPMODE로 선택 할 수 있는 가산기가 포함되어 있어 디지털 필터를 구현하기에 적합함을 쉽게 확인 할 수가 있다.

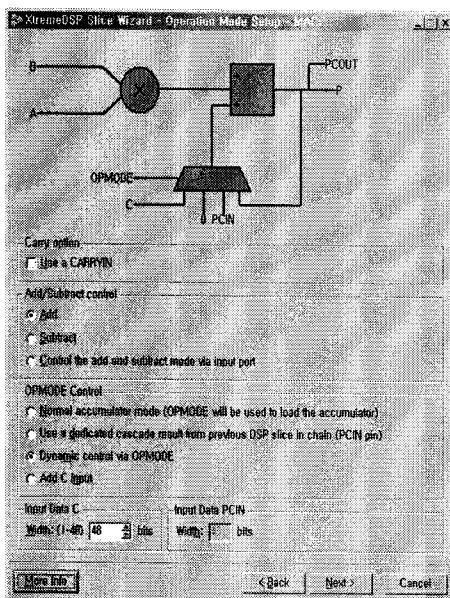


그림 10. DSP48 block을 위한 core generator.

Fig. 10. Core generator for DSP48 block.

DSP48 block은 필터 계수에 대한 입력 A_IN 포트와 필터 연산을 위한 입력 B_IN 포트를 가지고 있으며, 필터링 된 결과 값의 누적 가산을 위하여 이전 DSP48 block에서 출력되는 데이터를 입력으로 받기위한 입력 C_IN 포트가 있다. 또한 register 및 mux, multiplier에 대한 초기값을 설정하기 위한 rst_in, 그리고 동기 동작을 위한 CLK_IN, carry 입력에 대한 설정을 하기 위한 CARRYINSEL_IN, carry 입력을 받기 위한 CARRYIN_IN, 그리고 DSP48 block이 연산을 하기 위하여 모드를 설정하여 주는 OPMODE_IN 등의 입력 포트가 존재한다.

본 논문에서는 DSP48 block이 연산하는 동작은 $[(A \times B) + C]_{\text{IN}}$ 의 모드로 설정하였다. 따라서 OPMODE_IN에 대한 입력 값으로는 “0110101b”로 설정하였으며, 첫 번째 DSP48 block은 이전의 필터 연산 결과가 없으므로 C_IN 입력에 대하여 ‘0’ 값으로 입력을 설정하였다.

DSP48 block에서 연산되고 누적 연산된 결과들은 모두 output_reg의 입력이 되어 출력되게 된다.

4.4 FPGA 합성(Synthesis) 결과

본 논문에서 설계한 디지털 FIR 필터의 유효성을 확인하기 위해 우선 FPGA의 시뮬레이션과 RTL(Register-Transfer Level) 합성을 수행하였으며, 그 결과는 다음과 같다. FPGA의 최대 동작 주파수는 263.051 MHz이고, 슬라이스(slice), LUT(Look-Up Table), 등의 리소스(resource)는 40% 이하의 사용률로 결과를 확인하였다. 그림 11은 Xilinx의 ISE Foundation 9.1i에서

합성된 결과 중 리소스 사용량에 대한 요약정리를 나타내었다. 그림 12는 대칭형 FIR 필터 코어의 대한 VHDL 코드의 합성 후 RTL의 회로(netlist) 결과를 나타내었으며, 그림 13은 SFFU의 합성에 대한 RTL 회로의 결과를 나타내었다.

그림 12의 RTL 회로는 필터 core의 합성된 결과로써, 그림의 왼쪽에서부터 address를 발생시키기 위한 카운터 블록들과 VSI data와 필터 계수를 저장하고 있는 각각의 ROM 블록, 그리고 SFFU_1부터 SFFU_16번까지의 블록들 그리고 맨 오른쪽에는 필터링 된 데이터들에 대한 누적 가산기 역할을 하고 있는 블록이 위치하고 있다. 그림의 중앙 쪽에 있는 각 SFFU 블록들의 net 연결에서는 VSI data가 전달되는 net를 눈으로 확인 할 수 있다.

그림 13은 SFFU_1에 대한 RTL 회로의 그림으로서 reg#, add_sub#, dsp48_blocks#, coeffi_mux와 coeffi_reg 블록들이 위치하고 있으며 필터링 된 데이터들을 누적 가산하여 출력하여 주는 블록이 그림의 오른쪽에 위치하고 있다. dsp48_blocks들은 VSI data와 필터 계수 값을 곱한 결과 값들이 다음의 블록으로 입력되어 누적 가산되는 net가 나타나고 있다.

Device utilization summary:

Selected Device : 4vsx55ff1148-10

Number of Slices:	10651	out of	24576	43%
Number of Slice F/F:	17150	out of	49152	34%
Number of 4 input LUTs:	9266	out of	49152	18%
Number of IOs:	73			
Number of bonded IOBs:	73	out of	640	11%
Number of GCLKs:	1	out of	32	3%
Number of DSP48s:	256	out of	512	50%

그림 11. FPGA의 RTL 합성에 대한 결과 중 요약정리

Fig. 11. Summary of RTL synthesis result of FPGA.

합성된 필터 core에 대한 시뮬레이션은 Mentor Graphics사의 Modelsim 6.1a 버전에서 수행하였고 시뮬레이션은 1ps 단위의 time step에서 20ns 정도의 시간동안 시뮬레이션을 수행하였다. 시뮬레이션의 결과는 각 블록들에 대한 입/출력 단자들이 방대한 양을 가지고 있기 때문에 모두 표시하는 것은 불가능하다. 따라서 그림 14는 시뮬레이션에 대한 결과 중 초기화와 프로세스의 시작부터 VSI data, 필터 계수 값들의 대한 흐름을 확인할 수 있는 0~15us 구간에 대한 결과를 나타낸 것이다. 그림 14의 X축은 동작의 기준이 되는 클록과 초기화를 위한 reset 신호, 그리고 프로세스의 시작과 끝을 알려주는 start, stop 신호들이 보여 지고 있다. 그 외에 VSI data와 필터 계수값들이 각 SFFU_#의 입력으로 들어가는 신호의 흐름을 확인할 수 있다.

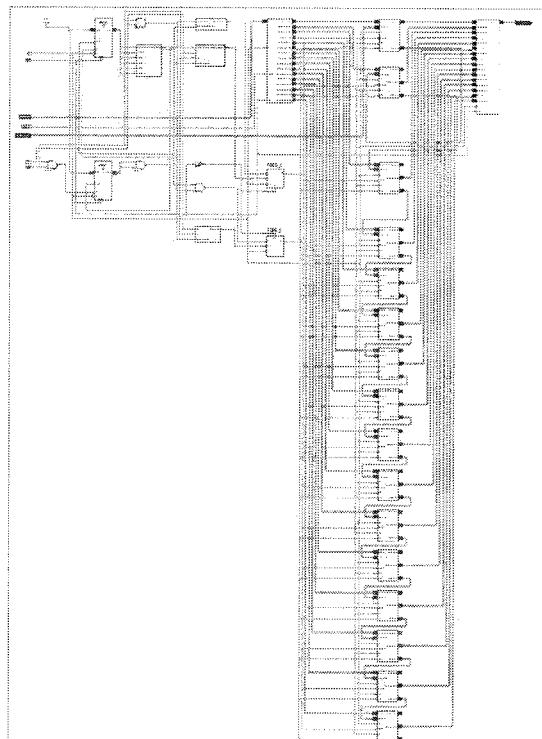


그림 12. Symmetric FIR 필터 코어 RTL 합성 결과.
Fig. 12. RTL synthesis result of Symmetric FIR filter core.

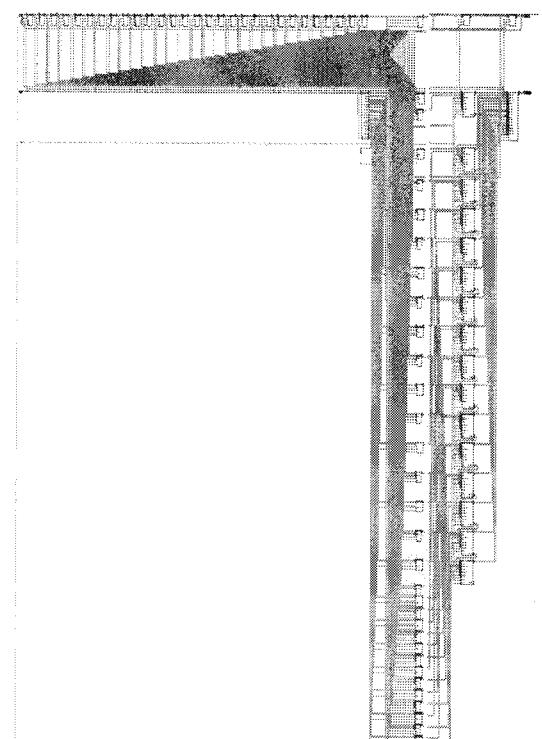


그림 13. SFFU RTL 합성 결과.
Fig. 13. SFFU RTL synthesis result.

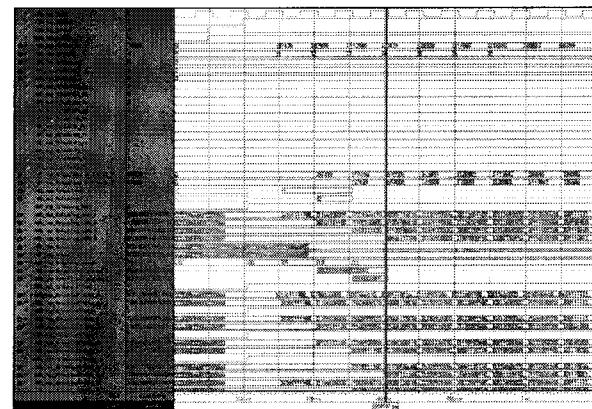


그림 14. SFFU 기능적인 시뮬레이션 결과.
Fig. 14. Functional simulation result of SFFU.

V. Matlab을 이용한 실험 및 결과

본 논문에서 설계한 디지털 FIR 필터의 유효성을 확인하기 위해 시뮬레이션 소프트웨어인 Matlab을 이용하여 실험을 수행하였다[6]. 시뮬레이션 실험에 사용된 샘플 데이터는 Matlab으로 생성한 Impulse Function, Sine Wave, Random Noise 신호를 사용하였으며, 필터 계수의 경우 KVN DAS의 디지털 필터에 적용 가능한 필터 계수로써 128MHz부터 256MHz 대역을 통과 주파수로 하는 1024 order의 필터 계수를 사용하였다. 그림 15는 필터 계수를 그래프로 나타낸 것이다.

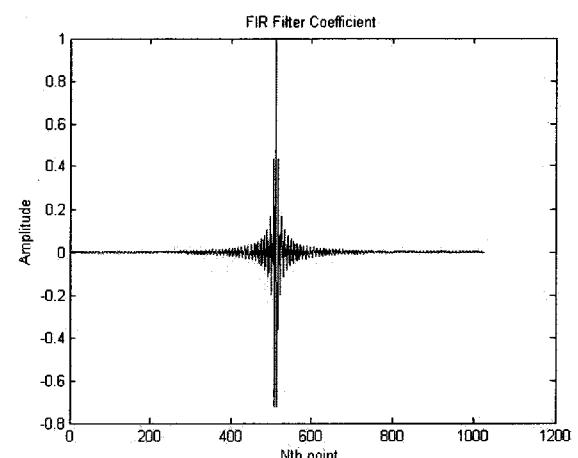
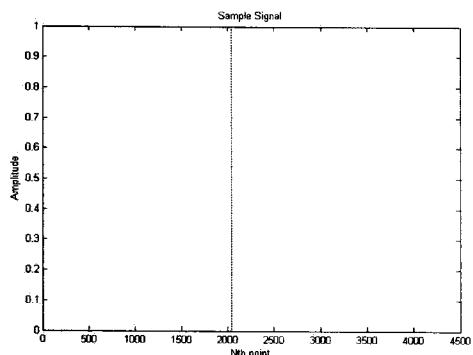


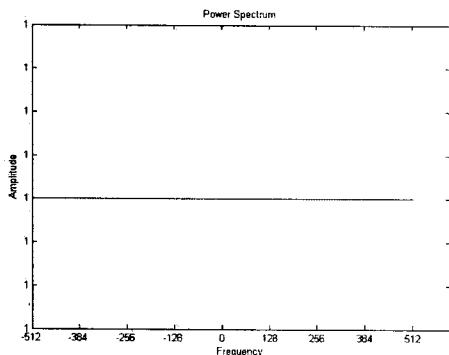
그림 15. FIR 필터 coefficient 1024-order
Fig. 15. FIR filter coefficient 1024-order.

우선 Impulse Function에 대한 실험결과를 그림 16에 나타내었다. 그림 16의 (a)는 Impulse Function 신호를 나타낸 것이고, (b)는 Impulse Function의 Power Spectrum, (c)는 그림 15의 필터 계수 값을 적용하여 필터링 한 신호를 나타낸 것이며, 마지막으로 (d)는 필터링 된 신호에 대한 Power Spectrum을 각각 나타낸 것이다. 그림 16의 (b)와 (d)에는 표현의 편의상 양의 주파수 응

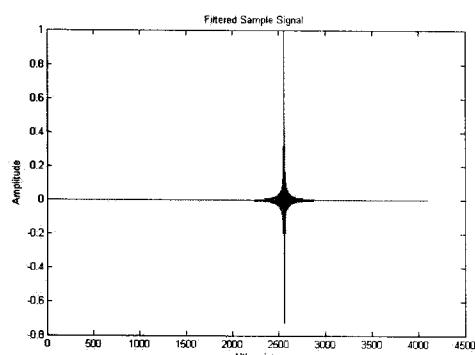
답뿐만 아니라 음의 주파수 응답도 함께 나타내었다. 세로축의 스케일은 큰 의미가 없어서 따로 Calibration하지 않았으며 시뮬레이션 시에 만들어진 수치를 그대로 사용하였으므로, 그래프의 모양만 읽으면 된다. 당연한 결과이지만, 그림 16(c)는 Impulse Function과 필터 계수의 콜볼루션인 응답함수를 함께 잘 표현되어 있으며, 그림 16(d)는 이 필터 계수로 형성되는 128MHz부터 256MHz까지의 대역통과 필터 주파수 응답함수를 나타낸 것이다.



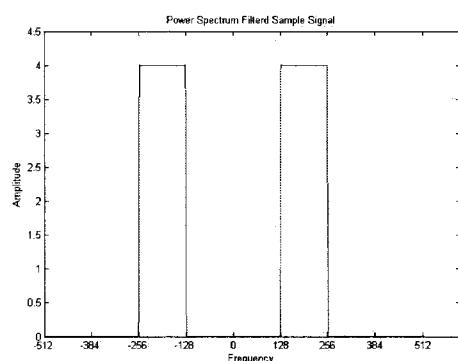
(a) Impulse Function



(b) Impulse Function Power Spectrum.



(c) Filtered Impulse Function.

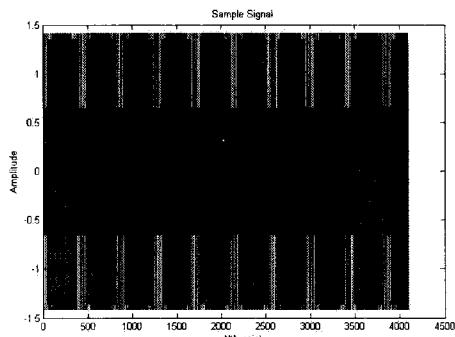


(d) Filtered Impulse Function Power Spectrum.

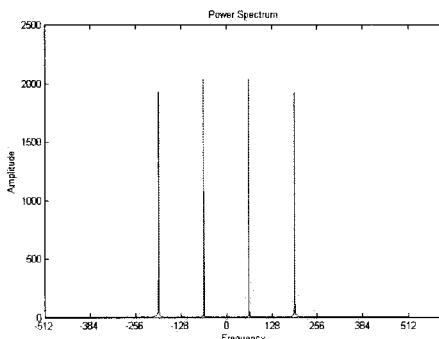
그림 16. Impulse 신호에 대한 시뮬레이션 결과.

Fig. 16. Simulation result for Impulse signal.

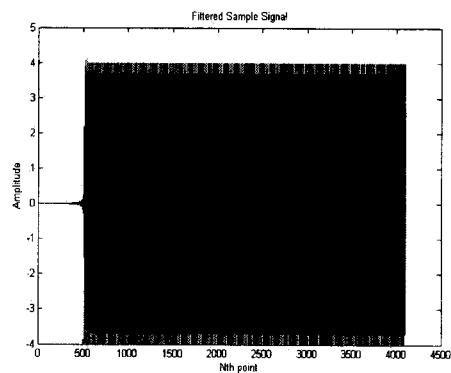
두 번째로 Sine Wave 실험에는 차단 대역인 64 MHz와 통과 대역에 있는 128 MHz의 주파수 성분을 갖도록 2개의 Sine Wave를 더한 샘플을 사용하였다. 실험 결과는 그림 17에 나타내었다. 마찬가지로 그림 17의 (a)는 64MHz와 128MHz 신호를 더한 Sine Wave 신호, (b)는 Sine Wave의 Power Spectrum, (c)는 필터링 된 신호, (d)는 필터링 된 신호의 Power Spectrum을 각각 나타낸 것이다.



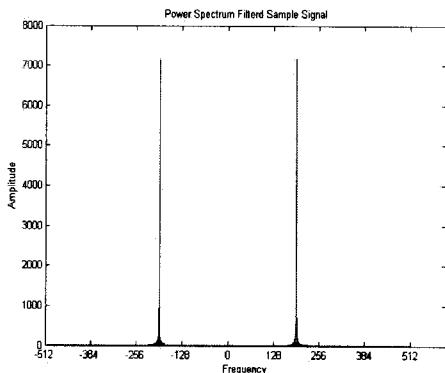
(a) Sine Wave (64MHz + 128MHz).



(b) Sine Wave Power Spectrum.



(c) Filtered Sine Wave.

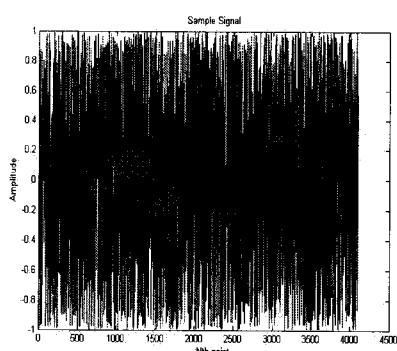


(d) Filtered Sine Wave Power Spectrum.

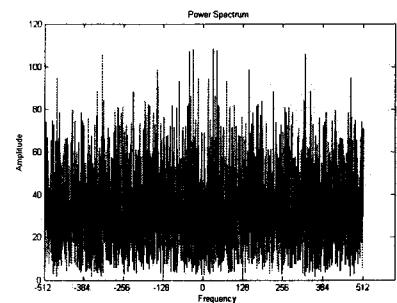
그림 17 Sine Wave(64MHz+128MHz) 신호에 대한 시뮬레이션 결과.

Fig. 17. Simulation result for sine wave(64MHz+128MHz) signal.

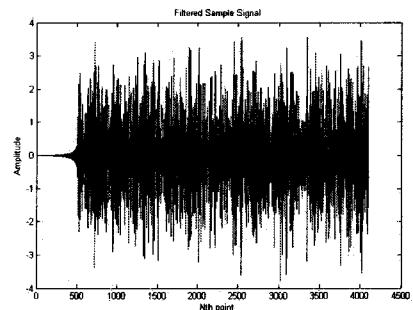
그림 18은 실제로 사용 될 데이터와 유사한 형태를 갖고 있는 Random Noise 신호에 대한 실험 결과를 나타낸 것이다. 그림 18의 (a)는 4096개의 샘플 데이터로 이루어진 random 신호, (b)는 Random Noise의 Power Spectrum, (c)는 필터링 된 후의 모습, (d)는 필터링 된 신호의 Power Spectrum을 각각 나타낸 것이다.



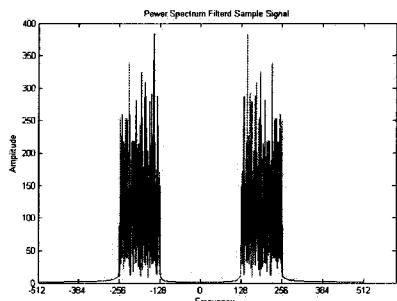
(a) Random Noise.



(b) Random Noise Power Spectrum.



(c) Filtered Random Noise.



(d) Filtered Random Noise Power Spectrum.

그림 18. Random noise 신호의 실험 결과.
Fig. 18. Experimental result for random noise signal.

그림 18에서 필터링 된 결과 값들이 약 512번째 tap 이후에 결과 값들이 나타나는 현상은 필터의 입력이 필터계수의 수만큼 진행한 정상상태에 도달하기 때문으로, 512 tap 이전에는 아주 작은 응답을 나타내고 512 tap 이후 (정밀하게는 1024 tap까지) 정상상태로 천이하는 중간 단계의 응답특성에 따른 정상적인 현상이다.

그림 18(d)는 필터의 모습이 정확한 사각형(box형)을 띠지 못하고 있는 것으로 확인할 수 있는데, 이는 유한한 tap수의 디지털 필터가 갖는 한계이며, 추가적으로 필터 계수 값을 DSP48 block에서의 연산방식인 부호 및 정수형으로 디지털 필터의 계수 값을 처리하는 과정에서 생기는 오차와 함께 실제로 입력되는 데이터 또한 2bit으로 양자화를 수행해서 발생하는 오차로 판단된다.

하지만, 전체적으로 본 논문에서 설계한 디지털 FIR 필터에 대해 Matlab으로 시뮬레이션 실험을 수행한 결과와 FIR 필터의 기능을 수행하고 있음을 확인할 수 있어

DSP48 block을 이용하여 설계한 대칭구조의 디지털 FIR 필터의 유효성을 확인할 수 있었다. 전체 512MHz 대역 중에 128~256MHz 대역의 신호를 통과 시키는 필터 계수를 실험에 사용하여 도출된 결과에 대한 Power Spectrum을 그림 16, 17, 18에서 확인할 수 있었다.

VI. 결 론

본 논문의 목적은 KVN에서 사용될 데이터 획득 시스템(DAS)의 주요 구성 기기인 디지털 필터 뱅크(DFB:Digital Filter Bank)의 기능을 완벽하게 수행할 수 있는 디지털 필터를 독자적으로 설계 및 제작할 수 있는 제반 기술을 갖추는데 있다. 이는 KVN의 자료획득 시스템을 유지보수 하는데 필요할 뿐만 아니라, 전파천문학의 분광 관측에서 광대역 데이터를 획득한 다음 선스펙트럼이 존재하는 부분만을 선별해 냄으로서 이후의 처리를 간편하게 할 수 있는 필수적으로 확보해야 할 기본 기술이다. 이러한 디지털 필터 개발은 특히 향후 KVN의 규모가 확충되는 Expanded-KVN이나, 동아시아VLBI관측망(EAVN)을 실현할 때 보급될 새로운 자료획득시스템을 개발하는데 기본기술이 될 것으로 기대된다.

본 논문에서는 Xilinx사의 Virtex-4 SX55 모델의 FPGA칩을 기반으로 KVN의 자료획득시스템에서 요구하는 FIR 필터 코어의 기능을 VHDL 코드로 설계하였다. 전체적인 IP core의 합성 및 실험에는 통합 합성 소프트웨어 ISE Foundation을 사용하였으며, GUI 환경이 뛰어난 core generator를 활용함으로써 필요한 기능의 설계를 원활히 진행할 수 있었다. 그 결과, 최대 동작 주파수는 260MHz를 약간 상회하는 수준까지 달성하였으며, 슬라이스, LUT 등의 리소스 사용량은 40%이하 수준으로 완성되었다. Mentor Graphics사의 Modelsim 6.1a 버전을 이용하여 SFFU(Symmetric FIR Filter Unit)의 시뮬레이션을 수행한 결과, 오류 없이 작동하는 것을 확인하였다. SFFU의 기능을 확인하기 위하여 추가적으로 Matlab을 이용하여 의사(擬似) 신호를 이용한 시뮬레이션을 수행하였다. 실험결과, 시뮬레이션과 실제 설계한 디지털 FIR 필터의 실험결과가 유사함을 확인할 수 있었다. 그러나 실험결과에서 보면 시뮬레이션과 실제 실험에서 오차가 있음을 확인하였으며, 그 이유는 DSP48 block으로 데이터를 입력시키기 위해 2bit 샘플링을 수행하므로 이에 대한 양자화 오차와 함께 DSP48 block에서의 연산방식이 부호 및 정수형으로 디지털 필터의 계수 값을 처리하는 과정에서 생기는 오차인 것으로 생각된다. 그러나 전체적으로 시뮬레이션 결과와 실제 설계한 디지털 FIR 필터의 실험결과에서 FIR 필터의 기능을 수행하고 있음을 확인할 수 있어 본 논문에서 DSP48 block을 이용하여 설계한 대칭구조의 디지털 FIR 필터의 유효성을 확인할 수 있었다. 또한 하드웨어적인 측면에서 고려할 때 본 논문에서 사용된 FPGA one-chip으로 1024-tap을 가지는 FIR 필

터를 설계할 수 있는 가능성과 함께 디지털 시스템 설계 및 DSP 활용 기술 등에서 발전 가능성을 확인할 수 있었다.

본 논문에서 수행한 FPGA를 활용한 FIR 디지털 필터의 설계 및 제작 기술을 기반으로 다음 단계의 test bed(기판)를 개발 제작을 진행 중이며, 향후 설계 보드를 이용하여 이를 통해 고속샘플러를 연결한 필터링 실험을 수행할 예정이다.

참고문헌

- [1] 오세진, 노덕규, 정현수, 한석태, Kiyoaksi Wajima, Tetsuo Sasao, Noriyuki Kawaguchi, Kensuke Ozeki, 최한규, "KVN 자료획득을 위한 디지털 처리 시스템," 천문학논총, Vol. 19, pp. 101-107, 2004.
- [2] VLBI Standard Interface Specification (VSI-H) Revision 1.0, August, 2007
- [3] Satoru Iguchi, Tomoharu Kurayama, Noriyuki Kawaguchi, Kazuyuki Kawakami, "Gigabit Digital Filter Bank: Digital Backend Subsystem in VERA Data Acquisition System," Publication. Astronomy Society of Japan, 2004.
- [4] Kazuyuki Kawakami, Kensuke Ozeki, Noriyuki Kawaguchi, Satoru Iguchi, Tamio Hashimoto, "A Gigabit Digital Filter for Radio Astronomy Observations," Proceeding of SPIE, pp. 4015, 2000.
- [5] KVN Data Acquisition System Specification ver 1.00
- [6] 전주환, 박부겸, 권옥현 편역, "Matlab을 이용한 디지털 신호처리," 시그마프레스, 1998.



정 구 영(Gu-Young Jung)

2002년 2월 목포대 전자공학과(공학사)
2004년 8월 목포대 전자공학과(공학석사)
2004년 11월~현재 한국천문연구원 연구원

※주관심분야 : FPGA설계, 영상신호처리, DSP응용분야



노 턱 규(Duk-Gyoo Roh)

1985년 2월 서울대 천문학과(이학사)
1994년 8월 동경대 천문학과(이학석사)
2002년 2월 동경대 천문학과(박사수료)

1984년 4월 ~ 현재 한국천문연구원 선임연구원
2005년 11월 ~ 현재 한국천문연구원 상관기연구그룹/그룹장

※주관심분야 : 전파천문, VLBI상관처리 분야



오 세 진(Se-Jin Oh)

1996년 2월 영남대 전자공학과(공학사)
1998년 2월 영남대 전자공학과(공학석사)
2002년 2월 영남대 전자공학과(공학박사)
2001년 9월 ~ 2002년 12월 대구과학대학 전임강사
2002년 12월 ~ 현재 한국천문연구원 선임연구원

※주관심분야 : 디지털신호처리, 천문관측기기개발



염 재 환(Jae-Hwan Yeom)

2005년 8월 한양대 정밀기계공(공학석사)
2005년 10월 ~ 현재 한국천문연구원 연구원

※주관심분야 : 디지털신호처리, DSP & FPGA응용분야



강 용 우(Yong-Woo Kang)

1988년 2월 부산대 기계설계과(공학사)
1990년 2월 부산대 지구과학과(이학석사)
2000년 2월 부산대 지구과학과(이학박사)
2002년 3월 ~ 2004년 2월 연세대 천문대 연구전임강사
2004년 3월 ~ 2006년 2월 연세대 천문대 선임연구원
2006년 12월 ~ 현재 한국천문연구원 선임연구원

※주관심분야 : 관측기기개발, 성단연구



이 창 훈(Changhoon Lee)

1979년 2월 충남대 전기공학과(공학사)
1981년 2월 고려대 전기공학과(공학석사)
1987년 2월 고려대 전기공학과(공학박사)
1987년 3월 ~ 현재 한국천문연구원 책임연구원
1993년 9월 ~ 2000년 2월 충남대, 충북대, 경북대, 순천향대 겸임교수

2006년 6월 ~ 현재 한국천문연구원 전파기술연구개발그룹장

※주관심분야 : 디지털신호처리, 시스템 제어 및 계측,
우주전파관측기기개발



정 현 수(Chung HyunSoo)

1981년 2월 연세대 천문학과(이학사)
1986년 2월 동경대 천문학과(이학석사)
1989년 2월 동경대 천문학과(이학박사)

1991년 5월 ~ 현재 한국천문연구원 책임연구원

2007년 1월 ~ 현재 한국천문연구원 KVN사업그룹/그룹장

※주관심분야 : 전파천문학, 주파수 공유 및 간섭보호



김 광 동(Kwang-Dong Kim)

1973년 2월 영남대 전기공학과(공학사)
1975년 5월 ~ 1982년 8월 고미반도체
(주) 기술과장

1986년 9월 ~ 1993년 4월 제성전자(주) 기술부장

1993년 4월 ~ 현재 한국천문연구원 책임연구원

2006년 6월 ~ 현재 한국천문연구원 기술지원그룹/그룹장

※주관심분야 : 천문관측기기개발, DSP 응용분야
