

2개의 밑수를 이용한 Flash A/D 변환기

A New Flash A/D Converter Adopting Double Base Number System

김종수* · 김만호* · 장은화*
Jongsu Kim* · Man-Ho Kim* · Eun-Hwa Jang*

요약

본 논문에서는 디지털 신호를 실시간으로 처리하기 위한 TIQ 방식의 Flash 6-bit ADC 회로를 설계하였다. 새로운 논리회로 설계나 소자들의 근접 배치로 ADC의 속도를 향상시키는 대신에 새로운 코드를 이용하여 DSP의 처리능력을 높이도록 하였다. 제한한 코드는 ADC의 출력으로 이진수를 제공하지 않고 2와 3진법을 동시에 사용하는 Double Base Number System(DBNS)방법이다. 전압은 기존의 이진수를 표시하는 방법과 동일하지만, 밑수로 2와 3의 두개를 동시에 사용하여 합의 형태로 표현하는 방법이다. DBNS 표현법은 곱셈기와 가산기를 이용하지 않고 연산을 좌우로 이동하여 연산을 신속히 처리할 수 있다. 디지털 신호처리에서 사용하는 DBNS는 합의 수가 적도록 Canonical 표현을 구하는 알고리즘을 사용하지만, A/D 변환기에서는 Fan-In 문제가 발생하여 균일한 분포를 이루도록 하는 새로운 알고리즘을 개발하였다. HSPICE를 이용한 ADC의 시뮬레이션 결과 0.18 μ m 공정에서 최고 동작속도는 1.6 GSPS이며 최대 소비전력은 38.71mW이었다.

Abstract

This paper presents a new TIQ based CMOS flash 6-bit ADC to process digital signal in real time. In order to improve the conversion speed of ADC by designing new logic or layout of ADC circuits, a new design method is proposed in encoding logic circuits. The proposed encoding circuits convert analog input into digitally encoded double base number system(DBNS), which uses two bases unlike the normal binary representation scheme. The DBNS adopts binary and ternary radix to enhance digital arithmetic processing capability. In the DBNS, the addition and multiplication can be processed with just shift operations only. Finding near canonical representation is the most important work in general DBNS. But the main disadvantage of DBNS representation in ADC is the fan-in problem. Thus, an equal distribution algorithm is developed to solve the fan-in problem after assignment the prime numbers first. The conversion speed of simulation result was 1.6 GSPS, at 1.8V power with the Magna 0.18 μ m CMOS process, and the maximum power consumption was 38.71mW.

Keywords : Flash ADC, TIQ, CMOS, Double Base Number System, Encoder

1. 서론

반도체 회로를 제조하는데 주로 이용되는 공정은 CMOS이다. 초기의 CMOS회로는 Bipolar 공정이나 GaAs 공정에 비하여 동작속도가 느렸지만, 지속적인 연구개발로 현재 가장 많이 이용되는 공정이 되었다. 물론 GaAs는 CMOS에 비하여 빠른 속도로 동작하지만 CMOS 회로와 같이 사용할 수 없는 단점이 있고, 대량생산을 하기 위해서는 보다

많은 연구가 필요하다. Bipolar 기술의 경우 CMOS 회로와 같은 반도체 내에서 동작시킬 수 있는 BiCMOS 기술이 개발되었지만 GaAs처럼 제조비용이 고가이므로 주로 CMOS공정으로 회로를 설계한다. 실시간으로 디지털 신호를 처리하기 위해서는 고속의 ADC 및 디지털 연산회로가 필요하다. 고속 ADC 회로에 적합한 구조는 Flash ADC와 pipeline ADC가 있다. Flash ADC는 N bits인 경우 입력신호의 크기를 각각의 기준전압과 비교하는 전압비교기(Comparator)가 2^N-1 개의 병렬 구조로 되어있으므로 입력전압을 하나씩 처리하는 SAR나 $\Sigma\Delta$ 보다 고속으로 변환할 수 있다[1-9]. Pipeline A/D 회로는 n개의 단으로 구성되지만 Flash ADC 회로에 비하여 속도는 늦으나 동일한 공정

*울산대학교 전기전자정보통신공학부

논문 번호 : 2007-3-8 접수 일자 : 2007. 7. 12

심사 완료 : 2007. 10. 1

* 이 논문은 2004년도 울산대학교 교내연구비에 의하여 지원되었으며, IDEC지원으로 첩을 제작하였음

으로 제조할 경우 더욱 정밀한 출력 Bits를 얻을 수 있다. Flash 구조의 단점은 비교기의 개수 때문에 다른 ADC 회로에 비해 면적과 소비전력도 커지게 된다. 그러나 TIQ(Threshold Inverter Quantization) 기술을 이용한 CMOS공정으로 ADC 회로를 설계하면 이러한 단점을 해결할 수 있다[2-6]. 또한 디지털 신호를 실시간으로 처리하기 위해서는 고속의 가산기와 곱셈기가 필요하다. 2개의 다른 밑수를 사용하는 방법은 이미 디지털 필터에서 곱셈을 다차원으로 처리하기 위하여 제안되었다[11-15]. 따라서 본 논문에서는 이러한 문제점을 해결하기 위하여 전기적으로는 기존의 이진수이지만 처리상으로는 삼진법과 결합하여 수를 처리하는 새로운 TIQ Flash ADC 회로를 제안한다.

본 논문의 구성은 다음과 같다. II장에서는 기본적인 Flash A/D 변환회로의 내부구조와 TIQ를 소개하고, III장에서는 Double Base Number System(DBNS)를 이용한 연산원리와 ADC에서 발생하는 Fan-In 문제점과 이를 해결하는 알고리즘을 소개한다. IV장에서는 회로를 HSPICE로 시뮬레이션한 결과에 대하여 기술한다. 끝으로 결론에서는 DBNS를 이용한 ADC의 문제점과 향후 개선할 부분에 대하여 언급한다.

II. Flash A/D 변환기 구조

2.1 일반적인 구조

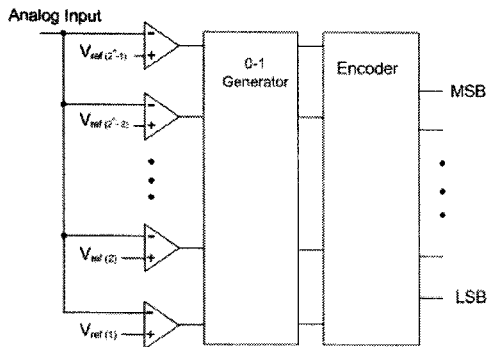


그림 1. Flash ADC 구조

Fig. 1. Structure of Flash ADC

그림 1은 기본적인 Flash ADC 회로의 개념도이다. 그림에서 보는 것처럼 출력인 n-bit인 경우 2^n-1 개의 전압 비교기가 필요하다. 아날로그 입력신호의 전압이 각각의 기준 전압인 V_{ref} 의 값보다 크면 비교기가 동작하고, 기준전압보다 적으면 동작하지 않는다. 제일 아래쪽에 연결된 V_{ref} 는 가장 작은 기준전압이고, 맨 위쪽 비교기의 V_{ref} 는 가장 큰 전압 값이다. 이들 크기 사이의 전압을 비교기 개수만큼 나누면 디지털 출력의 Bit 수인 해상도(Resolution)를 얻을 수 있다. 만일 6-bit회로를 설계한다면 2^6-1 로 0을 제외한 63개의 비교기가 필요하다.

63개의 비교기 출력은 연속된 값으로 온도계의 눈금과 같으므로 Thermometer Code(TC)라고 부른다. 입력전압의 크기가 5인에 해당하는 값이 입력되면 63개의 비교기들에서 얻는 값은 000...011111로 아래의 5-bit만이 1이 되고 나머지 상위 58개는 모두 0으로 나타난다. 이러한 값을 디지털 회로에서 사용하기 위해서는 ROM이나 PLA와 같은 Encoder 회로를 이용하여 코드변환을 한다. ROM이나 PLA와 같은 Encoder 회로를 구동하기 위해서는 직접 TC를 이용하지 못하므로 1개의 출력만이 유효하도록 하여야 한다. 따라서 여러 개의 비교기 출력 중에서 제일 큰 비교기의 출력만을 검출하여 변환하는 0-1 Generator가 필요하다. 이 회로의 동작은 63개의 TC 중에 하위 5개의 비교기들의 출력이 000...011111이라면, 00...010000로 변환한다. 마지막으로 Encoder 회로는 00...010000이 입력되면 이에 해당하는 이진수 00000101을 출력한다.

2.2 Threshold Inverter Quantization

N-bit ADC기를 설계하기 위해서는 2^n-1 개의 V_{ref} 가 필요하다. 이러한 기준전압들을 저항을 이용하여 제공한다면 전력손실이 크므로 그림 2(a)와 같은 CMOS 회로를 이용한다. 디지털 논리회로인 인버터 원리로 동작하므로 이를 TIQ(Threshold Inverter Quantization)방식이라고 부른다.

CMOS 트랜지스터가 동작되는 임계전압은 선로 폭이 좁아짐에 따라 고려하여야할 매개변수들이 많아지지만, 본 논문에서는 기본 모델을 이용하여 설명한다.

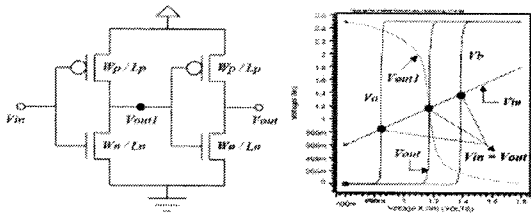
$$V_{th} = \frac{V_{dd} - |V_{tp}| + V_{tn} \sqrt{K_n/K_p}}{1 + \sqrt{K_n/K_p}} \quad (1)$$

여기에서 V_{tn} 과 V_{tp} 는 NMOS와 PMOS의 임계전압이며, 상수 K_n 과 K_p 는 다음과 같은 값들로 기술된다.

$$K_n = (W/L)_n \cdot \mu_n C_{ox} \quad (2)$$

$$K_p = (W/L)_p \cdot \mu_p C_{ox} \quad (3)$$

W 와 L 은 MOS의 채널 길이(L)와 폭(W)을 나타내며, μ_n 과 μ_p 는 전자와 정공의 이동도이며, C_{ox} 는 단위면적당 Gate Oxide 커패시턴스이다. 위의 식에서 알 수 있듯이 W 와 L 을 바꾸면 트랜지스터의 동작전압을 변경할 수 있다. 결국 비교기의 기준전압인 V_{ref} 를 변화하는 것과 마찬가지로 그림 2(b)와 같이 비교기의 기준전압을 설정할 수 있다. 그러므로 모두 동일한 크기의 비교기를 사용하는 종래의 Flash ADC와는 달리 다른 크기의 비교기들로 구성된다. 0.18 μm 공정으로 PMOS와 NMOS의 W/L 비를 조절하면 주어진 선형입력에 각각 다르게 동작되는 전압비교기의 출력과형을 그림 3에서 볼 수 있다[2-6].



(a) TIQ 구조 (b) TIQ 전압곡선
 그림 2. TIQ와 전압곡선
 Fig. 2. TIQ and VTC

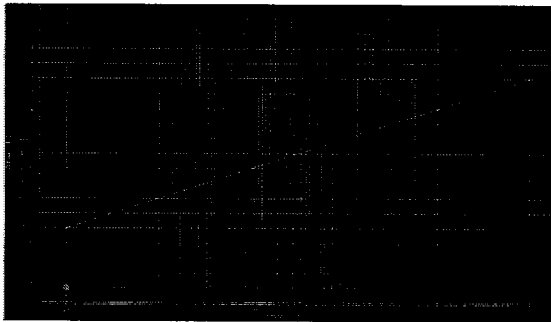


그림 130. 전압비교기 입출력파형
 Fig. 3. Input and Output Waveforms of Voltage Comparators

그러나 비교기의 각기 다른 W/L 때문에 출력파형은 이상적으로 동일한 기울기로 동작되지 못하고 그림 4와 같이 일부 비교기의 파형을 확대하면 완만한 파형이 나타나므로 정상적인 TC 값을 얻을 수가 없는 경우가 발생한다. 그러므로 기울기가 다른 비교기의 출력파형을 균일하게 만드는 회로가 필요하며, 이를 Gain Booster라고 부른다. Gain Booster를 비교기와 0-1 Generator 사이에 연결하면 그림 4의 위부분의 완만한 비교기출력을 아래 부분과 같은 파형을 얻을 수 있다. 그림 4는 HSPICE 시뮬레이션 파형결과이다[3-6].

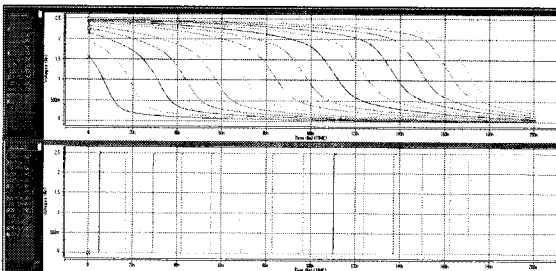
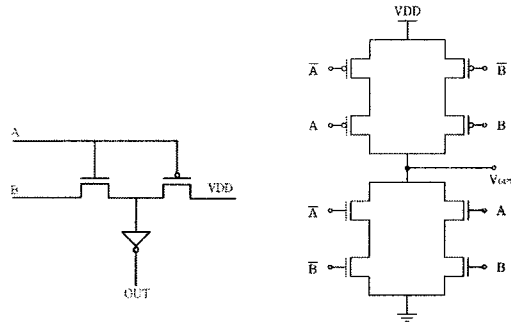


그림 4. 비교기의 출력과 Gain Booster 출력
 Fig. 4. Output Waveform of Gain Booster

2.2 0-1 Generator

Gain Booster의 출력은 전압의 크기에 비례하는 TC이므로 직접 이용할 수 없다. 입력된 값들 중에 제일 큰 Bit만 1로 만들고 나머지 Bit들은 모두 0이 되도록 하여 Encoder 회로에 제공하는 01-Generator 회로가 필요하다. 그림 5(a)는 01-Generator의 기본회로로 임의의 위치 $n+1$ 인 A 출력이 0이고 아래 위치인 n 의 출력인 B가 1일 경우에 출력을 1로 만드는 EX-OR gate회로이다. A와 B가 모두 11이나 00인 경우에는 출력은 0이 된다. 위쪽인 A가 1이고 아래 B의 값이 0인 경우에는 오동작을 하는 경우로 이를 검출하는 회로를 추가하는 방법도 고려할만하다. 주어진 공정에서 (a)회로를 구현하려 하였으나 지원이 되지 않으므로 (b)와 같은 일반적인 EX-OR Gate를 이용하였다. 이렇게 변환된 01-Generator의 출력을 다음 장에서 소개하는 Encoder 회로를 이용하여 원하는 코드로 변환을 한다[3-6].



(a) 기본 EX-OR (b)구현된 EX-OR
 그림 5. 01-Generator 논리회로

Fig. 5. Logic Circuits of 0-1 Generator

III. 새로운 수의 표현법

3.1 Double Base 수의 표현

DSP의 처리속도는 연산회로의 속도에 따라 좌우된다. 현재 사용하고 있는 이진수의 경우 Carry Look Ahead (CLA)와 같은 병렬 가산기나 Array 형태의 곱셈기를 이용하여도 Bits 수에 비례하여 연산속도가 증가한다. 따라서 본 논문에서는 실시간으로 신호를 처리하기 위하여 수를 다음과 같은 표현하는 방법을 이용한다.

모든 수는 1, 2, 3, 5, 7...과 소수의 적절한 조합으로 표현할 수 있으나 전기회로에서는 전압으로 표현하여야 하므로 단순히 0을 기준전압으로 표시하고, 이보다 큰 전압을 1로 나타내어 처리한다. 오래 전부터 3진법에 대한 연구가 진행되었으나, 잡음과 같은 문제 때문에 계속 이진법을 사용하고 있다. 임의의 수 N은 소수 2와 3을 사용하여 다음 식과 같이 표현할 수 있다[11-16].

$$N = \sum_{i,j=0}^{i,j=n,m} d_{i,j} 2^i 3^j \quad (4)$$

여기서 $d_{ij} \in \{0,1\}$ 로 j 가 0이면 보통 사용하는 2진법이 며, i 가 0이면 3진법이 된다. 이와 같이 밑수가 2개인 수의 표현법을 이용하면 다음과 같은 연산은 자리 이동으로 간단히 처리할 수 있다.

$$2^i 3^j + 2^{i+1} 3^j = 2^i 3^{j+1} \quad (5)$$

$$2^i 3^j + 2^i 3^{j+1} = 2^{i+2} 3^j \quad (6)$$

$$2^i 3^j 2^m 3^n = 2^{i+m} 3^{j+n} \quad (7)$$

그러나 본 논문에서는 2와 3이란 두 개의 숫자만을 이용하지만, 전기적으로는 모두 Low와 High 전압을 이용할 뿐 실제 중간전압을 이용한 3진법은 아니다. 소수가 아닌 임의의 수를 표현하는 경우의 수는 값에 따라 다양할 수 있다. 그러므로 가장 작은 개수의 합으로 수를 표현하는 방법이 필요하며, 이러한 Canonical 값을 구하는 것은 NP Hard 문제지만 근접하게 구하는 Greedy 알고리즘이 개발되었다 [11-13]. 예를 들면, 십진수 12는 $2^2 3^1$ 로 하나의 Double Number로 표현할 수 있지만, $12=1+11=2+10=3+9=4+8 \dots$ 등의 조합으로 나눌 수 있다. 따라서 1+11의 조합인 경우에는 11이 소수이므로 $11=1+10=2+9=3+8$ 등과 같은 조합으로 또 다시 변형하여야 한다. 10이란 수도 하나의 Double Number로 표현할 수 없어 1+9와 같이 합의 형태로 표현된다. 11 대신에 1+10으로 대치하고 10은 1+9로 대치하면 $12=2^0 3^1 + 2^0 3^2$ 과 같이 되고, 또는 $2^0 3^0 + 2^1 3^0 + 2^0 3^2$ 같이 표시할 수도 있다. 예를 들면, 숫자 54인 경우에는 93개의 조합으로 표시할 수 있을 정도로 다양한 조합이 존재한다.

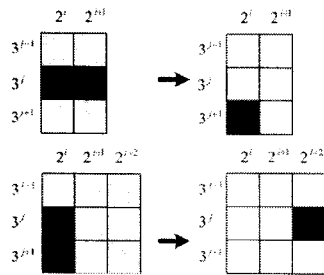


그림 6. 이웃하는 수의 정리
Fig.6. Adjustment of Neighboring Numbers

결국 합의 수가 많아지면 i 와 j 의 범위가 작고, 반면 i 와 j 의 값이 크면 Double Base Number를 더하는 합의 횟수는 작아지는데, 이를 그림 6을 통하여 알 수 있다. 그림에서 가로축은 2의 지수로 표현되는 값들이고, 세로축은 3의 지수로 나타는 수들의 값들이다. 임의의 수가 두 개의 합으로 이루어지면 이는 우측 그림의 한 개의 수로 나타낼 수 있다. 이렇게 밑수가 2개인 수를 표현하는 방법을 Double Base Number System(DBNS)라고 부른다[11-13].

3.2 Double Base Number Arithmetic Operation

그림 6이 나타낸 것처럼 이웃한 두수의 덧셈은 간단한 자리 이동으로 처리된다는 것을 알 수 있었다. 일반적으로 두수를 더하는 것은 그림 7의 (c)와 (d)를 (e)의 그림과 같이 중복하면 되고, 곱셈을 한다는 것은 그림 7의 (a)와 (b)가 (c)나 (d)같이 아래쪽으로 또는 우측으로 각각 이동한 후에 덧셈을 하는 것이다. 그러므로 DSP에서 곱셈 및 덧셈을 별도의 연산회로 없이 간단히 처리 할 수 있으므로 실시간 처리가 가능하다. 그러므로 DSP 회로의 연산속도를 높이기 위하여 덧셈을 줄이도록 ADC 회로의 Encoder는 Canonical 값을 제공하여야 한다. 그러나 ADC가 Double Integer 출력을 제공하기 위해서는 0-1 Generator의 Fan Out과 Fan In 문제 때문에 Canonical 형태로만 값을 제공할 수 없다. 그러므로 출력 Gate의 수를 속도와 전기적 특성을 고려하여 주어진 한계 이내로 Encoder를 설계하여야 한다[15].

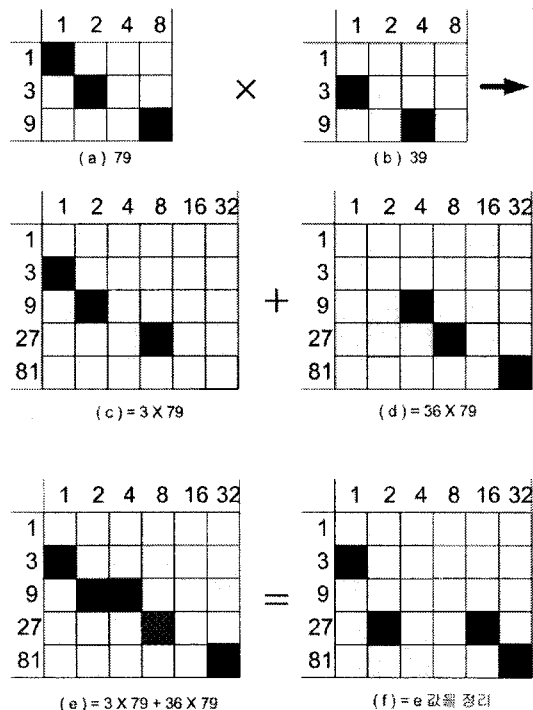


그림 7 Double Number를 이용한 곱셈과 덧셈
Fig. 7. Addition and Multiplication of DBNS

3.2 Double Base Number System Encoder

모든 수를 제일 간단한 Canonical 표현법을 이용하여 처리하면 특정 출력 논리게이트의 입력에 너무 많은 0-1 Generator의 출력이 연결되므로 Fan-In 문제가 발생한다. 따라서 제조공정에 따른 변수와 게이트의 지연시간을 고려하여 설계하여야 한다. 이를 계산하기 위하여 다음과 같은 관계식을 유도할 수 있다. DBNS에서 앞의 그림과 같이 2의 크기를 열로 표시하고, 3의 크기를 행으로 나타내면

$$2^i 3^j \leq 2^b, \quad 2^i 3^j \leq 3^t \quad (8)$$

$$i \times j \leq b, \quad i \times j \leq t, \quad b \leq t \quad (9)$$

가 된다. 여기서 b 는 주어진 십진수를 2진수로 표시한 값이고 t 는 3진수로 표시한 상수가 된다. 이를 정리하면 다음과 같다.

$$\begin{aligned} i \ln 2 + j \ln 3 &\leq b \ln 2 \\ i \ln 2 + j \ln 3 &\leq t \ln 3 \end{aligned} \quad (10)$$

대칭인 구조를 사용한다면, $i=j$ 이므로

$$\begin{aligned} i &\leq \frac{\ln 2}{\ln 2 + \ln 3} b \approx \lceil 0.387b \rceil \\ i &\leq \frac{\ln 2}{\ln 2 + \ln 3} t \approx \lceil 0.613t \rceil \end{aligned} \quad (11)$$

대칭구조로 6-Bit인 수를 표현한다면, b 는 6, t 는 4가 되고, i 와 j 는 모두 3이 된다. 비대칭으로 설계를 한다면 i 와 j 의 관계는 $i=j \pm c$ 로 나타내고 c 는 비대칭 차이의 정수이다. i 와 j 의 최대값은 다른 밑수의 지수가 각각 0일 때이므로 각각 b 와 t 가 되고, 최소는 0이 된다. 위식은 2차원의 행과 열로 구성되는 출력 Bit들의 수가 된다.

다음은 그림에서 검은 색으로 표시된 수가 몇 개가 필요한지를 구하는 것으로 결국 몇 번의 합이 요구되는지를 구하여야 하는데, 개수는 Gate의 최대입력 수뿐만 아니라 0-1 Generator의 구동능력에 따라 좌우된다. 본 논문에서는 고속 ADC기를 설계하는 목적이므로 순차적으로 유효한 수를 제공하여 덧셈을 하는 대신에 6-Bit의 출력 $2^i 3^j + 2^m 3^n$ 을 병렬 Port로 제공하여 속도를 높이도록 하였다. Port의 수는 덧셈의 회수이며, 다음과 같은 식으로 구할 수 있다.

$$\sum_{i,j} 2^i 3^j = N \quad (12)$$

여기서 k 은 위의 (11)식에서 구한 i 로 행과 열의 값이다. 변환하려는 수 N 이 몇 번의 $2^i 3^j$ 덧셈으로 되는지를 알 수 있다. 전체적인 pseudo 알고리즘은 다음과 같다.

Input: positive integer N, b, t

- * N : 십진수 입력값
- * b : N 의 2진법 자리수
- * t : N 의 3진법 자리수

Output: positive integer $k, a, 2$ -integers

- * k : 2와 3진법의 승수의 최대개수
- * a : 덧셈 회수
- * 2-integers: N 값의 Canonical 표현

procedure (in: b, t , out: k)

calculate $f(k)=0.387b$ and $f(k)=0.613t$

procedure (in: k, N , out: a)

find the largest 2-integers and max_a

그림 8. 전체 pseudo 알고리즘

Fig. 8. Pseudo Algorithm

위의 알고리즘을 적용하면 입력이 63인 경우, 대칭행렬을

적용하면 $k=4$ 개의 행렬로 구성되고 최대 덧셈회수 $a=2$ 개로 되어 3개의 port를 요구한다. 2와 3의 지수로 구성된 1, 2, 3, 4, 6, 8, 9, 12, 18, 24, 27, 36, 54의 수는 한 개로 표시되지만, 이외의 수들은 합의 꼴로 표시된다. 본 논문에서는 $O(\log N / \log \log N)$ 의 Greedy 알고리즘을 이용하는 대신에 ADC 회로에 적합한 알고리즘을 작성하였다. 모든 수는 Canonical로 표시할 수 없을 뿐만 아니라, Encoder 입력에 Fan In 문제가 발생되어 이를 다시 분산할 필요가 있다. 따라서 "find the largest 2-integers and max_a"는 가능한 모든 수의 조합을 찾은 다음에 최소의 덧셈 회수와 공정에 따른 Fan-In을 모두 고려하여 2-integers를 구하였다.

find the largest 2-integers and max_a

*list: the form of $2^i 3^j$ of N

procedure (in: k, N , out: a)

for ($i=0, k$)

for ($m=0, k$)

make set of $2^i \cdot 3^m$

sort set

for $i = N$ to 1

$a=0, v=i$

if ($v \in \text{set}$) then process list

else {find max ($u \in \text{set}$) < N

while $u \geq 5$

{find max ($t \in \text{set}$) < u

$v=u, S=N-t$

while $v \neq 0$

{find max ($v \in \text{set}$) $\leq S$

process list;

$v=S-v; a=a+1;$

if ($v \in \text{set}$) then process list

$v=0$

else $S=v$

if $N/t > 2$ then $v=0$

else { $u=t$

$a=0$ }

process list

calculate minimum addition of each number

reject redundant list

find max a from list

calculate fan-in

for $i = 1$ to N

if fan-in \leq max then return a

else { $a=a+1$

redistribute}

그림 9. Canonic 표현 및 Port 계산 알고리즘

Fig. 9. Calculation Algorithm for Canonical and Port Numbers

IV. 시뮬레이션 및 실험결과

본 논문에서는 모든 설계를 Library를 사용하지 않고 수동으로 설계하였다[7][16]. 0.18 μm 의 공정으로 논리회로를 시뮬레이션 한 결과, 표1과 같이 최대 샘플링 속도는 1.6 GSPS이므로 공정에 따른 기생용량 때문에 실제 동작은 이보다 저하될 것이다. 동작속도는 기생용량을 분석하여 Buffer를 추가하면 향상될 것이다. PMOS의 폭은 2.47 μm 에서 19.98 μm 이고 NMOS의 폭은 1 μm 에서 9.9 μm 까지 변한다. 시뮬레이션 결과 값과 최저 동작전압은 642mV이고 최대 동작전압은 1.138V를 얻었다. 1 poly 6 metal로 제작되는 Magna 0.18 μm 칩의 코어 크기는 0.44 \times 0.51 mm²이며 최대 전력소모는 38.71 mW이었다. 공정변화에 따른 비선형의 오차는 0.2 LSB 보다 적었다. 그림 10은 DBNS의 출력 파형으로 일반적으로 사용하는 이진코드가 아니므로 간단히 판독할 수 없다. 그림 11은 제작된 칩의 여러 출력 중에 하나의 출력을 측정한 것으로 잡음에 민감함을 알 수 있다.

표 1. ADC 시뮬레이션 결과
Table 1. Simulation Results

Resolution	6 Bits
CMOS tech (P/M)	Magna 0.18 μm (1P/6M)
Power supply	1.8 V
max. speed	1.6 GSPS
Full Scale Range(FSR)	0.642 ~ 1.138 V
Least Significant Bit(LSB)	8 mV
Core Size (without S/L, I/O PAD)	0.44 * 0.510 (mm ²)
Average Power Dissipation	30.14mW
Maximum Power Dissipation	38.71mW
INL & DNL	\leq 0.2 LSB

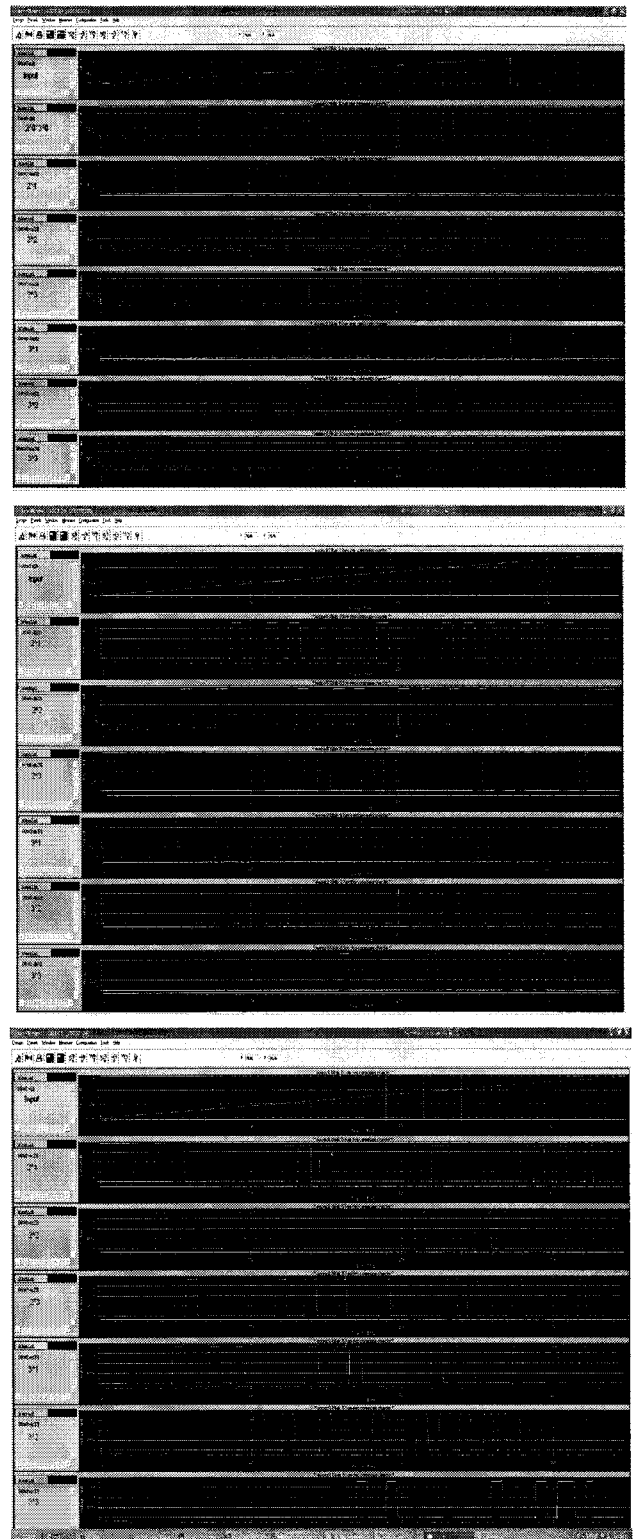


그림 10. 최종 출력파형
Fig. 10. HSPICE Output Waveforms

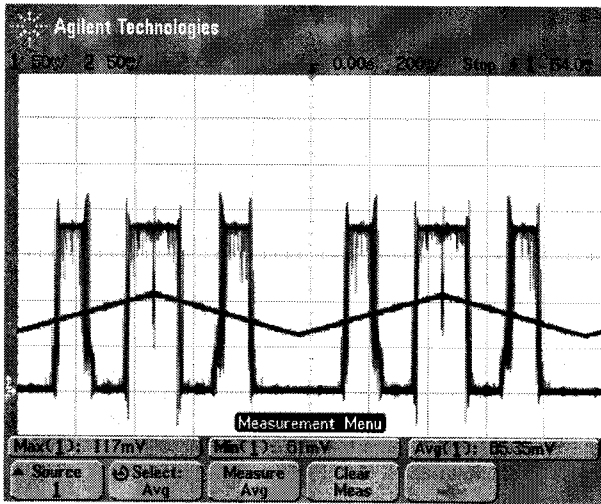


그림 11. 측정된 출력파형
Fig. 11. Measured Output Waveform

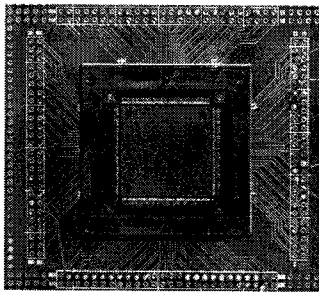


그림 12. 제작된 칩
Fig. 12. Fabricated Chip and PCB

V. 결론

Flash ADC의 경우 속도는 빠르지만 다른 ADC보다 해상도와 전력소모 면에서 취약하다. 이러한 단점을 보완하기 위하여 TIQ 기술을 이용한 회로를 설계하였다. 또한 Encoder 회로를 Binary 출력을 제공하는 대신에 시간으로 디지털 신호처리를 하기에 적합한 DBNS 표현법을 이용하였다. DBNS를 이용할 경우에도 Bits의 수가 많아지면 이에 비례하여 덧셈의 횟수가 증가할 것이므로 일반적인 Binary Code로 연산할 경우와 장단점이 교차하는 크기가 있을 것으로 이에 대한 수치적 모델에 대한 연구가 필요하다. 향후에 트랜지스터의 크기를 보다 수치적으로 구할 수 있는 모델링 기법과 TIQ의 전원 잡음에 따른 동작전압의 변화를 방지하기 위한 내부 전원회로설계가 필요하다. 향후 디지털 신호처리회로를 포함한 SoC로 제작하는 방법에 대한 연구가 필요하며, 디지털 필터를 ADC에 포함하여 설계하여 검증할 필요가 있다. 또한 출력은 3개의 Port로 동일한 행과 열의 크기로 중복하여 제공 하였으나, 실제 수를

표시하는 값만을 이용하여 핀의 개수를 줄일 필요가 있다. 끝으로 Encoder 회로의 Layout을 조절하면 변환속도를 향상시킬 수 있으며, 회로가 정상적으로 동작하는 못하는 이유는 동일한 크기의 트랜지스터로 Gain Booster를 설계하였으므로 전압비교기의 응답이 순차적으로 동작하지 못하기 때문에 0-1 Generator가 오동작을 하는 것으로 판단된다

참고 문헌

- [1] S. Morteza pour, and E. K. F. Lee, "A 1-V, 8-Bit Successive Approximation ADC in Standard CMOS Process," IEEE Journal of Solid-State Circuits, vol. 35, pp. 642-646, April 2002.
- [2] D. Dalton, G. Spalding, H. Reyhani, T. Murphy, K. Deevy, M. Walsh, and P. Griffin, "A 200-MSPS 6-Bit Flash ADC in 0.6- μ m CMOS," IEEE Transactions on Circuit and System, vol. 45, pp. 1433-1444. November 1998.
- [3] J. Yoo, *A TIQ Based CMOS Flash A/D Converter for System-On-Chip Application*, Ph.D. dissertation, The Pennsylvania State University, 2003.
- [4] J. Yoo, D. Lee, K. Choi, and J. Kim, "A Power and Resolution Adaptive Flash Analog-to-Digital Converter," ACM/IEEE International Symposium on Low Power Electronics and Design, pp. 233-236, 2002.
- [5] Daegyu. Lee, Jincheol Yoo, and Kyusun Choi. "Design Method and Automation of Comparator Generation for Flash A/D Converters," IEEE International Symposium on Quality Electronic Design, pp. 138-142, 2002.
- [6] J. Kim, "Design of a TIQ Bases CMOS A/D Converter for real time DSP," KISPS Journal of Signal Processing and Systems, vol. 8. no. 3, pp. 205-210, July 2007.
- [7] Alfi Moscovici, *High Speed A/D Converters-Understanding Data Converters through SPICE*, Kluwer Academic Publishers, 2001.
- [8] J. Segura, J. L. Rossell'o, J. Morra, and H. Sigg, "A Variable Threshold Voltage Inverter for CMOS Programmable Logic Circuits," IEEE Journal of Solid State Circuits, Vol. 33, pp. 1262-1265, Aug. 1998.
- [9] R. Kanan, F. Kaess, and M. Declercq, "A 640mW High Accuracy 8-bit 1GHz Flash ADC Encoder," IEEE International Symposium on Circuits and Systems, pp. 420-423, 1999.
- [10] Y. T. Wang and B. Razavi, "An 8-Bit 150-MHz CMOS A/D Converter", IEEE Journal of

- Solid-State Circuits, vol. 35, pp. 308-317, March 2000.
- [11] V. S. Dimitrov and G. A. Jullien, "A New Number Representation with Applications," IEEE Circuits and Systems Magazine, vol. 3 pp. 6-23, November, 2003.
- [12] V. S. Dimitrov, G. A. Jullien, Miller. "Theory and Applications of Double Base Number System," IEEE Transactions on Computers, vol. 48, pp. 1098-1106, 1999.
- [13] G. Gilbert and J. M. P. Langlois, "Multipath Greedy Algorithm for Canonical Representation of Numbers in the Double Base Number System," IEEE NEWCAS Conference, pp.39-42, 2005.
- [14] V. Berthe, L. Imbert, and G. A. Jullien, "More on Converting Numbers to the Double Base Number System," Research Report LIRMM-0403 1, Montpellier France, October 2004.
- [15] M. Pankaala, A. Paasio, and M. Laiho, "Implementation Alternatives of A DBNS Adder," 9th International Workshop on Cellular Neural Networks and Their Applications, pp. 138-141, May, 2005.
- [16] R. Jacob Baker, Harry W. Li, and David E. Boyce, CMOS Circuit Design, Layout, and Simulation, IEEE Press Marking, 1998.



김 종 수 (Jongsoo Kim)

1976년 연세대학교 전자공학과(공학사)
 1978년 연세대학교 전자공학과(공학석사)
 1994년 알라바마대학교 전기공학과
 (공학박사)
 1995년 울산대학교 전기전자정보시스템
 공학부 교수

※주관심분야 : VLSI 회로 및 시스템



김 만 호 (Man-Ho Kim)

1989년 Delft University of Technology in
 Holland(Ir degree)
 1995년 Leicester University, UK (Ph. D.)
 2005년 울산대학교 전기전자 정보시스템
 공학부 교수

※주관심분야 : CMOS/CCD 이미지 센서

장 은 화 (Eun-Hwa Jang)

2005년 울산대학교 전기전자정보시스템
 공학부(공학사)
 2007년 울산대학교 전기전자정보시스템
 공학과(공학석사)

※주관심분야 : VLSI 회로 및 시스템