

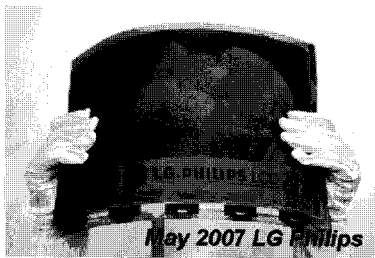
트랜지스터 소자기술

김일두 선임연구원 (한국과학기술연구원 재료연구본부) | 홍재민 책임연구원 (한국과학기술연구원 재료연구본부)

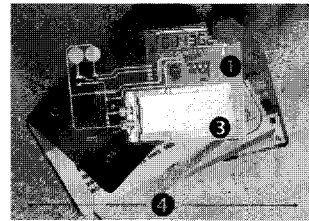
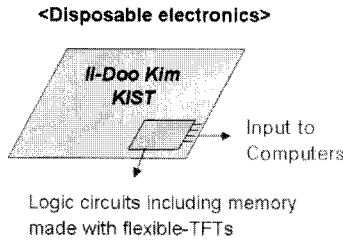
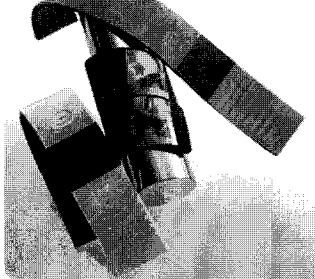
1. 서론

대한민국의 IT (Information Technology) 산업은 Si 기반의 메모리 반도체와 LCD (Liquid Crystal Display), PDP (Plasma Display Panel) 로 대표되는 평판 디스플레이 (Flat Panel Display)을 중심으로 발전해오고 있으며, OLED (Organic Light Emitting Diode) 및 FED (Field Emission Display)와 같은 차세대 디스플레이 연구도 활발히 진행되고 있다. 이러한 평판 디스플레이 소자의 능동 영역 구동 (Active Matrix Driving)을 위해서는 각각의 화소마다 박막

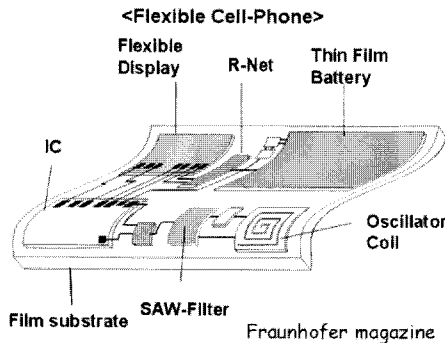
트랜지스터가 필요하게 되는데, 고해상도 디스플레이 소자 제작과 동영상 구현을 위해서는 고성능의 박막 트랜지스터가 요구 된다[1, 2]. 또한 차세대 디스플레이로 추진되고 있는 플렉서블 디스플레이의 경우, 얇고 유연한 플라스틱 기판 위에 구현됨에 따라, 충격 저항성이 높고, 대면적이 가능하며, 구조적으로 플렉서블 (Flexible)하다는 장점을 가질 수 있다. 최근 들어 유기 및 금속산화물 반도체를 채널층으로 이용한 트랜지스터를 플렉서블 디스플레이에 적용한 사례들이 소개가 되고 있으며, 그림 1에서 보여지듯이 RFID, 전자종이, 3차원 집적화 등 응용 영역을 점진적으로 넓혀 나가고 있는 추세이다[3].



NEC has just unveiled "Tag", its next-generation cell phone. March 2007



IDTech Ex Ltd.



Toppan	
Display Size	4 Inch Diagonal
Display Type	VGA [320(x2) × 240(x2)]
Resolution	400 ppi
Color Filter Layout	Staggered RGBW Square
TFT Size	W / L ≈ 5μm / 20μm
Pixel Pitch	250μm × 250μm

그림 1. 플렉서블 전자소자의 응용 기술.

특히 유기반도체를 기반으로 한 플렉서블 박막 트랜지스터 소자기술은 다양한 기술동향보고가 이루어지고 있다[2]. 본 보고에서는 무기반도체 및 산화물 절연막을 기반으로 한 플렉서블 트랜지스터의 연구동향에 대하여 기술해 보고자 한다.

우선적으로 플렉서블 트랜지스터의 개발은 플라스틱 기판이 견딜 수 있는 온도 안정성을 고려하여, 제조 공정 온도가 아주 낮아야 한다는 제약이 따르게 된다. 또한 실질적인 모바일 응용 및 배터리 (Battery)에 의해 전력이 공급이 되는 회로에 응용이 되기 위해서는 트랜지스터 소자의 구동 전압이 5 V 미만으로 더욱 낮아져야만 한다. 따라서 저온공정 및 저전압 구동이라는 두가지 요소가 트랜지스터의 반도체 채널층 재료 및 게이트 절연막 소재의 선택에 있어서 아주 중요하다.

2. 반도체 채널층

트랜지스터는 전기신호의 증폭 및 스위칭 작용을 하는 전자소자의 핵심부품이다. 그림 2는 하부 게이트 전극 구조를 가지는 트랜지스터의 기본적인 모식도를 보여주고 있다. 일반적인 트랜지스터는 Si 반도체를 200 °C ~500 °C의 온도에서 비정질 또는 다결정 형태로 증착하여 디스플레이 패널 또는 메모리 소자 등에 이용하고 있다. 저온 폴리실리콘 (LTPS) 기술

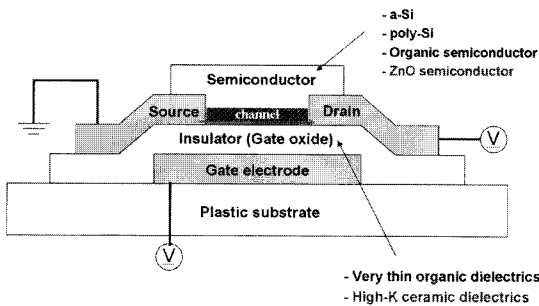
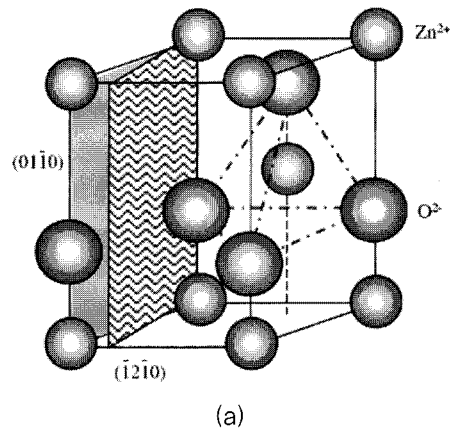
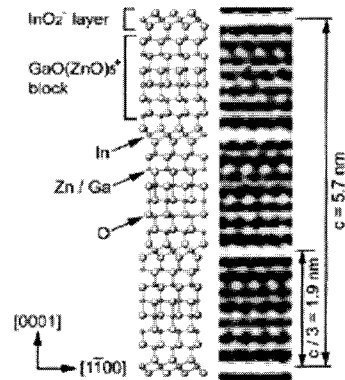


그림 2. 플라스틱 기판 위에 제조된 플렉서블 트랜지스터의 기본 구조.

및 저온 a-Si 반도체 공정기술 등의 개발을 통해 Si 반도체의 공정온도를 낮추는 노력들이 활발히 진행이 되고 있지만, 플라스틱 기판의 낮은 유리전이 온도 (Glass Transition Temperature)로 인해 플라스틱 기판 위에 Si 박막의 직접적인 증착은 아직까지 어려운 상태이다. 이를 극복하기 위해 Si 소재를 대체할 수 있는 차세대 반도체 재료에 대한 상온공정 연구들이 활발히 진행되고 있다. 1990년대 후반부터 현재까지 펜타신(Pentacene) 등의 저분자 유기반도체 및 Poly(3-hexylthiophene), P3HT 등의 고분자 반도체 소재를 박막 증착하거나 용액공정을 이용하여 트랜지스터를 제조하는 연구들이 소개되고 있다[2]. 그러나 유기반도체는 플라스틱 기판 위에 저온에서 용이



(a)

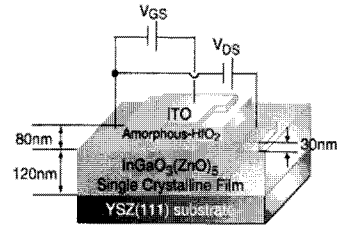


(b)

그림 3. (a) ZnO 결정구조, (b) InGaZnO₄ 결정구조.

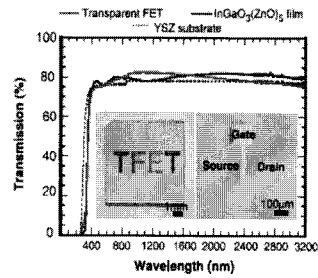
하게 증착이 가능하다는 큰 장점에도 불구하고, 장기수명 안정성과 낮은 이동도 (Mobility) 특성으로 인해 상용화에 있어 제품 응용 범위가 한정적이다. 이러한 유기반도체 트랜지스터의 한계점을 극복하기 위한 대안으로 최근에 활발히 연구되고 있는 분야가 산화물 반도체 기반 트랜지스터이다. 대표적인 산화물 반도체중의 하나인 ZnO는 상온 증착에서도 Poly-Si 이상의 높은 이동도 (Mobility, 200 cm²/V(s)) 특성을 가질 수 있으며, 산화물이기 때문에 유기물에 비해 외부 환경에 대한 안정성이 뛰어난 장점이 있다. 또한 ZnO는 넓은 밴드갭 (3.37 eV)을 가진 II-VI족 화합물 반도체로서 상온 증착에서도 다결정 박막 (Polycrystalline Thin Film)이 형성되어, 고이동도 특성을 지닐 수 있어 박막 트랜지스터의 채널층으로 이용되고 있다[1, 5]. 그림 3(a)에서 처럼 ZnO는 육방정계 (Hexagonal) Wurtzite 구조를 나타내고 있으며, 기판 표면에 수직한 (0002) 면은 높은 원자 충전율로 인해 가장 낮은 표면 에너지를 가지게 되는데, 이로 인해 ZnO는 박막 증착 시 c축 방향으로 우선 성장하게 된다. 한편, O²⁻ 이온은 Hexagonal Site에 위치하고, Zn²⁺ 이온은 Tetrahedral Site 위치에 과반수를 차지하며 Zn층과 O층이 교대로 구성되어 있다. 평균 격자상수는 c=0.521 nm, a=0.325 nm이며 Zn과 O의 직경이 크게 다르기 때문에 비교적 큰 Tetrahedral Interstitial Site가 존재하며 Zn 원자가 이들 Site에 침투하여 침입형 (Interstitial) Zn이 된다.

따라서 일반적으로 ZnO 물질은 비화학양론적인 조성비를 가지게 되며, 상온 증착에서도 다결정 구조가 손쉽게 얻을 수 있다는 장점을 바탕으로, 높은 전자 이동도 특성을 가질 수 있게 되는 것이다. 특히 ITO 등의 투명전극과 결합하여 가시광선 영역에서 투명한 박막 트랜지스터 (Transparent TFTs: TTFTs)의 응용도 가능하며, 투명창 소자 및 투명 디스플레이 소자 등에 활용 가능성이 높다. 이와 같이 산화물 반도체 재료는 유기반도체가 가지는 단점을 보완하기 위해 ZnO, SnO₂, In₂O₃와 같은 2성분계 반도체 재료, MgZnO, CdZnO, GaZnO 등 3성분계 반도체 재료 및 InGaZnO₄ (IGZO)의 4성분계 재료에 걸쳐서 광범위하게 연구가 진행이 되고 있는 실정이다. 특히 일본 Hosono 그룹에서 발표한 비정질 산화물 반

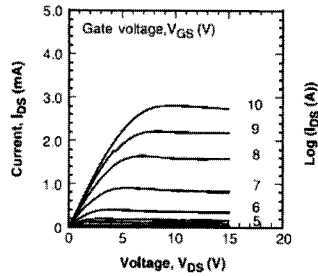


80 nm a-HfO₂ ε_r = 18

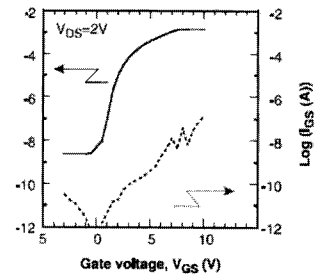
(a)



(b)



(c)

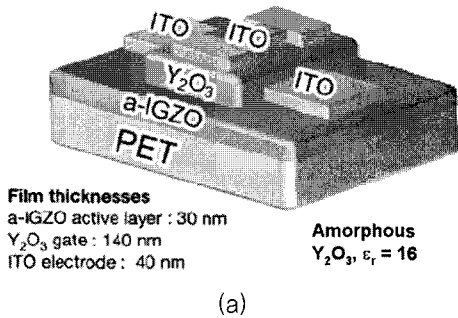


(d)

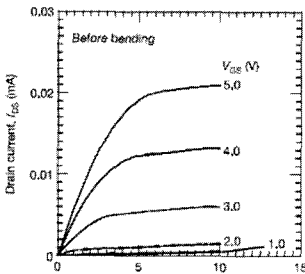
그림 4. (a) IGZO 단결정을 활성채널층으로 이용한 투명 트랜지스터 소자 모식도, (b) IGZO 투명 트랜지스터의 광투과율 (~80%), (c) 트랜지스터 Output 특성, (d) 트랜지스터 Transfer 특성.

도체 (In-Ga-Zn-O)에 대한 보고가 2003년도에 이루어지면서, IGZO 반도체 재료에 관련한 문헌들이 최근까지 보고되고 있다 [6].

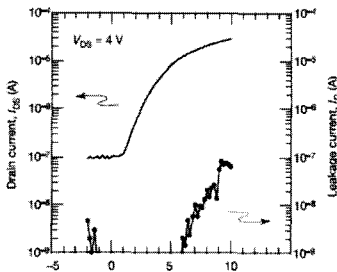
ZnO 결정구조와 달리 IGZO는 그림 3(b)에서 처럼 단결정의 $\text{InGaO}_3(\text{ZnO})_5$ 의 초격자에서 InO_2 층과 $\text{GaO}(\text{ZnO})_5$ 층이 <0001> Zone을 따라서 적층된 구조를 가지고 있다. 그림 4는 Hosono 그룹에서 발표된 연구결과로, IGZO를 투명박막 트랜지스터의



(a)



(b)



(c)

그림 5. (a) 비정질 a-IGZO 박막을 활성채널층으로 이용한 투명 트랜지스터 소자 모식도, (b) 트랜지스터 Output 특성, (c) 트랜지스터 Transfer 특성

활성 채널 (Active Channel)로 이용 가능성을 제시하고 있다. 이때 YSZ 단결정 기판 위에 얻어진 120 nm의 $\text{InGaO}_3(\text{ZnO})_5$ 의 단결정은 비정질 HfO_2 게이트 절연막과 함께 만들어져서 $80 \text{ cm}^2/\text{Vs}$ 의 전하이동도를 보여주었다. Hosono 그룹은 2004년도에 동일한 IGZO 물질을 상온에서 PLD (Pulsed Laser Deposition) 방법을 이용하여 증착하는 경우, 비정질 특성이 언어짐을 관찰하였다[7]. 그림 5에서 보여지듯이, PET 기판을 이용하여, 플렉서블 트랜지스터를 제조하였으며, Y_2O_3 게이트 절연막을 140 nm PLD 방법으로 증착하고, ITO 전극을 소스, 드레인, 게이트 전극으로 이용하였다. 이때 전계이동도 $6\text{-}9 \text{ cm}^2/\text{V}(\text{s}$ 값을 보고하였다. 특히 상온에서 얻어진 IGZO 박막이 비정질 구조를 가지고 있기 때문에, 단결정 ZnO 채널층에서 관찰되는 그레인바운더리 (Grain Boundary)에 의한 전자의 스캐터링 (Scattering)이나 결함 (Defect)의 발생을 최소화 할 수 있어, 보다 안정적인 트랜지스터의 동작을 기대할 수 있는 장점이 있다.

현재 트랜지스터의 채널층으로 널리 활용되고 있는 반도체 재료는 표 1에서 처럼 정리할 수 있다.

이러한 산화물 반도체 기반의 트랜지스터는 최근 3 여년에 걸쳐서 비약적으로 발전하고 있다. 특히 ZnO 트랜지스터의 캐리어 이동도는 2003년에 겨우 $7 \text{ cm}^2/\text{Vs}$ 였지만, 2006년 $70 \text{ cm}^2/\text{V} \cdot \text{s}$, 2007년 $250 \text{ cm}^2/\text{V} \cdot \text{s}$ 로 꾸준히 향상되고 있으며, LG 필립스, 토판 프린팅, 삼성 SDI 등은 비정질 a-IGZO를 이용하여 플렉서블 디스플레이의 시제품을 발표하고 있다. ZnO 기반의 산화물 반도체 트랜지스터는 AMOLED나 AMLCD와 같은 디스플레이의 Backplane용 트랜지스터로 응용뿐만 아니라, 높은 모빌리티 특성을 바탕으로 로직회로 (Logic Circuit) 등에 활용하려는 연구들도 활발히 진행이 되고 있는 추세이다. 그림 6는 ZnO 및 a-IGZO 기반의 트랜지스터 개발 및 응용 현황을 보여주고 있다. 향후 반도체 채널층은 Si반도체를 대체하기 위한 차세대 반도체 소재 분야에 집중하여 연구가 진행이 될 것이며, 특히 산화물 반도체의 높은 이동도 특성 및 상온공정이라는 장점을 바탕으로 플렉서블 트랜지스터 분야에 다양하게 응용될 것이라 예상된다.

표 1. 대표적인 반도체 층의 강점, 약점, 개선점 비교 (Source FED Expo 2006).

TFT Type	Strengths	Limitations	Improvements Needed
a-Si (~ 0.5 cm ² /Vsec)	- Process maturity - Simplicity - Cost effective process	- V _{th} instability under current driving circuit - Low mobility < 1 cm ² /Vs	- Greater threshold voltage stability - Higher mobility
Poly-Si (50-150 cm ² /Vsec)	- High mobility - Capability for integrated electronics	- High process temperature (Over 350 °C) - Poor uniformity in large area	- Uniformity: tool/process - Imaging optics and laser source system performance (e.g., thermal effects, pulse duration, throughput)
Organic (0.01-2 cm ² /Vsec)	- Low process Temp. - Printable process - Cost effective process	- Low mobility - Life time - V _{th} uniformity	- Breakthrough materials - Self-assembled ordering - Manufacturability
ZnO (0.1-80 cm ² /Vsec)	- High mobility - Room Temp. process - Optical transparency - Good uniformity	- Long term stability (Oxygen/ Atmosphere)	- P-type semiconductor - Protection layer
(In,Ga,Zn)Ox	- High mobility - Room Temp. process - Amorphous structure	- Complex compound	- In free semiconductor materials

3. 게이트 절연막층

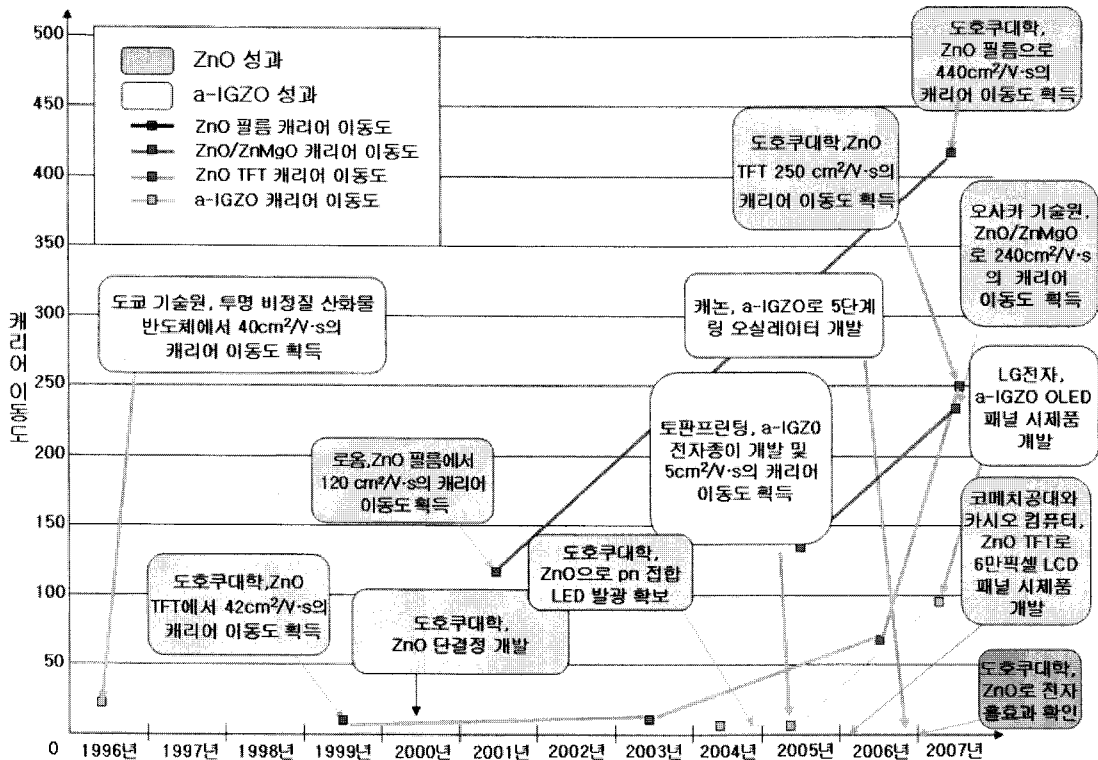
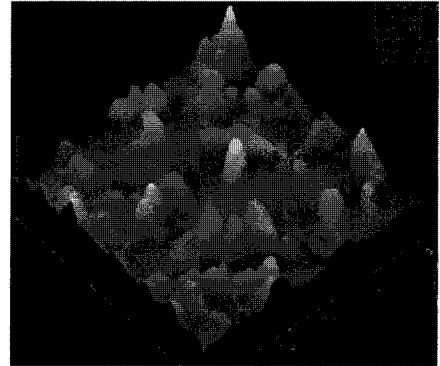


그림 6. 산화물 반도체 기반 트랜지스터 소자기술 개발 및 응용 현황 (Nikkei Electronics Asia 2007, 11월호).

4. 게이트 절연막

플렉서블 트랜지스터의 응용에 있어서, 또 다른 중요한 부분이 낮은 구동 전압이다. 트랜지스터의 낮은 구동전압 즉, 높은 정전용량 값을 얻기 위해서는 그림 7(b) 식에서 보여지듯이 높은 유전상수 또는 얇은 두께의 게이트 절연막을 이용하여야 한다. 그러나 Polymer 기판은 고유하게 거친 표면 (표면 거칠기: Rms ~ 3 nm)을 가지고 있다[4]. 그림 7(a)에서 보여지듯이, 표면처리가 되지 않은 폴리이미드 (Polyimide) 기판은 표면거칠기 (Rms) 값이 ~ 3 nm 정도로 분포된다. 이러한 거친 플라스틱 기판 위에 얇은 박막을 형성하여 저전압 구동을 얻게 되는 경우에는 쉽게 핀홀 (Pinhole)이 형성이 되거나, 균일한 막 도포 (Step Coverage)가 어려워지며, 절연막 파괴가 발생하여 안정한 소자 특성 확보가 어려워진다. SAM (Self Assembled Monolayer) 기술을 통해서 얻어진 Gate Dielectric을 이용하여 낮은 구동 전압 (<5 V)을 얻는 논문들이 보고가 되고 있지만, 거친 폴리머 기판에서 좋은 특성을 보여주는 문헌은 찾아보기 어렵다[8]. 결국 안정적인 트랜지스터의 저전압 구동을 얻기 위해서는 200 nm 이상의 두꺼운 절연막이 요구가 되며, 200 nm의 두꺼운 Gate Oxide를 사용하면서도 충분히 낮은 구동전압을 얻기 위해서는 유전상수 20 이상, 낮은 누설전류 밀도, 높은 절연막 파괴 강도를 가지는 게이트 절연막의 선택이 중요하다[9-11]. 이러한 게이트 절연막 형성 기술로서, Wet Process (Sol-gel), Physical Vapor Deposition (Sputtering, Pulsed Laser Deposition), 및 Chemical Vapor Deposition, Atomic Layer Deposition 등 다양한 공정기법이 적용되고 있다. 최근에는 저가의 대면적화를 위해서는 플렉서블 유/무기 절연막 Printing 기술과 이의 연속 생산기술인 Roll-to-Roll 공정기술에 집중적인 연구개발이 이루어지고 있다[2].

트랜지스터 소자에 활용되고 있는 게이트 절연막을 비교해 보면, 표 2에 표시된 것처럼, 유기절연막과 무기절연막으로 분류할 수 있다. 여기서 유전율,

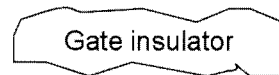


Polyimide
(RMS : 3.3 nm)

(a)

$$\text{Capacitance} = \epsilon_0 \epsilon_r \frac{A}{d}$$

(b)



Rough surface (polymer)

(c)

Bad coverage & pinhole



Rough surface (polymer)

(d)

그림 7. (a) 폴리이미드 (Polyimide) 기판의 AFM (Atomic Force Microscopy) 이미지, (b) 정전용량을 표현하는 식, (c) 폴리머 기판 위에 형성된 게이트 절연막 (~ > 200 nm두께), (d) 폴리머 기판 위에 형성된 게이트 절연막 (~ < 20 nm 두께).

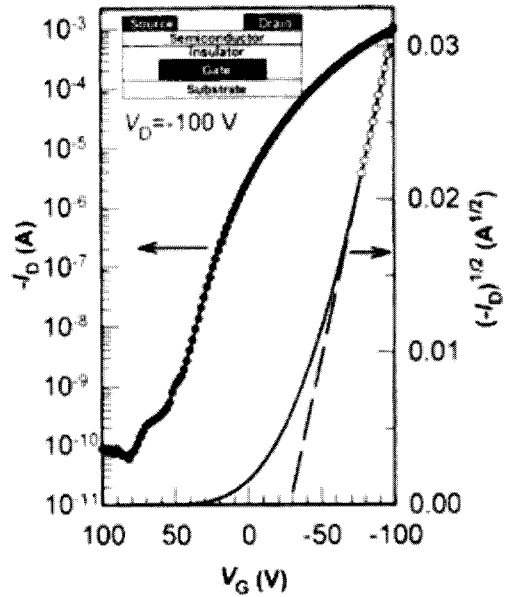
게이트 누설전류 특성 및 절연파괴 강도 등은 선택된 절연막의 종류 및 제조 방법에 따라 큰 차이를 나타내게 된다.

유기 절연막으로는 주로 Cross-linked Polyvinylphenol (PVP)과 그 유도체, Polyimide, Polymethylmethacrylate (PMMA)와 그 유도체, BCB 및 Polystyrene (PS) 등이 사용되고 있으나, 표 2에서 보여지듯이 유전상수 값이 3~5 정도로 일반적으로 낮게 분포되어 있다. 이에 비해 무기절연막은 상온공정에서도 상대적으로 높은 유전상수 값을 가지게 된다. 그러나 플라스틱 기판의 온도 안정성에 대한 제약으로 상온 공정으로 BZT, Ta₂O₅, TiO₂ 등과 같은 무기 절연막을 제조하는 경우, 인가 전압이 증가함에 따른 급격한 누설전류 값의 증가로 안정적인 트랜지스터의 성능 구현에 어려움을 겪게 된다. 따라서, 플라스틱 기판 위에 트랜지스터를 제조하기 위해서는 상온공정이 필수적이며, 높은 유전상수와 낮은 누설전류 값을 가지는 절연 특성이 우수한 게이트 절연막의 사용이 중요하다.

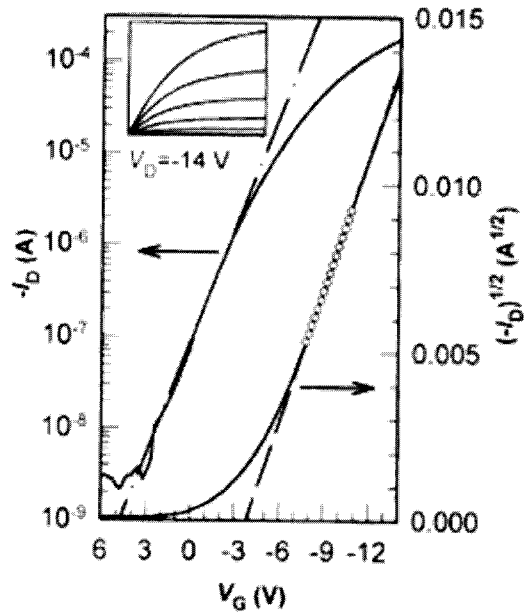
5. 고유전 게이트 절연막을 이용한 트랜지스터

고유전 절연막 (유전상수 14 ~ 50 사이)을 플라스틱 기판 위에 증착하여 낮은 전압에서 트랜지스터를 동작시키는 연구 방향에 대해서는 1999년 IBM에서 소개되었다(그림 8). 유전상수가 각각 17.3과 16인 (Ba,Zr)TiO₃와 (Ba,Sr)TiO₃ 게이트 절연막을 상온에서 스퍼터링으로 증착하여 저전압(< 14 V) 구동의 펜타신 박막 트랜지스터를 제작하였다[12].

그림 9(a)의 페로브스카이트 (Perovskite) 구조를 가지는 (Ba,Sr)TiO₃는 대표적인 고유전 절연막 소재이다. 이온 반경이 큰 바륨(Ba)과 산소(O)가 정육면체를 구성함에 따라, 가운데 Octahedral Site에 넓은 공간이 형성되고, 4개의 Ti 이온이 위치하면서 큰 Dipole Moment가 얻어지게 된다. 이러한 결정 구조를 얻기 위해서는 500 °C 이상의 고온 증착 공정이 요구가 된다. 페로브스카이트 결정질 구조에서 (Ba,Sr)TiO₃ 유전상수 값이 300~1000 정도의 분포를



(a)



(b)

그림 8. (Ba,Zr)TiO₃ 박막을 게이트 절연막으로 이용한 펜타신 박막 트랜지스터, (a) 500 nm SiO₂ 게이트 절연막 이용한 트랜지스터의 Transfer 특성, (b) 122 nm BZT 박막을 이용한 펜타신 트랜지스터의 저전압구동 특성

가지게 된다. 그러나 상온에서 제조된 (Ba,Sr)TiO₃ 박막은 그림 9(b)에서처럼 결정이 아닌 비정질 형태로 존재하게 되며, 증착 방법에 따라 차이가 발생하지만, 유전상수 값이 16~28 정도의 분포를 가지게 된다. 페로브스카이트 결정 구조를 가지는 (Ba,Sr)TiO₃ 박막에 비해 유전상수 값은 크게 떨어지지만, 비정질 구조에서도 유기 절연막에 비해 높은 유전상수 값을 형성하게 됨으로, 저전압 구동 트랜지스터를 유도하

기 위한 게이트 절연막으로 활용 가능성이 높다고 볼 수 있다.

6. 게이트 절연막의 누설전류 특성 개선 기술

현재 연구가 진행 중인 고유전 물질의 후보로는

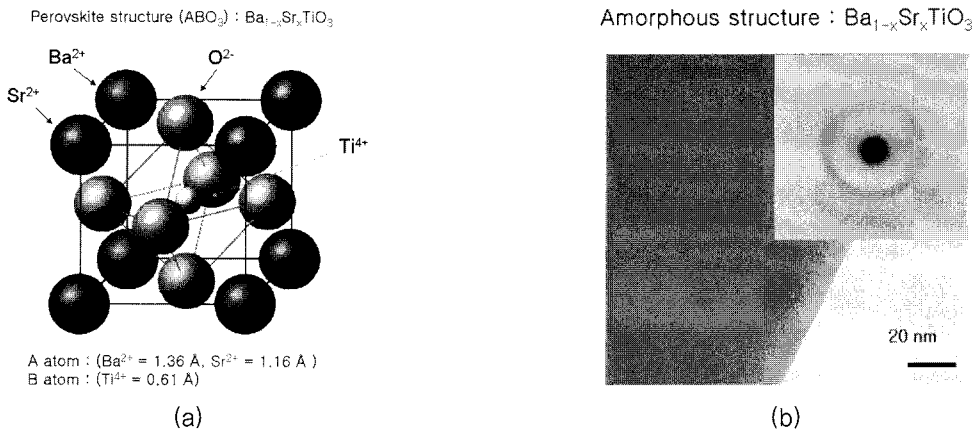


그림 9. (a) 페로브스카이트 구조를 가지는 (Ba,Sr)TiO₃ 박막의 unit cell 구조, 500 °C 이상의 고온에서 결정화가 이루어지는 경우 페로브스카이트 구조를 가지게 되며, 300 이상의 높은 유전상수 값을 가지게 됨, (b) 상온에서 스퍼터링으로 증착된 (Ba,Sr)TiO₃ 박막의 투과전자현미경 (TEM) 이미지로, 비정질의 구조를 보여주고 있음.

표 2. 다양한 유기/무기 게이트 절연막 소재 및 특성.

▶ Organic dielectrics

Material	Property	Dielectric Constant	Min. Process Temperature (°C)	Deposition Process	Problem
BCB		2.65	200	Spin-coating	High temperature
Polyimid		3.3	180	Spin-coating	High temperature
Parylene C		3.10	Room Temp.	Vapor deposition	Difficult process
PMMA		2.5~4.5	-	Spin-coating	-
CYPEL		12	-	Spin-coating	Moisture sensitive

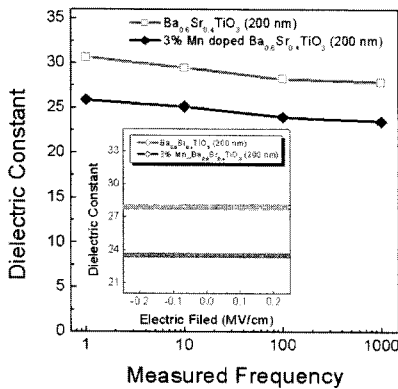
▶ Inorganic dielectrics

SiO ₂		3.9	350	CVD	High temperature
SiN _x		7	450	CVD	High temperature
AlN		9~10.4	Room Temp.	Sputter	Leakage
AlON		12.4	Room Temp.	Sputter	Leakage
Al ₂ O ₃		9~9.8	Room Temp.	Sputter	Leakage
Ta ₂ O ₅		26	Room Temp.	Sputter	Leakage
BZT		17.3	Room Temp.	Sputter	Leakage

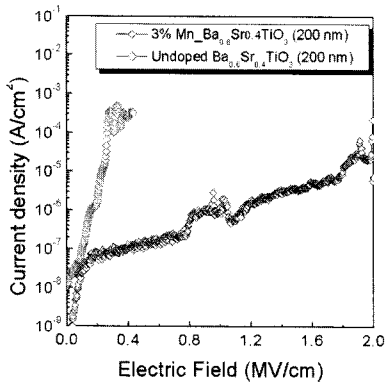
앞서 표 2에서 언급한 Al_2O_3 , Ta_2O_5 , TiO_2 , ZrO_2 , HfO_2 , BST 등이 있다. 고유전 게이트 절연 물질을 선정할 때 고려해야 할 특성은 누설전류 특성, 열적 안정성, 결정 상태, 비유전율, 전자 구조, 내부의 결합 등이 있다. 상대적으로 ZnO 기반 트랜지스터의 경우 Al_2O_3 이나 HfO_2 를 게이트 절연막으로 이용한 보고가 많이 이루어지고 있다. 앞선 언급한 $(Ba,Sr)TiO_3$ 박막에서도 고유전 특성은 유지하면서 누설전류를 줄일 수 있는 방법에 대해서, 다양한 접근 방법이 이루어지고 있다. 그 중의 하나가 $(Ba,Sr)TiO_3$ 박막에

Mn, Mg과 같은 억셉터를 도핑하는 것이다[9,11]. 그림 10에서 처럼 Mn이나 Mg 도핑된 BST 박막은 24 정도의 높은 유전 상수와 함께 우수한 누설전류특성을 가지고 된다. 보고에 따르면 ABO_3 페로브스카이트 구조 (Perovskite Structure)의 B 사이트에 $Ti^{4+}(r_{eff}=0.605 \text{ \AA})$ 을 부분적으로 치환한 $Mn^{2+}(r_{eff}=0.67 \text{ \AA}) \sim Mn^{4+}(r_{eff}=0.53 \text{ \AA})$ 전이금속 이온이 억셉터 도펀트 (Acceptor Dopant)로 작용, BST 박막 내부의 자유 전자들을 포획해 누설전류밀도를 크게 감소시키는 것으로 알려지고 있다. 페로브스카이트 구조의 B 사이트에 위치한 6배위수 결합일 때 Ti^{4+} 이온 ($r_{eff}=0.605 \text{ \AA}$)과 이온반경이 비슷한 $Mg^{2+}(r_{eff}=0.72 \text{ \AA})$, $Ni^{2+}(r_{eff}=0.69 \text{ \AA})$ 역시 BST 박막의 누설전류 특성을 향상시킬 수 있는 도펀트 후보 물질로 분류되고 있다. 상온증착 과정에서도 단범위 정렬 특성 (Short Range Ordering)을 바탕으로 비정질 구조에서도 누설전류 감소 특성을 기대할 수 있다.

게이트 절연막의 누설전류를 감소시킬 수 있는 다른 방법은 앞서 언급한 절연막 Al_2O_3 , Ta_2O_5 , TiO_2 , ZrO_2 , HfO_2 , BST 등 위에 절연특성이 더 우수한 얇은 절연막을 도포하는 방법이 있다. Bilayer 구조, Capping Layer 구조 등으로 명칭되어지고 있는데, 유기절연막으로 Parylene[4]이나 무기절연막인 MgO [10]와 같은 박막을 10~ 30 nm 정도로 얇게 입혀서 누설전류를 낮출 수 있다.



(a)



(b)

그림 10. $Ba_{0.6}Sr_{0.4}TiO_3$ 박막 (200 nm)과 3 % Mn 도핑된 $Ba_{0.6}Sr_{0.4}TiO_3$ 박막 (200 nm)의 (a) 유전상수 특성 및 (b) 누설전류 특성. 금속/절연막/금속 (MIM) 구조에서 측정된 결과이며, 상온 스퍼터링 공정을 통해 얻어진 유전박막.

7. 저전압 구동 플렉서블 ZnO 기반 트랜지스터

플렉서블 트랜지스터를 제조하기 위해서는 플라스틱 기판을 이용하여야 한다. Polyethylene Terephthalate (PET), Polyethersulfone (PES), Polyimide, Polycarbonate (PC) 등 상당히 다양한 기판이 존재하며, 유리전이 온도, 열팽창 특성 등 플렉서블 트랜지스터를 제조하는 공정 조건과 응용에 맞추어서 적절한 기판재료를 선택하여야 한다. PET 같은 경우 유리전이온도가 80~90 °C 정도로 상당히 낮기 때문에, 공정온도에 제약이 가장 큰 기판이라 할 수 있다.

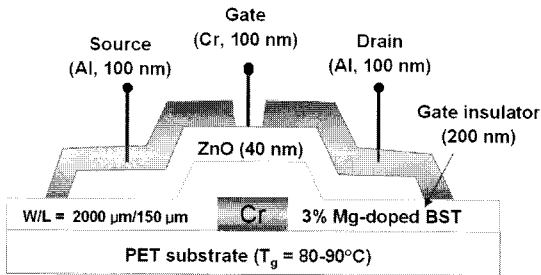
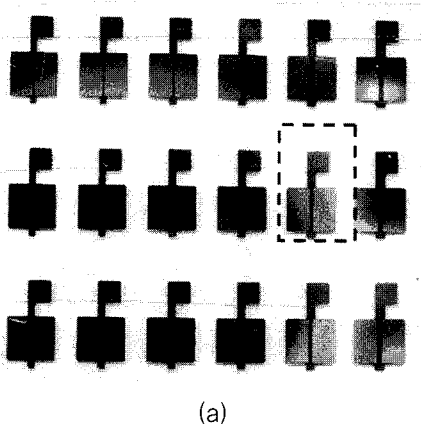
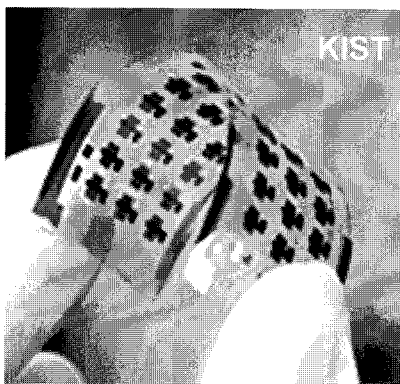


그림 11. PET 기판 위에 제조된 저전압구동 ZnO 기반 트랜지스터의 모식도.



(a)

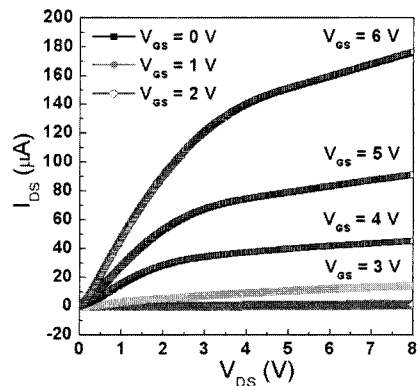


(b)

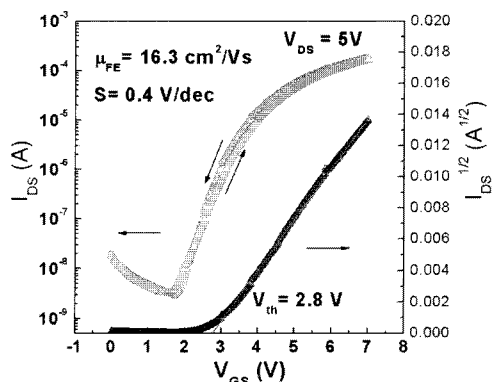
그림 12. (a) PET 기판 위에 제조된 저전압구동 ZnO 기반 트랜지스터의 광학현미경 이미지, 3% Mg 도핑된 BST 게이트 절연막 이용, (b) PET 기판 위에 제조된 저전압구동 ZnO 기반 트랜지스터의 이미지, 고유전 복합세라믹절연막 이용.

그림 11은 PET 기판 위에 상온에서 제조된 저전압구동 ZnO 기반 트랜지스터의 모식도를 보여주고 있다. Cr (100 nm)으로 게이트 전극을 형성하고, 게이트 절연막으로 3% Mg 도핑된 BST 박막을 200 nm 두께로 스퍼터링으로 증착되며, 반도체 채널층은 40 nm의 ZnO로 스퍼터링을 통해 제조한다. 그리고 최종 트랜지스터 회로를 구성하기 위해 소스와 드레인을 100 nm 두께로 Al Evaporation을 실시한다.

그림 12은 실제 제조된 PET 기반 트랜지스터의 광학현미경 사진을 보여주고 있다. 트랜지스터를 구성하는 박막의 두께가 200 nm 미만으로 휘어짐에



(a)



(b)

그림 13. (a) ZnO 기반 트랜지스터의 Output 특성, (b) ZnO 기반 트랜지스터의 Transfer 특성.

대한 크랙 (Crack)의 발생을 최소화 하여, 산화물 박막을 이용하여서도 플렉서블 트랜지스터를 구현할 수 있다.

그림 13은 3 % Mg 도핑된 BST 절연막을 이용한 트랜지스터의 특성을 보여주고 있다. 5 V의 게이트 전압에서 90 μA 의 높은 온전류 (On-current) 특성을 보여주고 있다. 이때 사용된 게이트 절연막의 유전 상수는 24이며, 측정된 전계효과이동도 (Field Effect Mobility)는 16.3 $\text{cm}^2/\text{V} \cdot \text{s}$ 이다. 게이트 절연막과 반도체 층 사이의 계면특성을 나타내는 Sub-threshold swing 값도 0.4 V/dec로 양호하다. 또한 그림 12(b)에서 처럼 낮은 히스테리시스 (Hysteresis) 특성이 관찰이 되었다. 이러한 ZnO 기반 저전압 구동 특성은 도핑된 BST 절연막을 이용하는 경우에만 관찰이 되는 특성은 아니다. 비정질 HfO_2 , Al_2O_3 등도 원자층 증착법 및 스퍼터링법으로 두께를 100 nm 정도로 형성하게 되면, 낮은 전압에서 구동하는 트랜지스터를 구현할 수 있다[7,13,14]. 그러나 기판의 거칠기 등을 고려할 때 충분한 두께의 게이트 절연막의 확보가 이루어져야 한다.

8. 결론

기존의 "Rigid" 형태를 벗어난 "Flexible" 전자기기에 대한 User의 Need는 디스플레이 뿐만 아니라 손목에 감을 수 있는 휴대폰이나 입는 컴퓨터 (Wearable Computer) 와 같이 휴대화가 가능한 전자기기들에 대해서도 다양하게 요구되고 있다. 특히 디스플레이 분야에서는 HP, Canon, Toppan, LG전자와 같은 회사에서 실질적인 ZnO 기반 트랜지스터의 AMOLED 적용에 대한 시제품을 발표하고 있는 추세이고, 저온 공정을 바탕으로 한 투명 플렉서블 전자소자 분야에도 많은 투자와 연구들이 이루어지고 있다. 특히 높은 이동도 특성 (High Field Effect Mobility)과 장기 수명 안정성, 높은 점멸비 (on/off ratio) 특성이 확보가 되면 플라스틱 로직회로, 마이크로 칩 및 메모리를 구성하는 트랜지스터의 플렉서블화에도 응용이 가능할 것으로 전망된다. 이를 위해서는 전 공정이 상온에서 제조되는 것이 중요하

며, 3차원 고집적화를 통해 제조비용을 크게 절감할 수 있는 기술에 적용될 수 있다. 이러한 기술 개발을 위해서는 용액공정 (Solution Process)이 가능한 신소재 개발, 고해상도 프린팅 공정기술 개발, 대량생산을 위한 Roll-to-roll 연속공정 기술 개발 및 상온 증착 공정 기술 개발이 중요하다. 특히 우리만의 독자적인 원천소재 (반도체 소재, 게이트 절연막 소재)가 개발된다면 플렉서블 전자소자의 향후 기술 및 시장 진입 전망은 매우 밝을 것으로 예상된다.

참고 문헌

- [1] I. D. Kim, Y. W. Choi, and H. L. Tuller, "Low-voltage ZnO thin film transistors with high-K gate insulator for transparent and flexible electronics" *Appl. Phys. Lett.* Vol. 87, p. 043509, 2005.
- [2] 김일두, 진병두, "유기반도체 기반의 플렉서블 박막 트랜지스터 소자기술과 프린팅 연속공정" *공업화학전망*, Vol. 10, p 9, 2007.
- [3] 김일두, 손원일, 홍재민 "유비쿼터스와 부품소재" *공업화학전망*, Vol. 8, p 1, 2005.
- [4] Y. W. Choi, I. D. Kim, A. I. Akinwande, and H. L. Tuller, "Low voltage organic transistors and depletion load inverters with high-K pyrochlore BZN gate dielectric on polymer substrate" *IEEE Trans. Elect. Dev.* Vol. 52, p 2819, 2005.
- [5] I. D. Kim, M. H. Lim, K. T. Kang, H. G. Kim, and S. Y. Choi, "Room temperature fabricated ZnO thin film transistor using high-K BZN gate oxide prepared by sputtering" *Appl. Phys. Lett.* Vol. 89, p 022905, 2006.
- [6] K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, "Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor" *Science*, Vol. 300, p 1269, 2003.
- [7] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, "Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors" *Nature*, Vol. 432, p 488, 2004.
- [8] M. Halik, H. Klauk, U. Zschieschang, G. Schmid, C. Dehm, M. Schutz, S. Maisch, F. Effenberger, M. Brunnbauer, and F. Stellacci, *Nature*, "Low-voltage organic transistors with an amorphous molecular

gate dielectric" Nature, Vol. 431, p 963, 2004.

[9] K. T. Kang, M. H. Lim, H. G. Kim, I. D. Kim, and J. M. Hong, "Low-voltage ZnO thin films transistors with Mg-doped $Ba_{0.6}Sr_{0.4}TiO_3$ gate insulator" Appl Phys. Lett. Vol. 90, p 043502, 2007.

[10] M. H. Lim, K. T. Kang, H. G. Kim, I. D. Kim, H. L. Tuller, and Y. W. Choi "Low leakage current - stacked MgO/ $Bi_{1.5}Zn_{1.0}Nb_{1.5}O_7$ gate insulator - for low voltage ZnO thin film transistors" Appl. Phys. Lett. Vol. 89, p 202908, 2006.

[11] K. T. Kang, M. H. Lim, H. G. Kim, Y. W. Choi, H. L. Tuller, I. D. Kim, and J. M. Hong, "Mn-doped $Ba_{0.6}Sr_{0.4}TiO_3$ high-K gate dielectrics for low voltage organic transistors on polymer substrate", Appl. Phys. Lett. Vol. 87, p 242908, 2005.

[12] C. D. Dimitrakopoulos, S. Purushothaman, J. Kyminis, and A. Callegari, "Low operating voltage and high mobility field effect transistors comprising pentacene and relatively high dielectric constant insulators" Science, 283, p 822, 1999.

[13] H. Yabuta, M. Sano, K. Abe, T. Aiba, T. Den, H. Kumomi, K. Nomura, T. Kamiya, and H. Hosono, "High-mobility thin-film transistor with amorphous $InGaZnO_4$ channel fabricated by room temperature rf-magnetron sputtering" Appl. Phys. Lett. Vol. 89, p 112123, 2006.

[14] K. T. Kang, I. D. Kim, M. H. Lim, H. G. Kim, and J. M. Hong, "Annealing effect on dielectric and leakage current characteristics of Mn-doped $Ba_{0.6}Sr_{0.4}TiO_3$ thin films as gate insulators for low voltage ZnO thin film transistor"

저|자|약|력



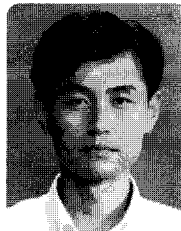
성 명 : 김일두

◆ 학 력

- 1997년 한양대 무기재료공학과 공학사
- 1999년 KAIST 재료공학과 공학석사
- 2002년 KAIST 재료공학과 공학박사

◆ 경 력

- 2001년 Institute for new materials (INM) 독일, 방문연구원
- 2003년 - 2005년 MIT 재료공학과 Post-Doc.
- 2005년 - 현재 한국과학기술연구원 재료연구본부 선임연구원
- 2006년 - 현재 Editorial Board Member, Journal of Electroceramics



성 명 : 홍재민

◆ 학 력

- 1985년 서울대 공업화학화 공학사
- 1987년 서울대 대학원 공업화학화 공학석사
- 1993년 서울대 대학원 공업화학화 공학박사

◆ 경 력

- 1995년 - 1996년 Colorado State Univ. 화학과 Post-Doc.
- 1996년 - 현재 한국과학기술연구원 재료연구본부 책임연구원
- 2000년 Stanford Univ. Visiting Scholar

