Special Thema

산화아연 반도체의 광전소자 응용을 위한 오믹 접합 기술 개발동향

김한기 교수 (금오공대 신소재시스템공학부 | 이지면 교수 (순천대 재료금속공학과)

1. 서 론

차세대 광전소자용(Photoelectronics) 반도체 재료로 각광받고 있는 산화아연(ZnO) 반도체는 직접 천이형 밴드구조를 갖는 화합물 반도체로써 발광다이오드(LED), 레이저다이오드(LD), UV-photodetector와 같은 광소자나 투명 TFT와 같은 전자소자로 응용이 가능한 재료로 알려져 있다. 특히 GaN와 유사한 광특성 및 구조적 특성을 가지며, 상온에서 넓은 밴드갭 (3.37 eV), 큰 엑시톤(Exciton) 결합 에너지(60 meV), 높은 녹는점(2248 °C) 등의 장점으로 인해 GaN를 대치할 수 있는 차세대 물질로 각광받고 있어 전세계적으로 많은 연구가 진행되고 있다 [1]. 이러한 추세에 힘입어 최근 인(Phosphorus)이 도핑된 p-ZnO가 실현됨으로써 p-n 이종접합으로 이루어진 UV-LED가 보고 되어 산화아연 반도체를 근간으로 하는 광소자의 실현을 가시화 시키고 있다. 그림 1은 산화아연 반도체의 p-n 이종접합으로 구현된 UV-LED의 단면 사진과 계면에서의 미세구조를 나타내고 있다[2].

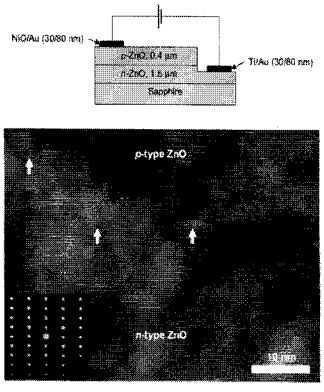


그림 1. 산화아연 반도체를 기반으로 한 p-n접합 발광다이오드의 구조와 계면의 미세 구조[2].

뿐만 아니라, 산화아연 반도체는 비정질 유리나 플라스틱 기판과 같은 다양한 기판에 비교적 낮은 증착온도에서 결정성을 갖는 물질로 성장 시킬 수 있고 넓은 에너지 밴드갭의 특성상 가시광에 노출되더라도 활성층의 특성이 저하되지 않기 때문에 구조가 간편한 투명 트랜지스터의 제조가 가능하다[3]. 특히 전자의 채널 이동도에 따라 더 높은 Drive Current와 더 빠른 소자 동작 속도를 얻을 수 있는 장점이 있다. 현재 산화아연 반도체를 이용한 TFT의 이동도는 0.2~7 $cm^2/V\text{-}s$, I_{on}/I_{off} 비는 10^5~10^7, V_{th}(Threshold Voltage)는 -1 ~ -15 V 정도로 보고되고 있다. 이러한 산화아연 반도체를 기반으로 한 광전소자의 성능 및 신뢰성을 향상시키기 위해서는 산화아연 반도체 상에 고품위 오믹 접합(Ohmic Contact)을 구현하는 것이 매우 중요한 요소이다. 오믹 접합이란 광전소자에 순방향-역방향의 양쪽 전압 방향에서 선형 전류-전압 특성을 갖는 금속-반도체 접합을 말한다. 즉 금속과 반도체 사이에 형성된 장벽(Schottky Barrier Height)에 영향을 받지 않고 전자나 정공을 주입할 수 있는 접합을 의미한다. 오믹

접합 특성이 좋지 않으면 금속과 반도체 사이에 접촉 저항이 커지게 되고 이로 인하여 전자나 정공의 주입 효율이 떨어져 금속-반도체 계면에서 열적 손실이 증가하게 되어 광전소자의 특성에 영향을 미치게 된다. 따라서 산화아연 반도체를 이용하여 고품위 광전소자를 제작하기 위해서는 낮은 접촉 저항, 열적 안정성, 신뢰성, 간단한 공정, 저가 공정, 양산성을 갖춘 n형, p형 ZnO용 고품위 오믹 접합의 개발이 매우 중요하다. 그림 2는 산화아연 반도체에 고품위 오믹 접합을 구현할 때 필요한 요소를 설명하고 있다.

그러나 아직까지 산화아연 반도체용 오믹 접합 기술은 개발 단계에 있고 상대적으로 구현이 쉬운 n형 산화아연 반도체 위주의 오믹 접합 연구가 진행되고 있으며, p형 산화아연 반도체용 오믹 접합의 경우 p형 산화아연 반도체 박막의 구현이 어렵기 때문에 아직까지 제한적인 연구 그룹에서의 연구가 진행되고 있는 실정이다. 따라서, 본 고에서는 차세대 광전소자용 투명 반도체 재료로 각광 받고 있는 n형, p형 산화아연 반도체의 오믹 접합 기술의 개발 동향을 소개하고 앞으로 해결해야 하는 산화아연 반도체용 금속-산화아연 반도체 접합 기술에 대해 논하고자 한다.

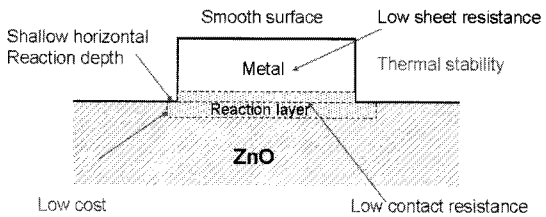


그림 2. 산화아연 반도체용 고품위 오믹 접합을 구현하기 위한 핵심 요소

2. n-형 산화아연 반도체용 오믹 접합 기술 동향

산화아연 반도체는 도핑을 하지 않더라도 많은 수의 산소 공공이 존재하기 때문에 n형 반도체 특성을 나타낸다. 그러나 III족의 Al, Ga, In 물질을 도핑하여 Zn 자리를 III족의 원소로 대치함으로써 전자 농도가 높은 n형 산화아연 반도체를 구현할 수 있다[1]. 이러한 n형 산화아연 반도체용 오믹 접합은 산화아연 반도체 내의 산소와 반응이 잘 일어나는 금속을 선택하여 계면 반응을 일으켜 형성 시킬 수 있다. 표 1은 현재까지 보고된 n형 산화아연 반도체용 오믹 접합 종류와 그 특성을 나타내고 있다[1]. 대부분 오믹 접합은 산소와의 반응성이 높은 Ti, Al, Ru, In 금속을 접합용 금속으로 선택하고 여기에 Au, Pt 금속을 추가로 덮어 오믹 접합의 저항을 낮추고 열적 안정성을 확보하는 형식을 채택하고 있다. 이러한 n형 산화아연 반도체용 오믹 접합 기술은 크게 여러 가지 분위기에서 후 열처리를 이용하는 기술과 열처리를 이용하지 않고 플라즈마 표면 처리나 용액 표면 처리를 이용하여 상온에서 오믹 접합을 구현하는 기술로 나뉘어 진다. 먼저 열처리를 이용하는 오믹 접합의 경우 n형 산화아연 반도체 상에 오믹 접합용 금속 층을 패터닝한 후 열처리를 통해 계면 반응을 일으키는 기술이다. 이러한 오믹 접합으로는 Ti/Au 오믹 접합 층이 널리 사용되고 있다. 본 저자가 보고한 Ti/Au 전극은 300 °C의 열처리 공정을 통해 선형의 전류-전압 특성을 가진 우수한 오믹 접합을 n형 산화아연 반도체에 구현할 수 있다[4]. 그림 3은 n형 산화아연 반도체 상에 구현된 Ti/Au 오믹 접합의 전압-전류 특성으로 상온에서부터 순방향-역방향 전압에서 선형 전압-전류 특성을 나타내고 있으며 비접촉 저항(Specific Contact Resistivity)은 2×10^{-2} Ω-cm^{2}를 나타내었다. 열처리 온도가 300 °C까지 증가함에 따라 향상된 오믹 접합 특성 (2×10^{-4} Ω-cm^2)을 나타내다가 500 °C까지 열처리 온도가 상승하면 오믹 접합 특성에 열화가 나타나기 시작한다. 이러한 Ti/Au 오믹 접합 특성은 계면 반응으로 설명이 가능하다. 그림 4는 300 °C 열처리가 진행된

표 1. n형 산화아연 반도체의 오믹 접합 종류 및 특성[1].

Metallization	Annealing conditions	Carrier concentration (cm^{-3})	Specific contact resistivity (Ω-cm^2)	Ref.
Ti/Au	300 ℃ for 1min	Al : 2×10^{17}	2.0×10^{-4} annealed at 300 ℃	[4]
Al	Nonannealed	Al : 2×10^{18}	8.0×10^{-4}	[5]
Al/Pt	Nonannealed	Al : 2×10^{18}	1.2×10^{-5}	[5]
In	300 ℃ for 5min	Unintentionally doped	7.3×10^{-1} annealed at 300 ℃	[6]
Ti/Au	Nonannealed	Al : 7×10^{17}	7.3×10^{-3} as deposited 4.3×10^{-5} H2 plasma 5.0×10^{-4} Ar plasma	[7]
Ru	700 ℃ for 1min	Al : 3×10^{18}	3.2×10^{-5} annealed at 700 ℃	[8]
Pt-Ga	Surface modification	Unintentionally doped	4.1×10^{-3}	[9]
Ti/Al/Pt/Au	250 ℃	Unintentionally doped (1×10^{17})	6×10^{-4}	[10]
Re/Ti/Au	700 ℃	Al : 2×10^{18}	1.7×10^{-3}	[11]

Ti/Au 오믹 접합의 AES Depth Profile과 Glancing XRD 분석 결과를 나타낸다. AES Depth Profile에서 알 수 있듯이 산화아연 반도체의 산소와 반응이 강한 Ti 전극이 산화아연 반도체로부터 산소의 확산을 일으키고 이로 인해 다량의 산소 공공이 산화아연 반도체의 표면 지역에 형성된다. GXRD 결과에서 알 수 있듯이 산화아연 반도체로부터 확산되어 나온 산소는 Ti 전극과 반응을 일으켜 TiO_2 층을 Ti과 산화아연 반도체 사이에 형성시킨다.

이러한 계면 반응으로 산화아연 반도체 표면에 형성된 다량의 산소 공공은 산화아연 반도체 표면의 농도를 급격하게 상승시키고, 금속-산화아연 반도체

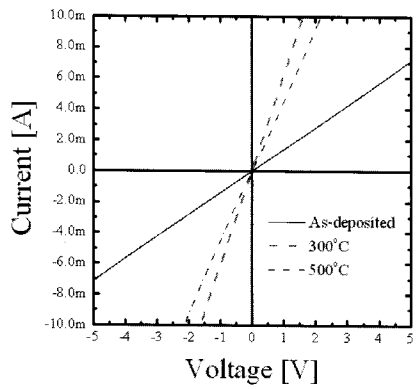
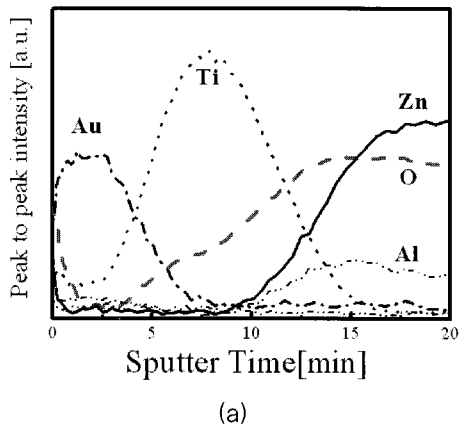
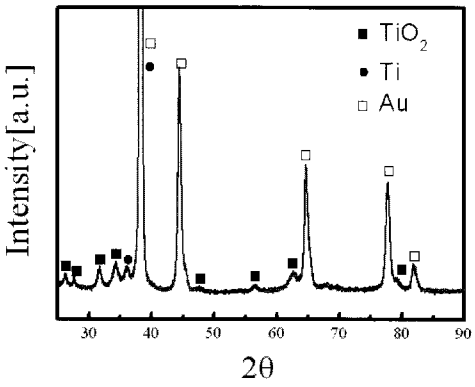


그림 3. 산화아연 반도체용 Ti/Au 오믹 접합의 열처리 온도에 따른 전류-전압 특성[4].



(a)



(b)

그림 4. 산화아연 반도체용 Ti/Au 오믹 접합의 300 °C 열처리 후의 AES Depth Profile과 GXRD 분석 결과[12].

간의 전도 기구가 Thermal Emission (TE)에서 Field Emission (FE)으로 바뀌면서 다량의 전자가 산화아연 반도체로 주입 됨으로 인해 선형 전류-전압 특성을 나타내게 된다(그림 5).

E_{00}/kT 값은 금속과 반도체간의 전도 기구를 규정짓는 값으로 산화아연 반도체의 경우 0.6 이하에서는 온도에 의존하는 Thermal Emission 기구에 의해 전도가 일어나고, E_{00}/kT 값이 0.6~1.4 사이일 경우 Thermal Field Emission에 의해 전도가 일어나며, E_{00}/kT 값이 1.4보다 클 경우 Field Emission에 의해 금속-산화아연 반도체 간의 전도가 일어나게 된다. 이러한 E_{00}/kT 값은 산화아연 반도체의 농도에 의해 결정되기 때문에 높은 표면 농도를 가진 반도체는 더욱 쉽게 전극으로부터 전자나 홀을 주입 받을 수 있다. 계면 반응을 통해 산화아연 반도체 표면에 고농도의 반도체층을 형성시키는 기술은 고품위 오믹 접합 형성을 위해 매우 중요한 계면 제어 기술이다. 현재 알려진 대부분의 n형 산화아연 반도체의 오믹 접합 기구는 Ti/Au와 유사하게 금속과 산화아연 반도체의 계면 반응에 따라 높아진 산화아연 반도체의 표면 농도에 의한 Field Emission으로 그 전도 기구를 설명하고 있다. Ti과 더불어 n형 산화아연 반도체용 오믹 접합 물질로 잘 알려진 Al 역시 Ti과 매우 유사한 기구로 오믹 접합을 형성한다[5]. 이는 Ti과 마찬가지로 Al 금속도 산소와의 반응성이 매우 크기 때문에 산화아연 반도체와의 접합 시 계면 반응을 통해 산화아연 반도체의 표면 농도를 쉽게 상승시킬 수 있기 때문이다. 그림 6은 본 저자가 보고한 n형 산화아연 반도체용 Al/Pt 오믹 접합의 열처리 온도에 따른 전류-전압 특성을 나타낸다[12].

Ti/Au와 마찬가지로 Al/Pt 역시 상온에서 선형 전류-전압 특성을 나타내는데 이는 상온에서도 Al과 산화아연 반도체의 반응이 쉽게 일어날 수 있기 때문이다. Al/Pt 오믹 접합 역시 Ti/Au 오믹 접합과 유사한 열처리 특성을 나타내는데 300 °C의 열처리 온도에서는 오믹 특성의 향상이 나타나지만 600 °C의 고온 열처리 시 금속과 산화아연 반도체간의 심한 반응으로 오믹 특성의 열화가 일어난다. 따라서 최적의 n형 산화아연 반도체의 오믹 접합용 열처리 온도는 300~500 °C 사이의 영역에서 얻을 수 있다고 보고하고 있다. 그림 7은 산화아연 반도체 상에 형성된 Al/Pt 오믹 접합의 300 °C 열처리 후의 AES Depth Profile과 GXRD 분석결과이다. 열처리 후 Al층은 산화아연 반도체로부터 확산되어온 산소와 계면에서 반응하여 Zn-Al-O 상을 형성하게 된다. 뿐만 아니라 산화아연 반도체 층으로 Al이 확산하여 들어가 Zn자리와 치환함으로써 전자를 제공하는 도판트로 작용할 수 있다. 즉 오믹 접합 금속으로 사용된 Al은 산소 공공을 형성시켜 산화아연 반도체의 농도를 상승시킬 뿐만 아니라, 산화아연 반도체

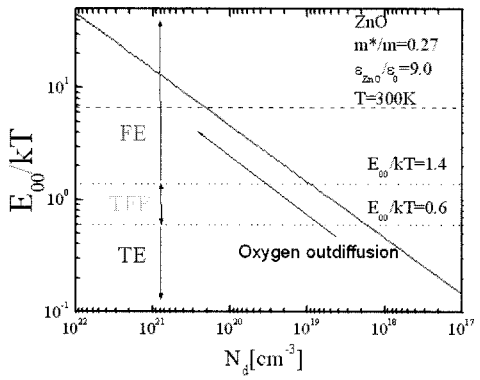


그림 5. 산화아연 반도체의 표면 농도에 따른 금속-반도체 전도 기구.

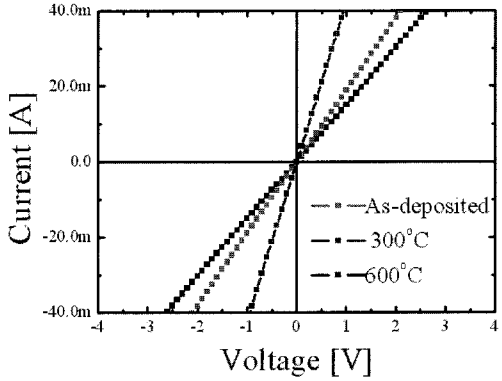


그림 6. 산화아연 반도체용 Al/Pt 오믹 접합의 열처리 온도에 따른 전류-전압 특성[12].

층으로 확산하여 도판트로 작용함으로써 표면의 농도를 더욱 크게 증가시키게 된다. 이렇게 증가된 산화아연 반도체의 표면 농도에 의해 오믹 접합이 형성되고 선형 전류-전압 특성을 나타내게 된다. Al/Pt 오믹 접합의 장점은 표면의 열적 안정성과 화학적 안정성이다. 일반적으로 사용되는 Au는 고온에서 Au끼리 뭉치는 현상으로 인해 표면이 매우 거칠어지고, 이로 인해 표면 조도가 매우 높아지며, 계면 반응으로 인해 Pinhole이 형성되는 단점을 가지고 있다. 그러나 Al/Pt에 사용되는 Pt는 화학적으로 매우 안정하고 열처리에 의한 반응 후에도 매우 평탄한 표면 특성을 나타내기 때문에 Ti/Au 오믹 접합을 대치할 수 있는 우수한 특성의 오믹 접합 물질로 알려져 있다[5].

열처리를 이용한 n형 산화아연 반도체용 오믹 접합 기술 이외에 상온에서 산화아연 반도체의 표면을 처리하거나 열처리 없이 상온에서 오믹 접합을 구현하는 오믹 접합 기술에 대한 연구도 많이 진행되고 있다. 본 고의 저자는 Ar, H_2 플라즈마를 이용하여 표면 처리한 n형 산화아연 반도체에 Ti/Au 전극을 이용하여 오믹 접합을 구현하여 그 특성을 보고하였다[7]. 플라즈마 표면 처리를 이용하여 산화아연 반도체 표면에 산소 공공을 형성시켜 높은 표면 농도를 가지는 산화아연 반도체를 구현하면 열처리 없이도 상온에서 오믹 접합을 구현할 수 있다(그림 8). 그림 8에서 알 수 있듯이 수소 플라즈마에 의해 표면 처리된 n형 산화아연 반도체는 플라즈마 처리하지 않은 산화아연 반도체에 비해 매우 우수한 오믹 접합 특성을 나타내게 된다.

일반적으로 열처리 공정을 거칠 경우 오믹 접합의 특성은 향상되지만 금속과 산화아연 반도체간의 반응으로 인해 전극의 표면이 열화 되는 문제점을 나타내었다. 그러나 플라즈마 표면 처리를 통해 상온에서 오믹 접합을 구현할 경우 매우 평탄한 금속 전극의 표면을 만들 수 있다. 금속 전극을 증착하기

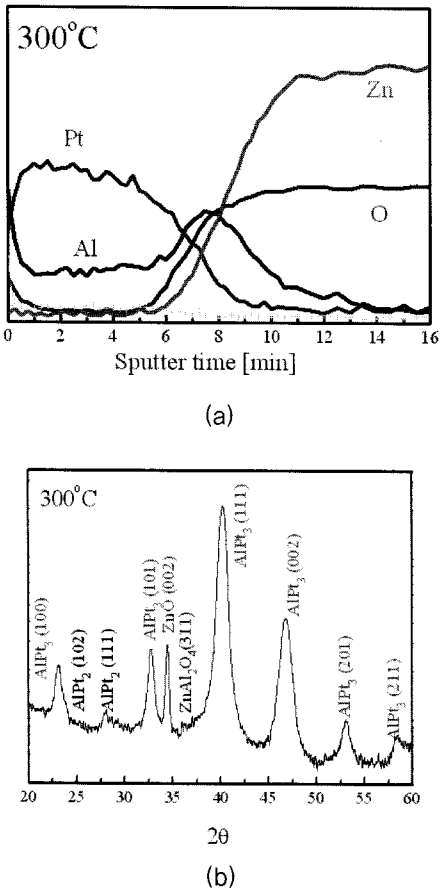


그림 7. 산화아연 반도체용 Al/Pt 오믹 접합의 300 °C 열처리 후의 AES Depth Profile과 GXRD 분석 결과[12].

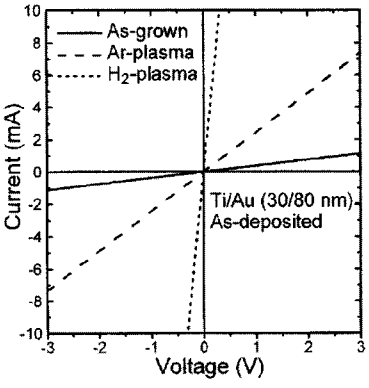


그림 8. 플라즈마 표면 처리를 이용하여 상온에서 형성한 n형 산화아연 반도체용 Ti/Au 오믹 접합의 전류-전압 특성[7].

전에 산화아연 반도체의 표면에 높은 에너지를 갖는 Ga 이온을 조사하여 산화아연 반도체의 표면 농도를 증가시킨 후 Pt 전극을 증착하여 상온에서 열처리 공정 없이 3.7×10^{-4} Ω-cm²의 낮은 비접촉 저항을 구현한 연구도 보고되고 있다[9]. 플라즈마나 이온에 의한 표면 처리뿐만 아니라, 용액에 의한 표면 처리로 오믹 접합의 특성을 향상시키는 기술 역시 가능성 있는 오믹 접합 공정 기술로 알려져 있다. 본고의 저자 역시 Buffered Oxide Etchant (BOE) 용액으로 산화아연 반도체의 표면을 처리한 후 산소와 반응성이 매우 큰 Al 금속을 이용하여 열처리 공정 없이 오믹 접합을 구현하였다. 그림 9는 용액 표면 처리 후 n형 산화아연 반도체에 상온에서 형성된 Al, Al/Au, Al/Pt 전극의 전류-전압 특성을 나타낸다[5]. 모든 오믹 접합은 상온에서 순방향-역방향으로 선형인 전류-전압 특성을 나타내고 이는 열처리 공정 없이도 오믹 접합이 이루어졌음을 말해준다.

상온에서 열처리 없이 형성된 Al 계열의 오믹 접합 특성 역시 산화아연 반도체와 Al 간의 계면 반응으로 그 특성을 설명할 수 있다. BOE 처리에 의해 표면의 오염층을 효과적으로 제거한 산화아연 반도체 상에 Al, Al/Au, Al/Pt 오믹 접합을 형성시킬 경우 상대적으로 Defect 사이트가 적은 계면 특성과 Al과 산화아연 반도체 사이의 계면 반응에 의해 형성된 고 농도의 산화아연 반도체 표면에 의해 고품위의 오믹 접합이 이루어진다. 즉 캐리어의 이동을 막는 Defect를 용액 처리로 제거함으로써 캐리어의 이동을 수월하게 할 뿐만 아니라, 상온 반응에 의해 형성된 고농도의 산화아연 반도체 표면 특성이 오믹 접합의 특성을 향상시키게 된다. 그림 10은 상온에서 형성된 Al/Pt 오믹 접합의 SIMS Depth Profile 결과를 나타내고 있다. Al이 도핑된 n형 산화아연 반도체의 경우 매우 높은 농도의 Al이 박막의 전 영역에 균일하게 도핑되어 있음을 알 수 있다. Al이 도핑된 산화아연 반도체에 상온에서 Al/Pt 오믹 접합을 만들 경우 그림 10에서와 같이 Al이 산화 아연 반도체 쪽으로 확산하는 것을 관찰할 수 있다. 즉 산화아연 반도체에서는 산소가 외부로 확산해 나오면서 산소 공공을 형성시키고 Al전극은 산화아연 반도체로 확산해 들어가 도판트로 작용해 매우 높은 표면 농도를 가지는 산화아연 반도체를 형성시킨다. 이러한 산소와 Al의 상온 확산 현상은 금속-산화아연 반도체 사이의 전자 전도 기구를 Field Emission으로 바꿀 수 있기 때문에 상온에서도 고품위 오믹 접합이 구현될 수 있다고 보고하였다. 또한 Ti, Al과 같은 금속이 VI족의 산소와 반응할 경우 금속-산화아연 반도체 사이에 형성된 전위장벽의 높이(Schottky Barrier Height : SBH)를 낮출 수 있다고 보고 되고 있다[12].

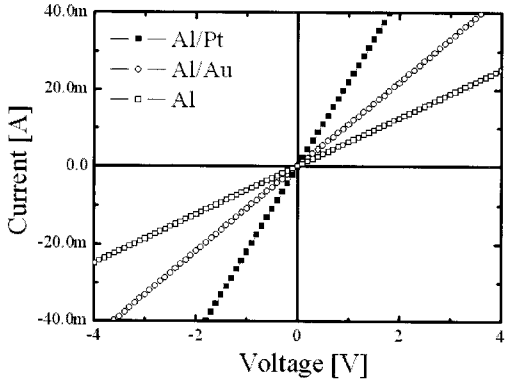


그림 9. BOE 용액으로 처리한 산화아연 반도체 상에 상온에서 형성시킨 Al, Al/Au, Al/Pt 오믹 접합의 전류-전압 특성.

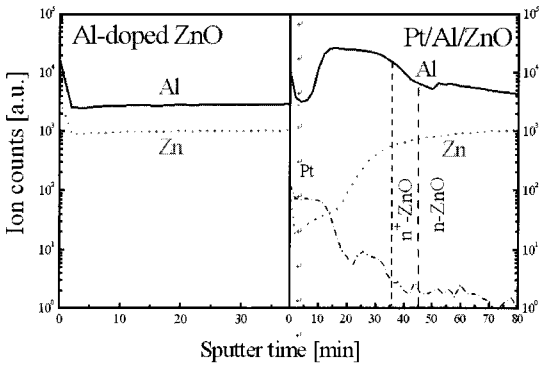


그림 10. Al이 도핑된 산화아연 반도체와 Pt/Au 전극이 올려진 산화아연 반도체의 SIMS Depth Profile.

따라서 확산에 의해 높아진 산화아연 반도체의 표면 농도와 계면 반응에 의해 낮아진 전위 장벽의 높이에 의해 상온에서 고품위의 오믹 접합을 구현할 수 있게 된다. 그림 11은 상온에서 형성된 Al 오믹 접합의 기구를 설명하고 있다[12]. 이러한 상온 오믹 접합 기술은 공정 수를 줄여 소자의 제작 공정을 간단하게 할 뿐만 아니라 매우 평탄한 전극 표면을 구현할 수 있어 고성능의 광전소자 제작을 위해 매우 중요한 기술로 많은 연구가 시작되고 있는 상황이다.

그러나 n형 산화아연 반도체용 오믹 접합은 제한된 금속 전극에 치우쳐져 충분한 연구가 이루어 지지 않은 상황이기 때문에 대부분 소자 제작에서는 Ti/Au 전극을 열처리하여 사용하고 있는 상황이다.

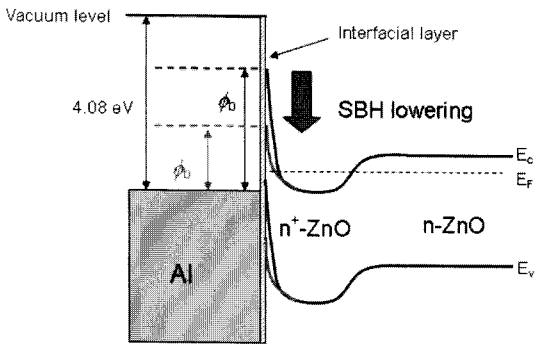


그림 11. 상온에서 형성된 Al 오믹 접합 기구를 설명하는 밴드 다이어그램. 산소와 Al의 확산으로 표면에 형성된 n^+-ZnO 층과 Al의 계면 반응으로 낮아진 Schottky Barrier Height에 의한 고품위 오믹 접합[12].

따라서 좀 더 낮은 비접촉 저항(Specific Contact Resistivity)과 안정성, 신뢰성을 가지는 고품위 오믹 접합 물질 및 공정의 개발이 필요한 상황이다. 뿐만 아니라 금속-산화아연 반도체 간의 전도 기구를 명확하게 설명할 수 있는 계면 특성에 관한 연구도 추가적으로 이루어져야 한다.

3. p-형 산화아연 반도체용 오믹 접합 기술 동향

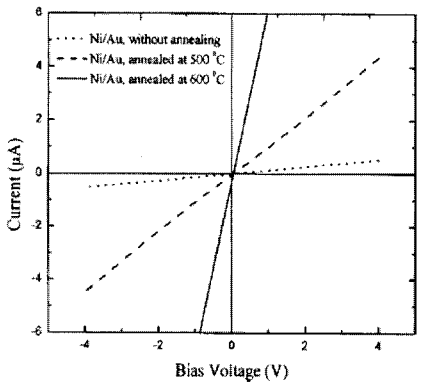
n형 산화아연 반도체용 오믹 접합에 비해 p형 산화아연 반도체용 오믹 접합 기술은 아직 초보 연구 단계에 머물러있다. 이는 아직까지 안정적인 전기적, 광학적 특성을 가지는 p형 산화아연 반도체의 구현이 어렵기 때문이며, 이 때문에 다른 광전소자 기술에 비해 한국의 연구진에 의해 p형 오믹 접합에 대한 연구가 주도적으로 진행되고 있는 실정이다. 이는 안정적인 p형 산화아연 반도체의 구현이 현재 광주과학기술원이나 광기술원과 같은 한국 연구진에 의해 진행되어 왔기 때문이다. 표 2는 현재까지 진행되어온 p형 산화아연 반도체용 오믹 접합 및 특성을 나타낸다.

p형 산화아연 반도체는 V족의 원소를 도핑함으로써 구현이 가능하기 때문에 대부분의 연구그룹에서는 As, P, Sb를 도핑하여 p형 산화아연 반도체를 구현하고 있으며 Al-N을 동시에 도핑하여서도 p형 산화아연 반도체를 구현하고 있다. 이러한 p형 산화아연 반도체용 오믹 접합을 구현하기 위해서는 금속

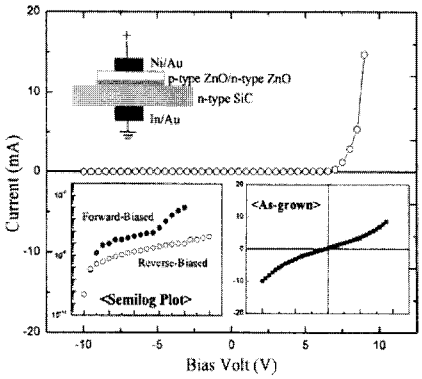
표 2. p형 산화아연 반도체의 오믹 접합 종류 및 특성.

Metallization	Annealing conditions	Carrier concentration (cm^{-3})	Specific contact resistivity (Ω-cm^2)	Ref.
Ni/Au	600 ℃	As : 3×10^{18}	-	[13]
Pt/ITO	300~400 ℃	As : 9.7×10^{16}	8.0×10^{-4}	[14]
Ni/Au	600 ℃	P : 1×10^{18}	1.74×10^{-4}	[15]
Ni/ITO	400 ℃	P : 3×10^{18}	6.2×10^{-5}	[16]
In/Zn	650 ℃	Al-N : 1×10^{18}	-	[17]
Pt/Ni/Au	600 ℃	P : 5×10^{17}	1.97×10^{-5}	[18]
Ni/Au	800 ℃	Sb : 1×10^{19}	3.0×10^{-4}	[19]

의 선택이 매우 중요하다. p형 반도체는 n형에 비해 상대적으로 큰 일함수를 가지고 있기 때문에 오믹 접합으로 사용될 금속 역시 매우 큰 일함수를 가져야 한다. 따라서 일함수가 큰 Pt(5.65 eV), Pd(5.12 eV), Ni(5.15 eV), Au(5.10 eV) 등이 가능성 있는 오믹 접합 물질로 보고되고 있다. 뿐만 아니라 n형에 사용되는 오믹 전극과 달리 산소와의 반응성이 낮은 물질을 선택해야 한다. 만약 산소와의 반응성으로 인해 산화아연 반도체로부터 산소가 확산되어 나오면 다량의 산소 공공이 표면에 생성되어 p형 반도체의 도핑농도를 낮추는 역할을 할 수 있기 때문이다. 결



(a)



(b)

그림 12. p형 산화아연 반도체에 적용된 Ni/Au 전극의 전류-전압 특성과 Ni/Au 전극이 적용된 산화아연 반도체 발광 다이오드의 전기적 특성[13].

국 일함수가 크면서 산소와의 반응성이 약한 물질이 p형 산화아연 반도체의 오믹 접합 물질로 적합하게 된다. 이 때문에 초기 p-n 접합 산화아연 반도체 발광다이오드를 제작할 때 Ni/Au 오믹 접합이 사용되었다[13]. Ni/Au 오믹 접합은 p형 갈륨질화물 반도체(GaN)의 오믹 접합 물질로 알려진 전극으로 초기 p형 산화아연 반도체의 오믹 접합용 전극으로 적용되어 보고된 바가 있다. 그림 12는 p형 산화아연 반도체에 적용된 Ni/Au 전극의 전류-전압 특성과 이를 이용하여 제작한 산화아연 반도체 발광다이오드의 전기적 특성이다. 초기 연구이었던 만큼 오믹 접합을 설명할 수 있는 기구에 대한 연구보다 선형 전압-전류 특성을 이용한 발광다이오드의 가능성에 대한 결과 위주로 연구 결과가 제시되었으며, 이후 소수의 제한된 연구그룹에서 p형 산화아연 반도체가 구현되면서 p형 오믹 접합에 관한 연구가 활발히 진행되기 시작하였다.

이후 As이 도핑된 p형 산화아연 반도체에 일함수가 큰 Pt/ITO 전극을 이용한 오믹 접합에 관한 연구가 보고 되었다. 금속 전극 중 일함수가 크고 산소와 반응을 하지 않는 Pt을 전극으로 선택함으로써 정공의 주입을 원활하게 하고 계면에서의 산소와 전극과의 반응을 최소화하였다. 이러한 Pt/ITO 전극은 400 °C의 후 열처리를 통해 선형 전류-전압 특성과 $8.0 \times 10^{-4}\ \Omega\text{-cm}^2$의 낮은 비저항을 나타내었다.

그림 13은 p형 산화아연 반도체 상에 형성된 Pt/ITO 전극의 TEM 단면 사진이다. 그러나 500 °C 이상의 온도에서 열처리를 진행할 경우 p형 산화아연 반도체가 n형으로 바뀌는 문제점을 나타내었고, 이러한 문제는 오믹 전극 특성의 문제가 아닌 산화아연 반도체의 불안정성에 기인한 것으로 산화아연 반도체의 안정성이 확보될 경우 Pt/ITO 전극의 오믹 접합 특성은 좀더 향상될 것으로 기대할 수 있다.

광주과학기술원의 박성주 교수팀은 인(Phosphorus)이 도핑된 p형 산화아연 반도체를 구현하고, 여기에 Ni 전극을 기본으로 선택하여 그 가능성을 제시하였다 [15,16]. Ni/Au와 Ni/ITO를 p형 오믹 전극 물질로 적용하여 후 열처리를 통해 선형의 전류-전압 특성과 낮은 비접촉 저항 값을 얻을 수 있었는데 이에 대한 이유를 Ni과 ZnO간의 계면 반

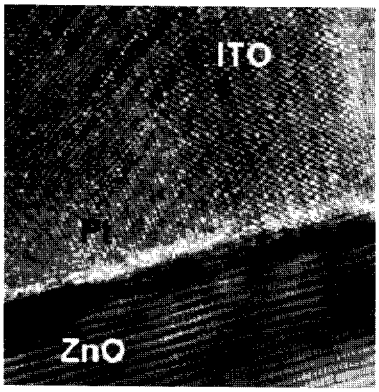
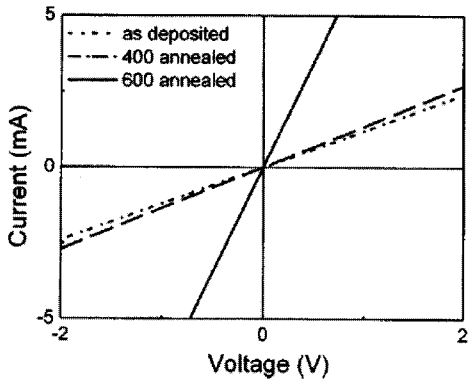


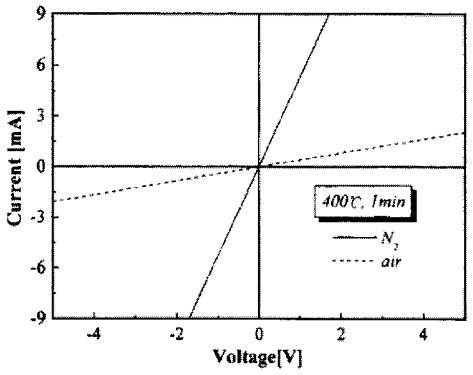
그림 13. As이 도핑된 p형 산화 아연 반도체 상에 형성된 Pt/ITO 오믹 접합 (400 °C 열처리)[14].

응으로 설명하였다. 후 열처리를 진행할 경우 p형 산화아연 반도체로부터 다량의 아연(Zn)이 금속 전극으로 확산하고 이로 인해 산화아연 반도체의 표면에 다수의 아연 공공이 형성되어 산화 아연 반도체의 표면 정공 농도가 상승하게 된다. 이렇게 상승한 표면 정공 농도에 의해 금속으로부터 산화아연으로의 정공 주입이 원활하게 되고 오믹 접합의 특성이 향상되게 된다. 그림 14는 인(P)이 도핑된 p형 산화아연 반도체에 형성된 Ni/Au와 Ni/ITO 전극의 전류-전압 특성을 나타낸다. 두 가지 전극 모두 순방향-역방향에서 선형 전류-전압 특성을 나타내며 이러한 특성은 열처리 온도가 증가함에 따라 향상되게 된다. 특히 Ni/ITO 전극의 경우 400 °C의 질소 분위기 열처리를 통해 매우 우수한 오믹 접합을 구현할 수 있는데, Ni-Zn 반응뿐만 아니라 ITO로부터 확산된 산소가 Ni과 반응하여 계면에 Ni-O를 형성시키기 때문이라 설명하였다. NiO는 p형 반도체로 알려진 산화물로 금속 전극과 p형 산화아연 반도체의 계면에 형성될 경우 홀의 주입이 원활하게 되어 오믹 접합의 특성을 향상시키는 원인으로 작용할 수 있다[16].

Al과 N이 동시에 도핑되어 있는 p형 산화아연 반도체에 In/Zn 전극을 이용한 오믹 접합도 보고 되었으나 오믹 접합 기구를 설명할 수 있는 기구를 설명하진 못하였다[17]. 그림 15에 나타낸 산화아연 반도체의 p-n 접합을 이용하여 발광다이오드의 가능성



(a)

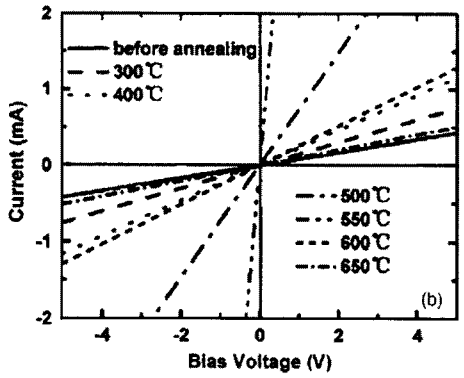


(b)

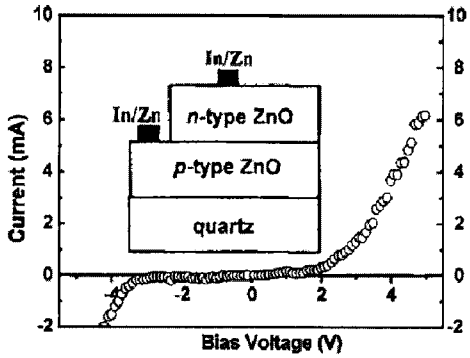
그림 14. 인(P)이 도핑된 p형 산화아연 반도체에 적용된 Ni/Au, Ni/ITO 오믹 접합의 전류-전압 특성 [15, 16].

을 연구한 이 논문에서 저자는 In/Zn를 p형 산화아연 반도체의 오믹 전극으로 선택하여 발광 다이오드를 제작하고 그 특성을 보고 하였다. 열처리를 통해 오믹 특성이 왜 향상되는지 그리고 접합에서 Zn와 In의 역할이 무엇인지에 관한 설명을 정확하게 하지 못했지만 그림 15에 나타낸 것과 같이 2 V의 Turn-on 전압과 낮은 누설 전류(Leakage Current)를 가진 발광 다이오드를 제작함으로써 In/Zn 전극의 p형 산화아연 반도체의 오믹 접합 가능성을 제시하였다.

이후 Pt/Ni/Au를 이용한 오믹 접합이 보고되면서 p형 산화아연 반도체의 오믹 접합에 관한 새로운 시도가 진행되었다[18]. Ni/Au 층 앞에 Ni 보다 일함



(a)



(b)

그림 15. p형 산화아연 반도체에 적용된 In/Zn 오믹 접합의 특성과 발광다이오드의 특성 [17]

수가 큰 Pt을 삽입함으로써 Pt의 높은 일함수를 이용하는 동시에 금속층과 산화아연 반도체의 계면 반응을 유도해 더욱 우수한 특성을 가진 고품위의 오믹 접합을 구현하였다. 인(P)이 도핑된 p형 산화 아연 반도체 층에 Pt(30 nm)/Ni(30 nm)/Au(50 nm)의 금속 전극을 올린 후 열처리 하여 오믹 접합을 형성시켰는데, 600 °C의 열처리를 통해 가장 비접촉 저항이 낮은 오믹 접합을 구현할 수 있었다. 그림 16은 p형 산화아연 반도체 상에 구현된 Pt/Ni/Au 전극의 선형 전류-전압 특성을 나타낸다. 열처리 온도가 증가함에 따라 선형 특성이 향상되고 600 °C에서 가장 가파른 전류-전압 특성을 나타내는데 이는 600 °C에서 금

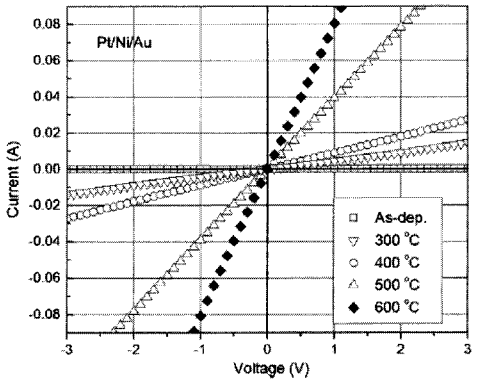
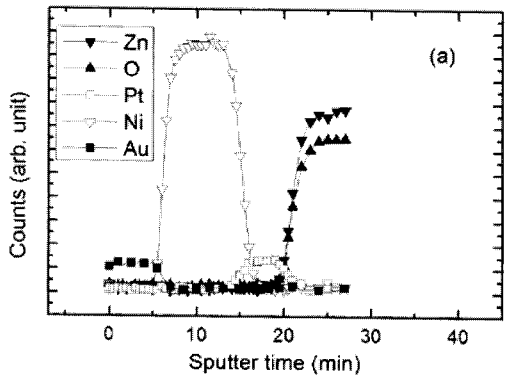


그림 16. 열처리 온도 증가에 따른 Pt/Ni/Au 오믹 접합의 특성 변화[18].

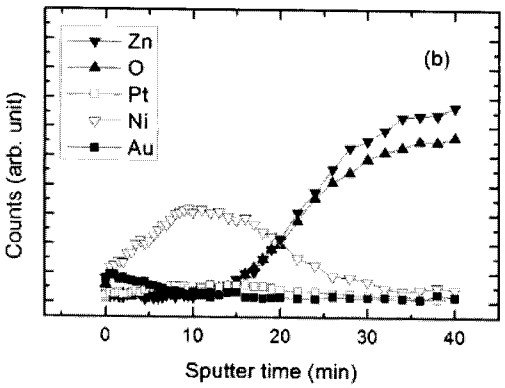
속 전극과 산화아연 반도체간의 계면 반응이 잘 일어나기 때문으로 설명하였다.

이러한 계면 반응 현상은 그림 17에 나타낸 AES Depth Profile 결과로부터 설명될 수 있는데 열처리 전에는 명확하게 구별되던 Pt/Ni/Au/p-ZnO 층이 후 열처리에 의한 전극과 산화아연 반도체의 확산현상에 의해 계면 반응이 일어나고 이로 인해 계면에 Pt-Zn, Ni-Zn, Ni-O와 같은 오믹 접합에 유리한 계면층이 형성되게 된다. 특히 산화아연 반도체로부터 아연이 확산되어 나옴으로써 Ni/Au 오믹 접합과 마찬가지로 아연 공공을 산화아연 반도체 표면에 형성시켜 표면의 정공 농도를 급격히 높일 수 있다고 보고하고 있다[18]. 계면 반응에 의해 형성된 산화아연 반도체 표면의 높은 농도는 정공의 주입을 더욱 쉽게 하여 오믹 접합의 특성을 향상시키게 된다.

최근 미국의 Liu 그룹은 Sb가 도핑된 p형 산화아연 반도체에 Ni/Au 전극을 적용하여 오믹 접합을 구현하였는데 기존의 Ni/Au 오믹 접합보다 더욱 높은 열처리 온도(800 °C)에서 오믹 접합을 구현하였으며, 다른 연구 그룹들과 달리 Transmission Line Model (TLM) Pattern을 이용하여 보다 정확한 비접촉 저항을 계산할 수 있었다[19]. 일반적으로 TLM 패턴은 기존의 대부분 오믹 접합관련 연구 그룹이 사용했던 Circular TLM에 비해 정확한 오믹 특성을 관찰할 수 있는 방법이다. 그림 18은 Liu 그룹이 p형 산화아연 반도체에 적용했던 Ni/Au 전극의 오믹 접

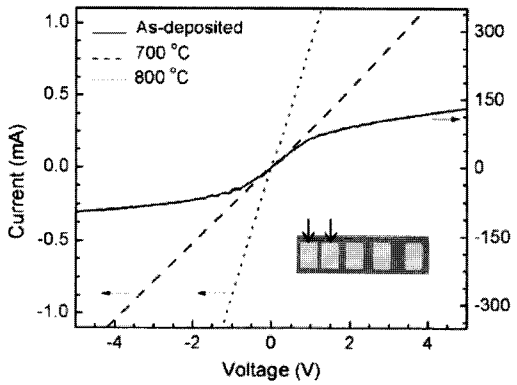


(a)

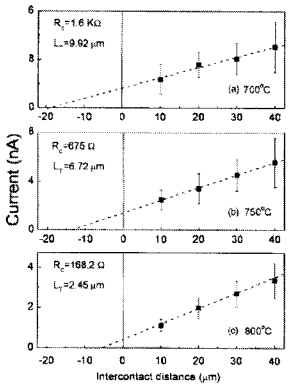


(b)

그림 17. (a) 열처리 전의 Pt/Ni/Au 오믹 접합과 (b) 600 °C 열처리 후의 Pt/Ni/Au 오믹 접합의 AES Depth Profile[18].



(a)



(b)

그림 18. 안티몬이 도핑된 p형 산화아연 반도체에 형성된 Ni/Au오믹 접촉과 TLM pattern을 이용한 저항 측정법[19].

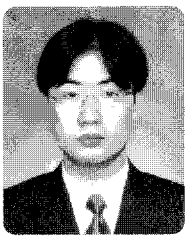
합 특성과 TLM 패턴 모양을 나타내고 있다. 이를 이용하여 800 °C의 열처리를 통해 3.0×10^{-4} Ω-cm²의 낮은 비접촉 저항을 얻을 수 있었고, 기존의 Ni/Au를 연구한 그룹과 마찬가지로 아연의 확산에 의한 아연 공공 형성을 오믹 접합 기구로 제시하였다. 비록 p형 산화아연 반도체의 구현이 어려워 소수의 그룹에 의해 p형 산화아연 반도체용 오믹 접합에 대한 연구가 진행되어 오고 있으나 아직까지 충분한 연구가 되지 못하고 있는 것이 현실이다. p형 산화아연 반도체용 오믹 접합의 핵심 기술이 얼마나 안정된 고품질의 p형 산화아연 반도체를 구현하느냐에 달려 있기 때문에 제한적 연구가 진행될 수 밖에 없는 실정이다. 따라서 더욱 우수한 p형 오믹 접합을 개발하기 위해서는 우선적으로 안정적인 p형 산화아연 반도체를 제작할 수 있는 기술을 확보해야 하며 이를 위해 국내외적으로 많은 연구가 진행되고 있다. 이러한 p형 산화아연 반도체 성장 기술과 더불어 오믹 접합 기술을 확보한다면 차세대 반도체 재료로 주목 받고 있는 산화아연 반도체 관련 기술에서 기술적 우위를 점할 수 있을 거라 생각한다.

참고 문헌

[1] U. Ozgur et al., "A compressive review of ZnO materials and devices", J. Appl. Phys., Vol.98,

p.041301, 2005.
[2] J.-H. Lim et al., "UV electroluminescence emission from ZnO light-emitting diodes grown by high-temperature radiofrequency sputtering", Adv. Materials, Vol.18, p.2720, 2006.
[3] K. Nomura et al., "Room temperature fabrication of transparent flexible thin film transistors using amorphous oxide semicondutors", Nature, Vol.432, p.488, 2004.
[4] Han-Ki Kim et al., "Low resistance Ti/Au ohmic contacts to Al-doped ZnO layers", Appl. Phys. Lett. Vol.77, p. 1647, 2000.
[5] Han-Ki Kim et al., "Formation of low resistance nonalloyed Al/Pt ohmic contacts on n-type ZnO epitaxial layer" J. Appl. Phys. Vol. 94, p. 4225, 2003.
[6] T. Akane et al., "Nonally ohmic contact fabrication in a hydrothermally grown n-ZnO (0001) substrate by KrF excimer laser irradiation", J. Vac. Sci. Technol. B. Vol, 18, p. 1406, 2000.
[7] J.-M. Lee et al., "Low resistance and nonalloyed ohmic contacts to plasma treated ZnO", Appl. Phys. Lett. Vol, 78, p. 3842, 2001.
[8] Han-Ki Kim et al., "Thermally stable and low resistance Ru ohmic contacts to n-ZnO" Jpn. J. Appl. Phys. Vol.41, p.L546, 2002.
[9] A. A. Iliadis et al., "Ohmic metallization technology for wide band-gap semiconductors" Thin Solid Films, Vol.420-421, p. 478, 2002.
[10] K. Ip et al., "Carrier concentration dependence of Ti/Al/Pt/Au contact resistance on n-ZnO" Appl. Phys. Lett. Vol.84, p. 544, 2004.
[11] S.-H. Kim et al., "Thermally stable and low resistance Re/Ti/Au ohmic contacts to n-ZnO" J. Electrochem. Soc. Vol.152, p. G169, 2005.
[12] Han-Ki Kim et al., "Study of the electrical and structural characteristics of Al/Pt ohmic contacts on n-type ZnO epitaxial layer" J. Electrochem. Soc. Vol.151, p. G223, 2004.
[13] Y. R. Rye et al., "Fabrication of homostructural ZnO p-n junctions and ohmic contacts to arsenic-doped p-type ZnO" Appl. Phys. Lett. Vol.83, p. 4032, 2003.
[14] S.-H. Kim et al., "Pt/Indium tin oxide ohmic contacts to Arsenic doped ZnO layers" Electrochem. Solid-state Lett. Vol.8, p. G167, 2005.
[15] J.-H. Lim et al., "Formation and effect of thermal annealing for low resistance Ni/Au ohmic contact to phosphorous-doped p-type ZnO" J. Electrochem. Soc. Vol.152, p. G179, 2005.
[16] S.-H. Kang et al., "Low resistance and highly transparent Ni/Indium-tin oxide ohmic contacts to phosphorous doped p-type ZnO" Appl. Phys. Lett. Vol.86, p. 211902, 2005.
[17] F. Zhuge et al., "ZnO p-n homojunctions and ohmic contacts to Al-N-co-doped p-type ZnO" Appl. Phys. Lett. Vol.87, p. 092130, 2005.
[18] J.-M. Lee et al., "Ohmic contact to phosphorous doped ZnO using Pt/Ni/Au for p-n homojunction diode", J. Electrochem. Soc. Vol.153, p. G1047, 2006.
[19] L. J. Manadalapu et al., "Low resistance Au/Ni ohmic contacts to Sb-doped p-type ZnO", Appl. Phys. Lett. Vol.90, p.252103, 2007.

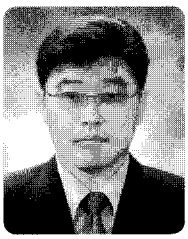
저|자|약|력



성 명 : 김한기

◈ 학 력
· 1997년
성균관대 금속공학과 공학사
· 1999년
광주과학기술원 신소재공학과 공학석사
· 2003년
광주과학기술원 신소재공학과 공학박사

◈ 경 력
· 2002년 – 2003년 미국 일리노이대 방문연구원
· 2003년 – 2005년 삼성SDI 생산기술연구소 책임연구원
· 2005년 – 현재 금오공대 신소재시스템공학부 조교수



성 명 : 이지면

◈ 학 력
· 1996년
성균관대 금속공학과 공학사
· 1998년
광주과학기술원 신소재공학과 공학석사
· 2002년
광주과학기술원 신소재공학과 공학박사

◈ 경 력
· 2002년 – 2004년 한국전자통신연구원 선임연구원
· 2004년 – 현재 순천대 재료금속공학과 조교수
· 2005년 일본 AIST 방문 연구원