

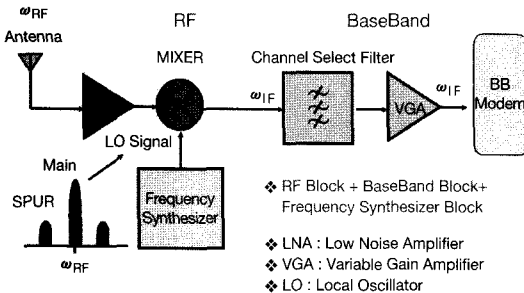
RF 주파수 합성기 기술

이강윤(건국대학교 전자공학부)

1. 서론

주파수 합성기(Frequency Synthesizer)는 무선 통신 송수신 시스템의 핵심 블록중의 하나로 기준 주파수 신호를 이용하여 원하는 각 채널에 필요한 LO(Local Oscillator)신호를 생성하는 역할을 한다^[1]. 그림 1은 무선 통신용 수신기의 전체 블록 다이어그램을 보여주고 있다.

최근 RF무선 통신 시스템의 주파수가 다양하게 변하고 있고, 이에 따라 RF송수신기의 Up-Conversion 또는 Down-Conversion을 위한 LO(Local Oscillator) 신호의 주파수도 급속하게 변하고 있다^[2].

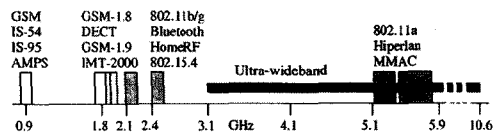


〈그림 1〉 무선통신용 수신기의 전체 블록 다이어그램

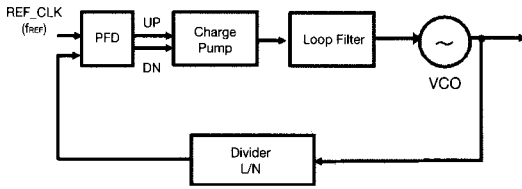
그림 2는 RF무선 통신 시스템의 주파수 대역을 보여주고 있다. 신호의 대역폭이 증가하고, RF주파수도 올라가고 있는 추세이다.

RF주파수 대역에서는 미약한 신호를 증폭하거나, interferer를 filtering하는 일이 힘들기 때문에, 기저대역의 신호로 내려야 한다. RF 주파수 합성기는 전체 시스템의 NF(Noise Figure) 및 ACS(Adjacent Channel Selectivity) 특성을 좌우하는 블록이다. RF송수신기의 채널 환경에 따라서 주파수 합성기에 요구되는 사양이 달라질 수 있다.

주파수 합성기를 설계하는데 있어서 흔들리지 않는 동기화된 신호 생성을 위해 PLL(Phase Locked Loop)이 가장 일반적으로 응용되는 회로이다. PLL은 VCO(Voltage Controlled Oscillator)의 출력 위상이 기준 신호의 위상과 동일하도록



〈그림 2〉 RF 무선 통신 시스템의 주파수 대역



〈그림 3〉 PLL의 블록 다이어그램

록 만드는 피드백 시스템으로써 그림 3에 있는 바와 같이 PFD(Phase Frequency Detector), Charge Pump, Loop Filter, VCO, Prescaler로 구성된다.

RF대역의 주파수 합성기의 구성 블록 중에서 VCO와 Divider블록이 고주파로 동작을 하는 반면, 다른 구성 블록들은 낮은 주파수로 동작을 한다. VCO는 LC-Oscillator타입이나 Ring Oscillator타입으로 설계하는 방법이 있지만, 일반적으로 RF IC의 경우 위상잡음을 고려하여 LC-Oscillator타입이 사용되고 있다.

PLL시스템은 입력과 출력의 위상차를 구분 하는 위상 검출기와 이 위상 검출기의 출력을 안정된 직류전압으로 바꾸어주는 저 대역 통과 여파기(LPF) 그리고 이 LPF의 출력전압에 비례하는 주파수를 갖는 신호를 내보내는 VCO로 구성되어 있다.

PLL은 VCO에서 나온 주파수를 분주하는 방법에 따라 Integer-N구조와 Fractional-N구조로 나누어진다.

Fractional-N구조는 정수로 나누는 Integer-N 구조와 달리 몇 주기는 N으로 나누고 몇 주기는 N+1로 나누어 평균적으로 분수로 나눌 수 있다는 개념을 이용한다. 하지만, Fractional Spur가 생기는 단점이 있고, 이를 제거하기 위해 Sigma-Delta Modulator를 이용한 구조가 많이 사용되고 있다. Sigma-Delta Fractional-N 구

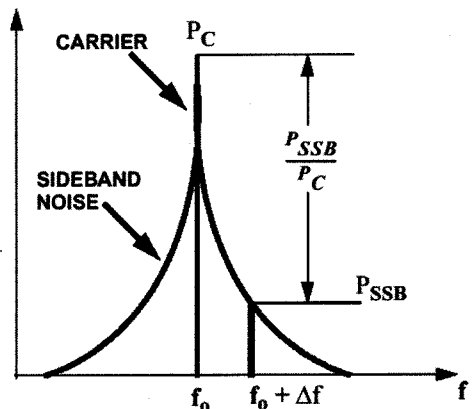
조의 장점은 PLL출력 신호의 주파수 스펙트럼 상에서 Noise를 Shaping하고, Fractional Spur특성을 향상시키고 Lock time을 빠르게 할 수 있다는 점이다. 또한 좁은 채널 간격을 가지고 있는 시스템에서도 넓은 대역폭을 제공할 수 있다. 그리고 Sigma-Delta Modulator를 통하여 In-Band의 위상 잡음을 개선할 수 있다.

본 고는 RF주파수 합성기로서 널리 사용되고 있는 Phase Locked Loop성능 파라미터 및 각 블록의 설계 이슈들에 대해서 다루도록 하겠다. 또한, Prescaler의 구조에 따른 Frequency Synthesizer의 분류 및 이의 구현 방법에 대해서 다루도록 하겠다.

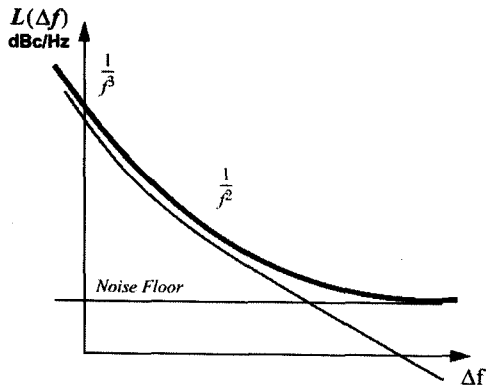
II. Frequency Synthesizer의 성능 파라미터

1. Phase Noise

그림 4는 Phase Noise의 정의를 보여주고 있다. Center 주파수 f_0 로부터의 Δf 떨어진 지점



〈그림 4〉 Phase Noise의 정의



〈그림 5〉 VCO의 Phase Noise

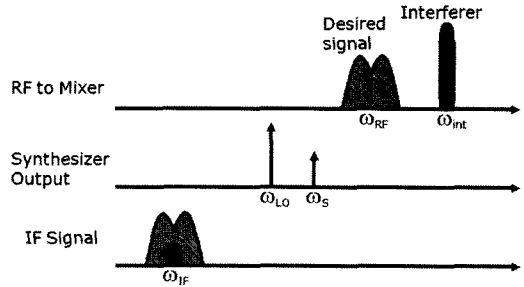
에서의 1Hz에 있는 Noise Power가 Noise Power가 Carrier Power에 비해서 얼마나 작은지를 dB단위로 나타낸 것으로서 단위는 dBc/Hz가 된다.

식 (1)은 Phase Noise의 계산식을 보여주고 있다.

$$L\{\Delta\omega\} = 10 \log\left(\frac{\text{noise power in 1Hz}}{\text{carrier power}}\right) \quad (1)$$

그림 5는 LC VCO의 Phase Noise특성을 보여주고 있다. RF oscillator에 이러한 노이즈는 single side band(SSB) phase noise에 의해 보통 나타난다. Lesson's Equation에 의해서 모델링되는 그림 5에서 주로 사용하는 영역은 $1/f^2$ 의 영역이다.

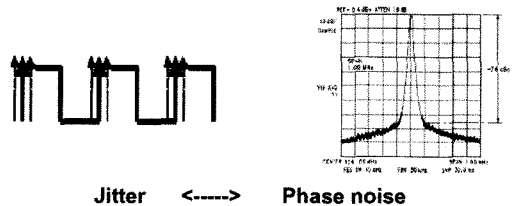
위상잡음은 통신시스템에서 EVM, 채널파워의 간섭, 채널 차단 간섭, blocking저하 등의 발생 원인을 가져온다. 통신 시스템은 수신기와 송신기에서 up conversion과 down conversion을 수행하는 oscillator와 믹서를 이용한다. oscillator의 phase noise는 통신채널의 주파수대역에 혼합되어진다.



〈그림 6〉 Phase Noise에 의한 Reciprocal Mixing

그림 6은 Frequency Synthesizer의 Phase Noise성분에 의한 Reciprocal Mixing과정을 보여주고 있다. ω_{LO} 의 주파수이외에 ω_s 에 존재하는 Noise성분에 의해서 Interferer가 우리 IF 주파수로 떨어지는 것을 알 수 있다. 따라서, 얼마나 큰 Interferer가 들어와도 수신기가 동작하는 지 여부, 즉 ACS(Adjacent Channel Selectivity)를 결정하는 중요한 성능 파라미터임을 알 수 있다.

Phase noise 감소시키기 위한 방법으로는 VCO고유의 phase noise효과를 최소화시키기 위해서 가능한 loop bandwidth를 넓게 해 준다. 또한 가능하다면 reference noise효과를 줄이기 위해서 주파수 분주기의 division ratio를 최소화 한다. 마지막으로 supply noise와 si-



〈그림 7〉 Phase Noise와 Jitter 사이의 관계

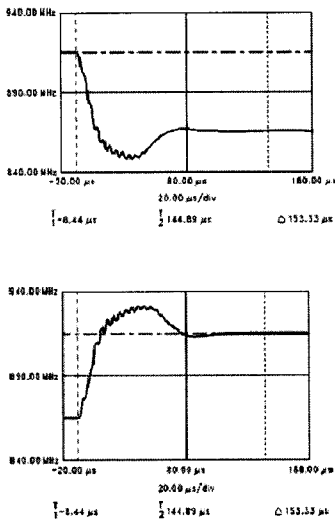
substrate noise의 coupling noise를 줄이는 방법 등이 있다.

그림 7은 Phase Noise와 Jitter사이의 관계를 보여주고 있다. Jitter는 시간 축 상에서 이상적인 시간으로부터 얼마나 흔들리는지 정도를 나타내며, Phase Noise는 이상적인 주파수로부터 주파수가 얼마나 흔들리는지를 나타내 주는 관계이므로 서로 밀접한 관계가 있다. Frequency Synthesizer의 용도로는 Jitter보다는 Phase Noise가 더 많이 사용되고 있다.

2. Lock Time

PLL에서 주파수나 전압 값이 흔들리다가 점차 안정화되는데 얼마나 주파수가 빨리 안정화 되는지는 지표가 Lock Time이다.

그림 8은 낮은 주파수에서 높은 주파수로 주파수가 이동할 때의 출력 주파수 파형과 높



〈그림 8〉 Positive frequency jump and Negative frequency jump

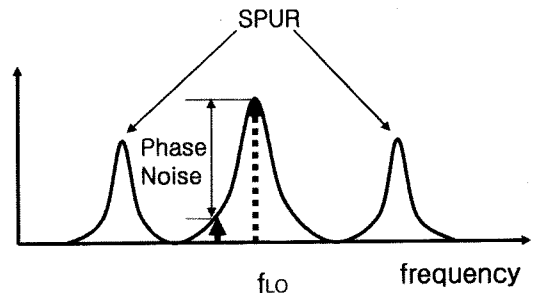
은 주파수에서 낮은 주파수로 이동할 때의 출력 주파수의 파형을 보여주고 있다. Lock Time은 Frequency Step과 Frequency Accuracy에 의해 변한다. 이것은 VCO의 조절 전압 안정화와 Charge pump의 I_{cp} 와 Loop Filter의 capacitor값 시정수등과 관련되어진다.

$$T_e = -\frac{\ln\left(\frac{\omega_{err}}{\Delta\omega}\right)}{\omega_c} \quad (2)$$

식 2는 lock time계산식을 나타내고 있으며 ω_c 는 cutoff frequency이고, ω_{err} 은 locking resolution이며 $\Delta\omega$ 는 주파수 변화량을 의미한다. ω_c 는 PLL의 Bandwidth라고도 부르며, 클수록 Lock Time이 빨라지게 된다. 이 외에도 시스템에서 필요로 하는 주파수의 해상도 및 주파수 변화량에도 관계가 됨을 알 수 있다.

3. Spur

Spur는 중심 주파수에서 PFD비교주파수에 관련된 기준 주파수의 Harmonic주파수에 나타나게 된다. Reference spur는 charge pump 또는 varactor의 leakage 성분에서 발생하며, Charge Pump의 전류 Mismatch에 의해 발생하



〈그림 8〉 Frequency Synthesizer의 Spur

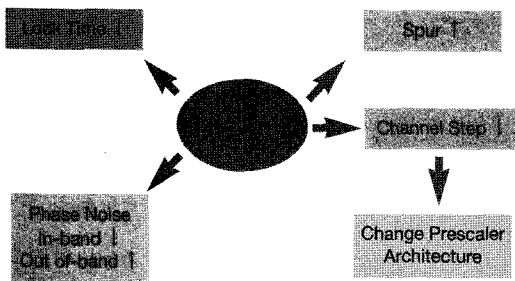
게 된다. spur성분을 줄이는 방법으로는 기본적으로 reference frequency를 높게 사용하고, reference frequency보다 loop bandwidth를 더 좁게 선택하는 것이다. 또한 PFD의 Dead Zone문제와 Charge Pump의 Up/Down current mismatch의 최소화, loop filter내에서의 switching current feed-through를 줄임으로써 완화할 수 있다.

4. Frequency Synthesizer의 Bandwidth, Lock Time, Phase Noise, Spur 사이의 관계

2차 Loop Filter를 사용했을 때, Frequency Synthesizer의 Bandwidth는 식 3과 같이 나타낼 수 있다.

$$|T(s)|=1 \rightarrow \omega = \frac{I_p \cdot K_{VCO} \cdot R_z \cdot C_z}{2\pi N \cdot (C_z + C_p)} \quad (3)$$

3차 PLL의 Loop Bandwidth식에서 I_p 는 Charge Pump의 전류 양, K_{VCO} 는 VCO의 Gain, R_z 는 Loop Filter의 저항, C_z 와 C_p 는 Pole과 Zero를 형성하는 Capacitor의 값을 의미한다. 보통 Bandwidth에서 K_{VCO} 는 고정된 값으로



〈그림 9〉 Frequency Synthesizer의 설계 이슈들

설계를 하며, Bandwidth를 조정하고자 할 때는 I_{cp} 와 R_z 를 조정하는 경우가 일반적이다.

그림 9는 주파수합성기의 설계에 있어서의 Bandwidth와 Lock Time, Phase Noise, Spur 등 성능 파라미터와의 관계를 나타내고 있다. 그림 9에서 보는 바와 같이 각각의 파라미터들은 trade-off 관계를 가지고 있다.

먼저 Phase noise는 in-band phase noise와 out of-band phase noise로 구분된다. in-band phase noise는 divider와 loop filter에 의한 noise성분이고 prescaler의 division factor에 의해 영향을 받는 parameter이다. out of-band phase noise는 VCO의 noise특성에 의해 결정된다.

channel step에 따라서 reference frequency와 prescaler type에 의해 결정된다.

spur는 charge-pump의 current mismatch, K_{VCO} , loop filter 그리고 prescaler type에 의해 발생하는 성분으로써 실제 설계에서 줄이는데 가장 어려운 성분이다. 일반적으로 Spur를 줄이기 위해서는 Bandwidth를 줄여야 한다.

Lock time은 settling하는데 얼마의 시간이 걸리는 지에 대한 parameter로써 K_{VCO} , loop filter, prescaler의 division factor, reference frequency, charge pump의 current를 포함한 bandwidth에 의해 결정되는 factor이다.

이 밖에도 power consumption과 chip area 등은 설계 시 고려할 중요한 사항이다.

III. Frequency Synthesizer의 설계 이슈들

1. PFD (Phase Frequency Detector)

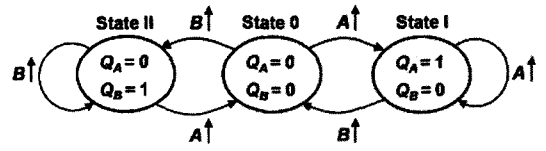
PFD는 reference clock과 VCO의 출력 주파

수를 divider로 나눈 신호의 위상과 주파수를 비교하여 다음단의 Up과 Down신호를 보내는 중요한 블록이다. 그에 따른 동작을 살펴보면 다음과 같다^[4].

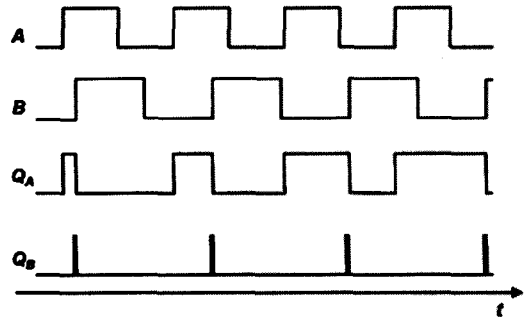
A의 신호(Reference 신호)가 B의 신호(VCO 분주 신호)보다 위상이 더 빠르고 주파수가 더 빠르므로 PFD에서는 Up signal이 다음 단으로 전달된다.

이와는 반대로 (b)의 경우에는 A의 신호가 B의 신호보다 위상과 주파수가 더 느리므로 Down signal을 다음 단으로 전달한다.

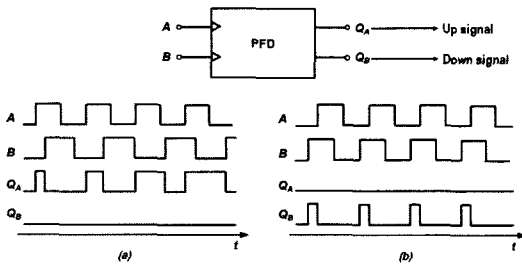
이러한 기본적인 PFD를 구현하기 위해서 구조로 그림 11(a)와 같은 Tri-state PFD구조를 일반적으로 사용한다.



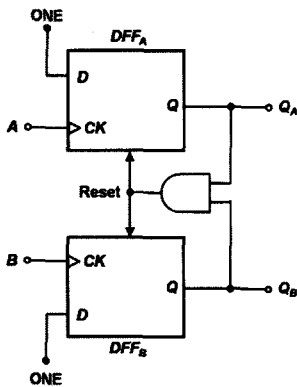
(b) PFD의 state machine



(c) Signal Waveform



(그림 10) PFD의 동작원리

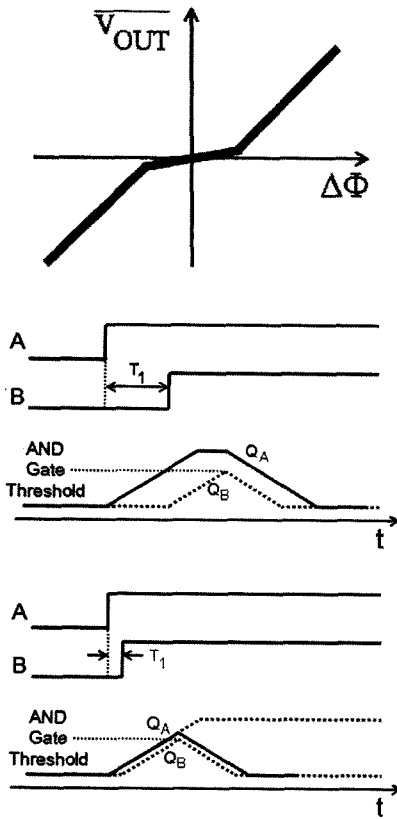


(a) PFD의 일반적인 구조

(그림 11) Tri-state phase-frequency detector의 구조

3-state PFD의 구조는 두 개의 D-Flip Flop과 한 개의 AND게이트로 이루어져 있다. 이 구조는 edge-triggered sequential circuit으로 기준 신호와 VCO출력 신호의 positive transition에 따라 동작하기 때문에 PFD의 출력은 입력의 duty cycle에 관계없이 동작한다. 이러한 동작은 적어도 세 가지 논리 상태(up=down=0, up=0, down=1, up=1, down=0 일 때)를 발생한다.

그러나, PLL이 동기 되었을 때 즉, up 신호와 down 신호가 모두 "1" 인 경우가 존재한다. 동작 원리상으로는 up신호와 down신호가 "1" 인 경우에는 AND게이트를 통하여 두 개의 D-F/F을 즉시 리셋 해야 하지만, 논리회로의 지연시간으로 인해서 또 하나의 상태(up=down=1)가 존재한다. 이러한 PFD자체의 reset delay는



〈그림 12〉 PFD의 Dead-Zone 특성

UP/Down신호의 정상적인 출력을 방해하기 때문에, 리셋 지연 시간을 최대한 작게 하거나 반대로 증가시켜 그 영향을 줄여야 한다.

또한, 고주파수 대역에서 정상적인 동작을 위해서는 리셋 지연 시간에 의해 발생하는 dead zone 특성이 매우 작아야 한다.

PFD의 두 입력 신호의 위상 차이에 따른 출력은 그림 12에서 볼 수 있듯이 비선형성을 보인다. A신호와 B신호의 위상차가 충분히 커서 PFD를 구성하는 AND Gate의 Threshold의 영향을 받지 않는다면 문제가 없지만, 위상차가 0에 가까운 경우에는 Up/Down 펄스가 비선형적으로 출력 된다. 이런 문제는 뒷단인 VCO

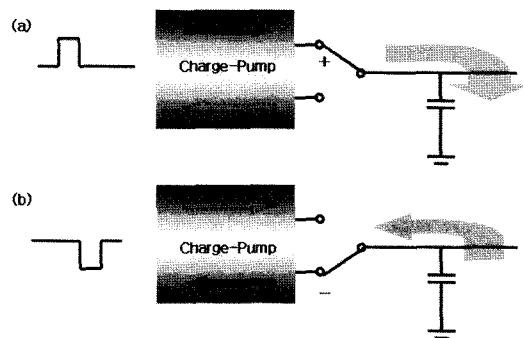
출력의 Noise 특성에 좋지 않은 영향을 주게 되어, 전체 PLL 성능을 떨어뜨리는 결과를 낳는다.

이런 Dead-Zone 문제를 해결하기 위해서는 리셋 지연 시간을 최대한 줄이거나 그 구간을 임의로 더 늘려서 확실하지 않은 구간을 없애는 방법이 있다.

2. Charge Pump

Charge Pump는 PLL의 성능을 결정하는 중요한 블록 중의 하나이다. CP는 PFD단에서 출력된 Up/Down signal을 받아서 특정 량의 전하를 충전 또는 방전하도록 만들어진 회로라 할 수 있다. Up/Down signal의 펄스 폭에 따라서 출력되는 전하량이 달라지고, 그렇게 두 신호간의 차이만큼 전하량을 충전(Charging) 또는 방전(Discharging) 때문에 Charge Pump라고 한다 [4].

이러한 출력 전하량이 뒷단에 오는 Loop Filter의 capacitor에 전하를 충전하거나 방전시켜 결론적으로 VCO단의 Vcont를 조절하는 동작이 이루어진다. Charge Pump에 따른 Loop Filter의 동작을 보면 다음과 같다.



〈그림 13〉 Charge Pump 블록의 동작

그림 13에서 확인할 수 있듯이 PFD로부터 Up signal이 들어오면 Charge Pump에서 펄스 폭에 해당하는 전하량만큼 충전하여 Loop Filter의 capacitor에 전하를 더 많이 축적시켜 출력전압을 상승시킨다.

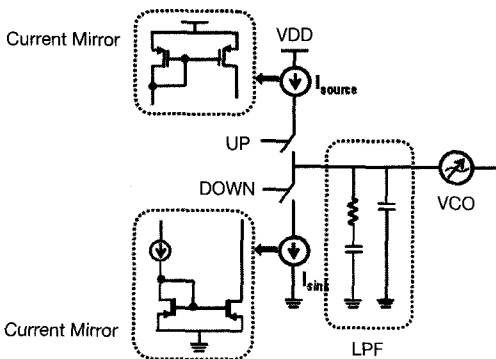
또한 Down signal이 Charge Pump의 입력으로 들어올 경우에는 펄스폭에 해당하는 전하량만큼 방전시켜 Loop Filter에 축적된 전하를 감소시킴으로써 출력전압을 하강시킨다.

그림 14는 Charge Pump 회로도를 보여주고 있다. Charge Pump는 미세한 펄스폭만큼을 일정한 전하(전류)로 변환해줘야 하기 때문에 개념적으로 전류이득을 갖는다고 할 수 있다.

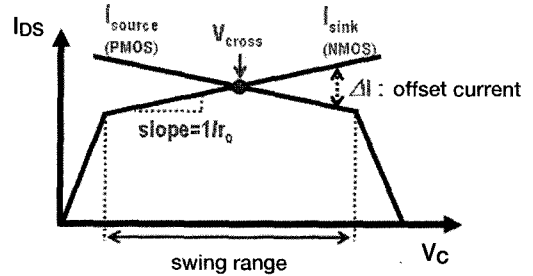
이러한 Charge Pump의 전류를 I_{cp} 라고 하며 PLL의 중요한 성능지표 중 하나이다.

I_{cp} 가 크면 펄스에 따라 전류양이 크다는 의미이며, 결국 capacitor에 전하를 축적 또는 방출 시키는 속도가 빨라지기 때문에 PLL의 lock time에 큰 영향을 준다.

만약 PLL이 Locking 상태라면 Up 신호와 Down 신호가 동일한 시간 동안 인가 되는데 이때 충전 전류인 current source와 방전 전류인 current sink 사이에 오차가 발생하게 되면



(그림 14) Charge-Pump 회로



(그림 15) Current Mirror 의 특성

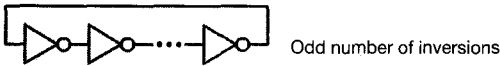
Loop Filter로 들어가거나 나오는 net current가 0이 될 수 없게 된다. 결국 이런 잔존 전류는 VCO의 Control Voltage의 Ripple을 발생시키며, PLL전체의 Reference Spur가 증가하게 되는 문제를 야기한다.

그림 15에서 확인할 수 있듯이 current mirror를 구성하고 있는 MOSFET이 포화 영역에서 동작할 때 channel length modulation 효과로 인해 전류는 일정한 상수 값을 갖지 못하고 오직 I_{source} 와 I_{sink} 의 교차점인 V_{cross} 지점에서만 같은 전류 값을 갖고 다른 전압에서는 offset current가 존재하게 된다. Charge Pump가 적절하게 설계되지 못한다면 이러한 전류 오차로 인해 앞서 언급했듯이 PLL전체 성능을 떨어뜨리게 될 것이다.

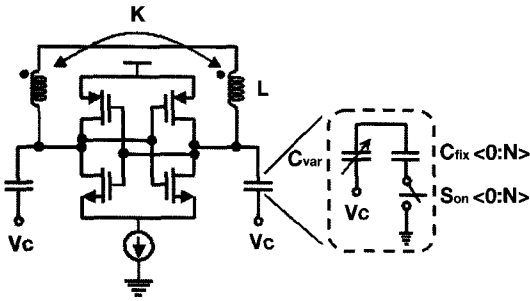
3. VCO (Voltage Controlled Oscillator)

VCO는 구조에 따라 그림 16에 있는 Ring Oscillator와 그림 17에 있는 LC-VCO로 구분할 수 있다. LC-VCO는 inductor와 capacitor 사이에서 공진하는 것을 이용한 것이고 Ring Oscillator는 delay stage로 구성되어 있다.

일반적으로 RF IC에서 채택하는 구조인



〈그림 16〉 Ring Oscillator의 기본 구조



〈그림 17〉 LC-VCO의 기본 구조

LC-VCO는 varactor의 gate로 들어가는 입력 전압을 조정하여 capacitance값을 변화시켜 공진 주파수를 조절한다. 현재로서는 공진 주파수에서의 factor인 L값과 C값 중에서 L값을 변화시키면 Noise특성이 매우 나빠지고 inductor의 layout면적이 매우 크기 때문에 capacitance를 변화시키는 것이 추세이다³⁾.

그림 17에 있는 LC-VCO의 Core는 PMOS와 NMOS의 pair로 구성된 Negative-Gm 구조로 되어 있다. 전류를 최소화하기 위해서는 tail-current source의 크기를 줄여야 되는데 저 전력 설계를 위해서 너무 줄이면 Negative-Gm 이 줄어들어 Oscillation을 못하게 된다. 그리고 그에 따른 Noise성분도 증가하게 되는 issue가 있다.

VCO의 Phase Noise특성이 PLL전체 Phase Noise특성을 결정하기 때문에 그 만큼 Noise특성에 대하여 민감한 block이다. Noise특성을 높이고 빠른 Corse Tuning을 하기 위해 Capacitor bank는 여러 개의 MIM capacitor와 그것을 켜고

끌 수 있는 switch들로 이루어져 있다. 그리고 Loop-Filter에서 들어오는 control 전압과 연결된 varactor로 구성되어진다.

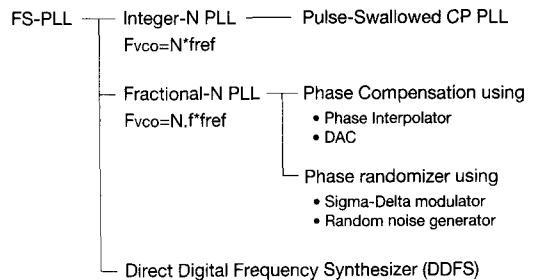
VCO는 inductor와 capacitor로 구성되어 있기 때문에 공정상에 발생하는 variation을 감안하여 설계해야 한다. inductor의 경우 Bonding wire inductance를 고려하여 최대 15%정도의 variation을 고려해야 하며 capacitor의 경우 wire와 MOSFET의 parasitic capacitance를 고려하여 10%이내의 variation을 갖기 때문이다.

4. Prescaler

Frequency Synthesizer는 여러 채널의 주파수를 합성하기 위해서 가변의 분주비 값을 가져야 한다. 분주기의 구조에 따라서 Frequency Synthesizer의 구조를 나눌 수 있다¹⁾.

그림 18은 Prescaler구조에 따른 주파수 합성기의 종류를 보여주고 있다. 크게 분주비가 정수인 Integer-N구조와 분수의 값을 가질 수 있는 Fractional-N구조로 나눌 수 있다.

Fractional-N구조의 경우 Fractional Spur가 크기 때문에 이를 해결하기 위해서 Sigma-Delta Modulator구조를 사용한 구조가 많이 사용되고 있다.



〈그림 18〉 Frequency Synthesizer의 종류

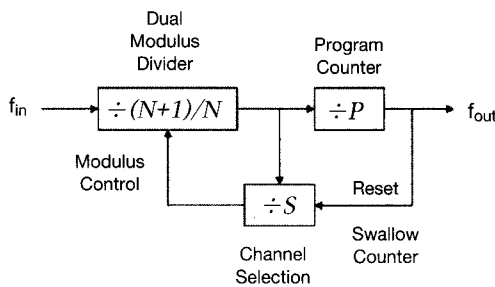
분주비가 정수인 Integer-N 구조의 경우 그림 19와 같이 Dual Modulus Divider와 Pulse-Swallow Counter로 구성되어 있다. 전체 Pulse의 구간을 P라고 할 때, P구간동안에는 S구간 동안에는 Dual Modulus Divider에서 N으로 나누고, (P-S) 구간동안에는 (N+1)로 나눠서, 평균적으로 $(N \times S + (N+1) \times P - S) = PN + S$ 의 분주비를 가진다.

예를 들어서, N = 4일 경우에는 Dual Modulus Divider는 4/5 분주기로 구성이 되고, 분주비는 $4P + S$ 의 값을 가진다.

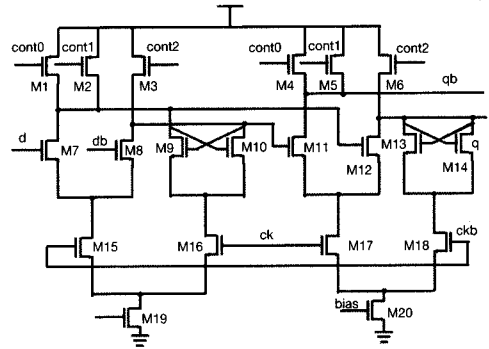
채널에 따라 P와 S값을 조정하면 가변의 분주비를 가질 수 있다.

Dual Modulus Divider에서 사용되는 High-Speed Flip-Flop의 경우 보통 GHz의 신호대역을 처리하기 때문에 CMOS Logic Gate로는 설계가 불가능하다. 따라서 그림 20과 같은 CML (Current-Mode Logic)을 사용하여 설계한다.

CML Type의 Flip Flop은 differential구조를 이용하여 논리 게이트를 구현한 것으로 신호의 폭을 일정하게 유지하도록 바이어스가 잡혀 있기 때문에 매우 빠른 동작속도를 가지고 differential구조로 되어있기 때문에 잡음 특성에 강하다. 모든 전류의 흐름은 스위칭으로 연



〈그림 19〉 Prescaler의 블록 다이어그램



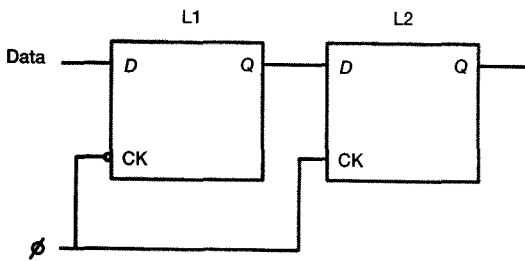
〈그림 20〉 CML 구조의 Master-Slave Flip-Flop

결되는 하나의 노드로 흐르게 되고 상보적인 출력 신호 값을 갖는다. 전류의 흐름이 차단되어진 한 쪽 노드의 전압은 VDD이고, 반면에 전류가 흐르는 노드의 전압은 Load 저항으로 인해 전압강하가 일어나 $VDD - I_{bias} \times R_L$ 을 갖게 된다. CML Type의 Flip Flop은 rail-to-rail의 출력스윙은 산출하지 않지만 감소되어진 출력스윙은 빠른 전압 변화에 의해 고속 동작을 가능하게 된다.

또한 CML은 넓은 주파수의 범위에서 평탄한 전력 소비를 갖는데, 이는 주파수에 따라 전력소비가 증가하는 다른 논리 형식과는 다른 점이다. 높은 주파수 대역의 CML회로의 전력소비는 다른 논리회로와 비슷하거나 낮은 값을 갖는다.

따라서, 대부분의 설계에서 Divider는 CML 형태의 D-F/F이 많이 사용되고 있다.

F/F의 구성은 두 가지 형태로 master-slave 방식과 pulse-trigger 방식이 있다. Pulse-trigger 방식은 setup time이 작아서 고속 동작에 유리하며 master-slave 방식은 data를 받아들이면서 그림 21과 같이 clock에 따라서 holding과 sampling 동작을 반복하기 때문에 비교적 안정



〈그림 21〉 F/F Master-slave방식의 구성도

적인 동작을 보인다.

IV. 결론 및 향후 전망

본 고에서는 RF무선 주파수 합성기의 성능 파라미터 및 설계 이슈 등에 대해서 살펴보았다. 주파수 대역이 올라감에 따라서 주파수 합성기의 동작 주파수도 올라가고, 모바일 환경의 보급에 따라 저전력 주파수 합성기의 필요성이 점점 증대되고 있다.

이러한 추세에 맞추기 위해서는 주파수 합성기의 성능 제한 요인들을 파악하고, 각 블록의 설계 이슈에 대한 이해가 필수적이라고 생각되며, 본 고를 통해서 주파수 합성기에 대한 이해의 폭이 넓어졌으면 하는 바람이다.

참고 문헌

- [1] B. Razavi, "RF Microelectronics", Upper Saddle River, NJ: Prentice-Hall, 1998.
- [2] Keliu Shu, "CMOS PLL Synthesizers", Springer, 2006
- [3] A. Kral, F. Behbahani, and A. A. Abidi, "RF-CMOS oscillators with switched tuning," Proc. IEEE Custom Integrated Circuits Conf., pp. 555-558, May 1998.
- [4] J. Craninckx, and M. Steyaert, "A fully integrated CMOS DCS-1800 frequency synthesizer," IEEE Journal of Solid-State Circuits, vol. 33, pp. 2054-2065, Dec. 1998.

저자소개



이강윤

1996년 서울대학교 학사
 1998년 서울대학교 석사
 2003년 서울대학교 박사
 2003년-2005년 GCT Semiconductor Inc.
 책임 연구원
 2005년-현재 건국대학교 전자 공학과 조교수

주관심 분야 : RF·아날로그 집적회로설계, 아날로그/
 디지털 Mixed Mode 설계