

논문 2008-45SD-1-8

SONET 통신 시스템을 위한 8~10.9 GHz 저 위상 잡음과 넓은 튜닝 범위를 갖는 새로운 구조의 LC VCO 설계

(8~10.9-GHz-Band New LC Oscillator with Low Phase-Noise and Wide Tuning Range for SONET communication)

김성훈*, 조효문**, 조상복**

(Seung-Hoon Kim, Hyo-Moon Cho, and Sang-Bock Cho)

요약

본 논문에서는 0.35- μ m CMOS 공정을 이용 8~10.9 GHz 밴드를 갖는 새로운 구조의 LC VCO를 설계 제안하였다. 이 회로 구성은 LC 탱크 기반의 전형적인 NMOS, PMOS cross-coupled 쌍을 병렬로 구성한 새로운 구조로 상보적인 NMOS와 PMOS 꼬리 전류와 같은 MOS cross-coupled 쌍과 출력 버퍼로 구성하였다. 본 논문에서 제시한 구조로 설계된 LC VCO는 8GHz에서 10.9GHz까지로 29%의 증가된 튜닝 범위와 6.48mW의 낮은 전력소모를 가지는 것을 확인하였고 이의 core size는 270 μ m \times 340 μ m, 시뮬레이션을 통한 VCO의 위상잡음은 1MHz와 10MHz offset에서 각각 -117dBc/Hz와 -137dBc/Hz이다. FOM은 10GHz의 중심 주파수로부터 1MHz offset에서 -189dBc/Hz를 가진다. 제안한 설계방법은 10Gb/s급의 클럭과 데이터 복원회로 그리고 SONET 통신응용에 매우 유용하다.

Abstract

In this paper, New LC VCO with 8~10.9 GHz Band has been designed using commercial 0.35- μ m CMOS technology. This proposed circuit is consisted of the parallel construction of the typical NMOS and PMOS cross-coupled pair which is based on the LC tank, MOS cross-coupled pair which has same tail current of complementary NMOS and PMOS, and output buffer. The designed LC VCO, which is according to proposed structure in this paper, takes a 29% improvement of the wide tuning range as 8 GHz to 10.9 GHz, and a 6.48mW of low power dissipation. Its core size is 270 μ m x 340 μ m and its phase noise is as -117dBc Hz and -137dBc Hz at 1-MHz and 10-MHz offset, respectively. FOM of the new proposed LC VCO gets -189dBc/Hz at a 1-MHz offset from a 10GHz center frequency. This design is very useful for the 10Gb/s clock generator and data recovery integrated circuit (IC) and SONET communication applications.

Keywords : LC VCO, CMOS, SONET, Phase Noise, Tuning Range.

I. 서론

인터넷 방송 등 광 대역 멀티미디어 서비스의 증가로 인터넷 트래픽이 폭발적인 증가 추세인 것에 반해 네트

워크 기반 시설 확충이 이루어지지 못함으로서 네트워크 곳곳에서의 병목현상이 두드러지고 있다. 이런 현상을 해결하기 위해 최근, 10 GHz band의 광통신 시스템(SONET) 기술 및 시장이 빠르게 성장하고 있고, 인터넷을 이용한 cable HD-TV, instant HD video on demand, HD video telephony 등의 broadband 응용 분야의 출현, 초고속 온라인 게임 및 대용량의 멀티미디어 파일의 다운로드 등 초고속 광통신의 활용이 증가하고 있는 추세이다.^[1]

기술적인 추세에서 채널당 10Gb/s에서의 시스템들은 각각 유럽의 synchronous 데이터 계층과 synchronous

* 학생회원, ** 정회원, 울산대학교 전기전자시스템 공학과
(School of Electrical Engineering, Univ of Ulsan)
* 본 논문은 2005년 울산대학교 교비연구비의 지원에 의해 이루어졌으며, IT-SoC 전공인증사업, 반도체 설계교육센터(IDECE), 네트워크기반 자동화연구센터(NARC)의 칩 제작 지원을 받았습니다.
접수일자: 2007년9월13일, 수정완료일: 2008년1월10일

optical network를 사용하는 OC-192 또는 STM-64 들 중 하나의 형태로 현재 진행되고 있다.

공정 기술면에서는 지금까지는 GaAs나 SiGe 기술을 이용한 광통신 시스템 제품이 주류를 이루어 왔지만, 미세공정 기술의 발달로 회로선폭이 감소하여 소자의 cut-off frequency가 0.18um 공정을 이용한 MOSFET의 경우 70GHz에 이를 정도로 active device의 고주파 특성이 향상되고 있어, 고집적도, 제조비용의 절감 및 저 전력 구현을 위해 CMOS VCO의 설계 및 제작에 관한 연구가 증가하는 추세이다.

그림 1은 광통신 수신단의 구조를 나타낸 것으로 여기서 CDR(Clock and Data Recovery)은 TIA와 MA를 거치면서 잡음이 섞인 수신 신호로부터 데이터를 복원하고 클럭을 만들어내는 역할을 한다. VCO는 CDR에 필요한 클럭을 생성할 뿐만 아니라 CDR 전체 회로의 jitter를 생성하기 때문에 VCO 설계 결과에 따라 CDR 성능이 영향을 받는다. 일반적인 LC VCO 구조는 전력 소모를 줄이면 위상잡음 특성이 나빠지고, 위상잡음 특성을 개선하기 위해서는 전력소모를 증가시켜야 하는 등, 전력소모와 위상 잡음은 trade-off 관계에 있으며 튜닝범위와도 trade-off 관계가 있다. 광통신 시스템에 적용할 경우에는 저 전력소모 특성 및 위상 잡음 특성의 개선이 필요하다.

또한 발진주파수와 튜닝범위 특성은 반비례 관계에 있으므로 튜닝범위의 확장은 10GHz 이상의 광통신 시스템에 있어 매우 중요한 요소이다.

본 논문에서는 기존의 상보 cross-coupled LC VCO 방식에 전력소모와 위상 잡음 및 튜닝범위와의 trade-off 관계를 개선하기 위해 NMOS cross-coupled와 PMOS active load 기술을 적용하여 SONET 통신시

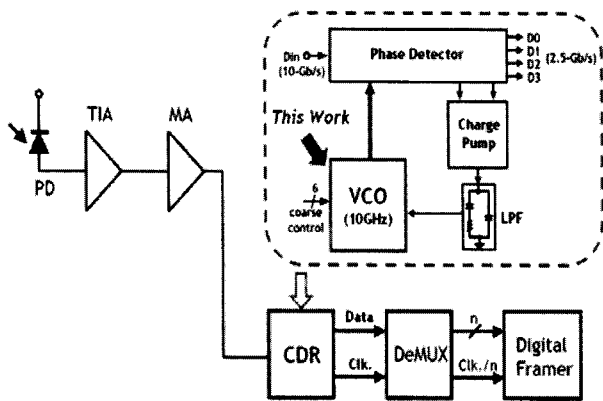


그림 1. 광통신 수신단의 구조 (SONET/SDH)
Fig. 1. Optical Receiver structure (SONET/SDH).

스템의 CDR 응용에 가능하면서 기존의 방식보다 넓은 tuning 범위와 낮은 위상잡음을 갖는 새로운 구조의 LC VCO의 설계 기법을 제안한다.

II. 일반적인 Cross-Coupled LC VCO 구조

그림 2는 일반적인 완전한 차동의 negative-gm을 갖는 cross-coupled CMOS LC VCO 구조를 나타내었다.

이 구조는 PMOS core와 NMOS core가 대칭구조로 되어 부성 저항성분이 2배가 되어 LC tank 회로에서 발생하는 손실을 현저히 줄일 수 있고, varactor의 전압을 조절하여 주파수를 변화시킨다.

발진주파수는 공진부의 인덕턴스와 발진 노드에서 바라본 커패시턴스로 결정된다. 이때 발진 노드에서 바라본 커패시턴스는 바랙터의 커패시턴스와 인덕터의 기생 커패시턴스, PMOS core와 NMOS core의 기생 커패시턴스 쪽으로 바라 봤을 때의 커패시턴스로 구분할 수 있다.^[2] 이를 모두 더하면 발진기의 발진 주파수는 식 (1)과 같다.

$$f_{osc} = \frac{1}{2\pi \sqrt{C_{IND} + C_{MOS} + C_{VAR}}} \quad (1)$$

이와 같이 CMOS 기술을 이용한 LC VCO에서 CMOS의 게이트 길이가 줄어서 발생하는 공급 전압의 감소는 넓은 주파수 튜닝 범위를 갖지 못한다. 또한 LC VCO의 주파수 튜닝 범위에서 출력 전압 크기의 변화는 LC VCO의 위상 잡음을 발생시킨다.

이러한 위상잡음 특성을 향상시키기 위해 인덕턴스

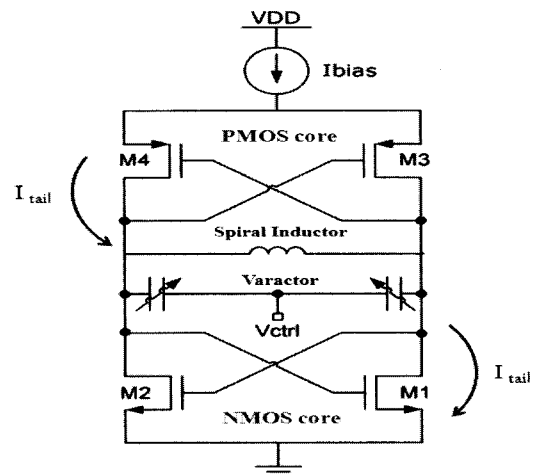


그림 2. 일반적인 Cross-Coupled LC VCO 구조
Fig. 2. Complementary Cross-Coupled LC VCO structure.

값을 너무 높이면 공진부의 varactor 값이 감소되어 튜닝 범위가 좁아지게 되며, MOS 트랜지스터의 W값을 너무 줄이면, LC-tank의 손실 성분을 보상할 수 없어 발진 조건에서 벗어나게 된다. 이러한 결과로 의해 위상 잡음과 튜닝 범위와의 trade-off 관계가 되는 것을 알 수 있다.

III. 제안한 새로운 구조의 LC VCO

본 논문에서 제안하는 LC VCO 구조는 기존의 cross-coupled LC VCO 방식에 NMOS cross-coupled (M7, M8)과 PMOS active load (M5, M6) 기술을 적용하여 넓은 tuning 범위와 낮은 위상잡음을 갖도록 설계하였다. 그림 3에서와 같이 PMOS TR와 NMOS TR을 대칭적으로 구현하면 Gm 이 같게 되어 위상 잡음을 줄일 수 있으며, varactor의 전압을 조절하여 주파수를 변화시킬 수 있다.^[2] 이와 같이 위상 잡음을 줄이기 위하여 VCO 출력의 진폭이 포화가 되는 동작 점을 맞춰 출력을 대칭적으로 유지하여 위상잡음 개선 특성을 보였다. 제안하는 LC VCO는 각각 다른 VDD1과 VDD2로 구성된다.

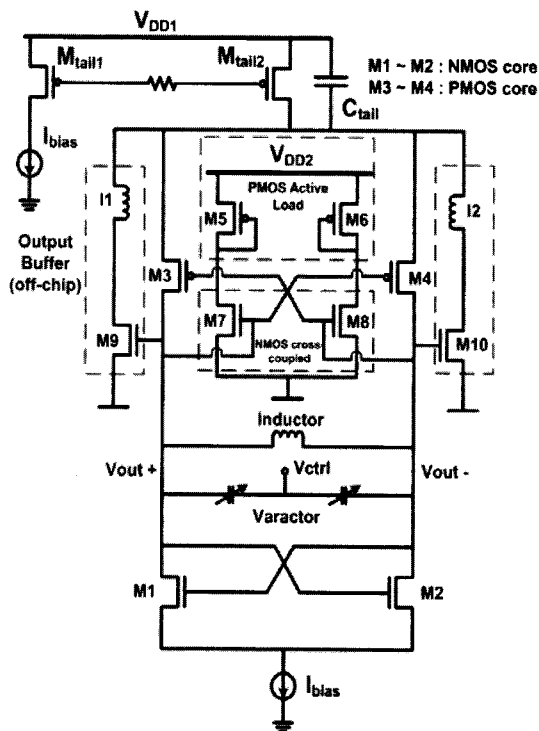


그림 3. 넓은 tuning 범위와 낮은 위상잡음을 갖는 새로운 LC VCO 구조

Fig. 3. Low Phase-Noise and Wide Tuning Range with LC VCO structure.

VDD1은 LC VCO 전체 각 루프의 전원공급을 위함이고, VDD2는 위상 잡음 최적화를 위해 내부루프에 존재한다. VDD2는 1V로 인가하고 외부 VDD1은 3.3V로 정한다. 또한 출력 버퍼는 LC VCO의 출력 단에 연결되어 게이트 로딩 효과에 의해 발진 주파수를 가변시켜 원하는 특성을 얻을 수 있기 때문에, 가능한 작은 사이즈에 unit gain 이상을 가져야 하므로 PMOS 보다 전달 컨덕턴스가 큰 NMOS (M9, M10)를 사용하였고, 인덕터 (I1, I2)는 임피던스 매칭을 위해 칩 외부로 설계하였다.

그림 3과 같은 구조는 LC tank의 손실성분을 보상하기 위해 NMOS 래치(M1, M2)와 PMOS 래치(M3, M4)를 연결하여 전류를 재사용하도록 구성하여 전력 소모 대비 위상 잡음 특성이 개선되도록 하였다.

또한 제안하는 구조는 다른 구조에 비해 같은 전력 소모에서 발진 스윙 전압 크기가 크고, 전원 노이즈 및 기판 노이즈의 영향이 적고, 발진 파형의 상승시간과 하강시간의 대칭성이 뛰어나 tail 전류 원으로 사용하는 트랜지스터의 플리커 노이즈의 영향 또한 적은 구조로 널리 사용되는 방식을 기반으로 하였다.

M_{tail1} 과 M_{tail2} 의 전류 원으로 PMOS를 사용한 것은 PMOS가 NMOS보다 플리커 노이즈가 적기 때문이며, 캐패시터 C_{tail} 은 tail 전류 원으로 사용하는 PMOS 트랜지스터의 고주파 성분이 발진 노드에 영향을 미치는 것을 억제하기 위해 삽입하였다.

제안하는 LC VCO의 인덕터는 spiral 인덕터를 사용하였고^[3], 버랙터는 축적모드 varactor로서 PMOS 트랜지스터의 소스와 드레인 전극의 p+를 n+로 대체하여 만든다. 또한 n+ diffusion에 벌크를 연결하고 이에 제어 전압을 인가하면 게이트 밑에 공핍층이 생성되는데 이때 제어 전압을 변화시켜 커패시턴스를 변화시킨다.

MOS 버랙터는 선형 특성이 우수하고, 튜닝 범위가

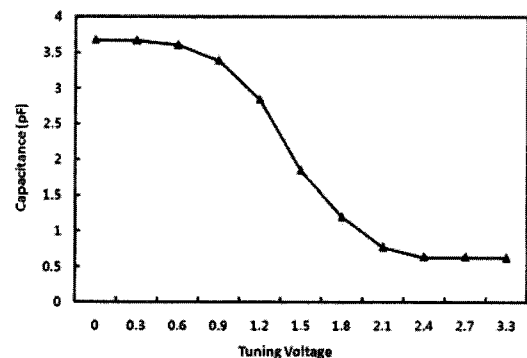


그림 4. 축적모드 버랙터의 튜닝 범위

Fig. 4. Tuning range of accumulation mode varactor.

넓어 많이 사용하는 구조이다. 본 논문에서는 축적 모드 바랙터의 RF 모델을 제공하지 않기 때문에 Spectre RF 툴을 이용하여 PMOS의 L/W비를 변화시키면서 시뮬레이션 하였다.

그 결과를 그림 4에 나타내었다. 축적 모드 varactor 에서 게이트 길이를 짧게하면 직렬 저항이 감소하므로 Q값이 높아져 위상 잡음 특성을 개선할 수 있는데 반해 튜닝범위가 좁아지기 때문에 사이즈를 정하는데 있어 튜닝 범위와 위상잡음에 영향을 미치는 Q값 사이의 trade-off의 관계를 고려하여 게이트의 길이를 결정하였다.

IV. 시뮬레이션 결과

제안하는 새로운 LC VCO는 Cadence 사의 Spectre-RF 툴을 이용하여 3.3V 공급전압, 외부전압 1V와 0.35 μ m CMOS 공정으로 설계하였다. 그림 5는 중심주파수 10.2GHz의 주파수 스펙트럼 시뮬레이션을 나타내었고, 그림 6은 넓은 tuning 범위와 낮은 위상잡음을 갖는 새로운 LC VCO 구조의 튜닝 범위를 나타내었다. 일반적으로 RF 시스템에서 요구하는 튜닝 범위에 대한 정의는 식 (2) 와 같다.

$$Tuning\ range\ (\%) = \frac{f_{max} - f_{min}}{f_{center}} \times 100 \quad (2)$$

식 (2)에서 f_{center} 는 발진 중심 주파수는 10GHz이다. LC VCO의 튜닝 범위는 바랙터 커패시터를 칩 위에 만들 경우 커패시턴스의 공정 오차와 인덕터 및 MOS 트랜지스터의 기생 커패시턴스 값을 감안하여 넓은 튜닝 범위의 LC VCO를 설계하였다. 그림 6에서와 같이 제안하는 LC VCO는 8GHz~10.9GHz까지 29%의 튜닝 범위를 가진다. 그림 7은 제안한 LC VCO를 설계하여 위상잡음 특성을

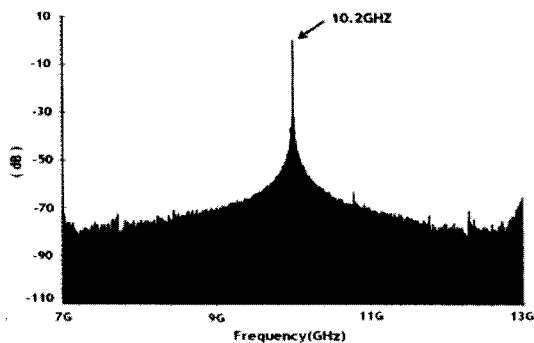


그림 5. 제안된 LC VCO의 스펙트럼 시뮬레이션
Fig. 5. The spectrum simulation of proposed LC VCO.

Cadence사의 Spectre-RF를 이용하여 시뮬레이션 한 것으로, 10GHz의 주파수로 발진할 때 1MHz와 10MHz 각각의 오프셋 주파수에서 -117dBc/Hz와 -137dBc/Hz의 위상잡음 특성을 가진다. 위상잡음을 수식적으로 나타내면 식(3)과 같다. 여기서, Q_{max} 는 최대 신호 진폭을 나타내고, $\Delta\omega$ 는 캐리어 신호로부터의 offset 주파수를 나타낸다.^[3]

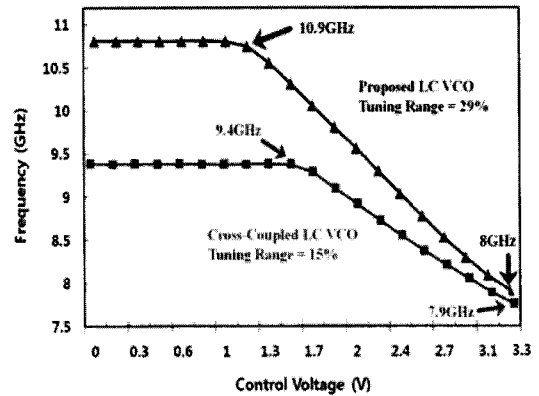


그림 6. 제안된 LC VCO의 주파수 튜닝 범위
Fig. 6. Frequency tuning range of proposed LC VCO.

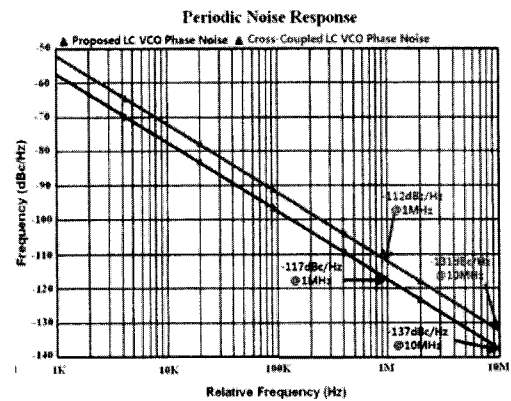


그림 7. 제안된 LC VCO의 위상잡음
Fig. 7. Phase noise of proposed LC VCO.

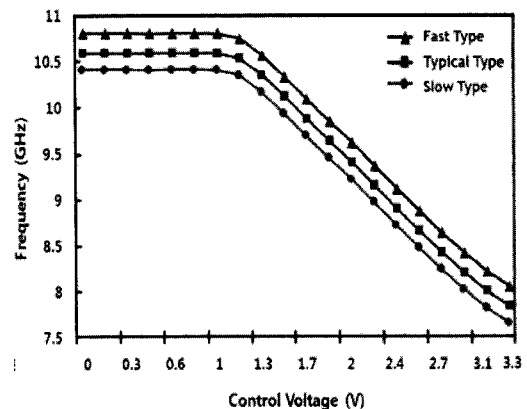


그림 8. 제안된 LC VCO의 Corner Simulation 결과
Fig. 8. Corner Simulation of proposed LC VCO.

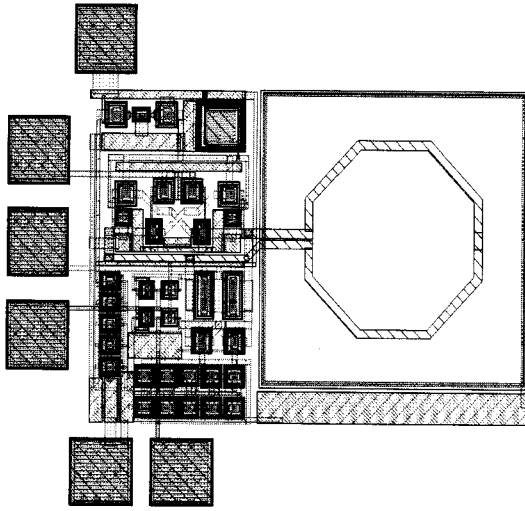


그림 9. 제안한 LC VCO의 layout
Fig. 9. Layout of proposed LC VCO.

$$L\{\Delta\omega\} = 10 \log \left(\frac{i_n^2 / \Delta f}{q_{\max}^2} \cdot \frac{\Gamma_s^2}{2\Delta\omega^2} \right) \quad (3)$$

제안하는 LC VCO에 일정한 voltage를 입력 시 일정한 클럭이 출력이 되는데 그림 8은 이상적인 클럭을 입력했을 때 약 3.3V를 입력을 하면 10.2GHz가 출력이 된다. 그것을 확인한 다음 VCO 입력 단에 전압 원을 달아서 0V부터 VDD인 3.3V를 입력 및 변화시키면서 그때마다 나온 주기를 측정하여 그래프를 그리면 VCO Gain 곡선이 나온다. Coner Simulation시 최악의 상태를 확인하기 위하여 Supply Voltage도 함께 변화 시키면서 동작을 시켰기 때문에 VCO Gain의 특성 곡선이 Fast Type, Typical Type, Slow Type 때마다 다르다.

그림 9는 제안한 LC VCO의 layout을 나타낸 그림이다. Layout core size는 $270\mu\text{m} \times 340\mu\text{m}$ 이다. 고주파 VCO의 기본적인 레이아웃 고려사항은 최우선적으로 VCO 구조의 차동 특성을 완전 대칭형으로 구성하도록 레이아웃 하는 것이 중요하다.

제안된 LC VCO는 다른 LC VCO와 비교하기 위하여 널리 사용되어지는 figure of merit (FOM)은 다음의 식(4)로 정의된다.^[4]

$$FOM = L\Delta f - 20 \log \left(\frac{f_0}{\Delta f} \right) + 10 \log \left(\frac{P}{1mW} \right) \quad (4)$$

$L(\Delta f)$ 는 캐리어로부터 오프셋에서의 위상 잡음이고 P는 LC VCO 코어의 전력 소모이다. 3.3 V 공급 전압을 사용한 이 설계의 FOM은 10 GHz 대역에서 -189dBc/Hz @ 1 MHz이다. 표 1은 제안한 VCO의 위

표 1. VCO의 위상잡음과 튜닝범위 특성 비교

Table 1. VCO Phase Noise and Tuning Range comparison.

Technology	0.35 μm CMOS
Supply Voltage	3.3V
Tuning Range	29% (8GHz~10.9GHz)
K_{VCO}	< 2.06 GHz/V
Power Consumption	6.48mW
Phase Noise	-117dBc/Hz@1M offset
	-137dBc/Hz@10M offset
FOM(figure of merit)	-189dBc/Hz@1M offset
	-194dBc/Hz@10M offset
Chip Size	270 μm x 340 μm

표 2. VCO의 결과 비교.

Table 2. VCO performance comparison.

	본 논문	[5]	[6]	[7]
튜닝범위 (GHz)	29 % 8.0~10.9	20.1 % 10.2~12.5	20.5 % 10~12.5	5 % 9.5~10
위상잡음 (1MHz)	-117 dBc/Hz	-125 dBc/Hz	-106 dBc/Hz	-102 dBc/Hz
FOM (dBc/Hz)	-189	-188	-151	-161
파워소비	6.48mW	50mW	45mW	3.7mW

상 잡음과 튜닝범위 특성을 비교한 결과이고, 표 2는 제안한 VCO와 다른 논문과 결과를 비교한 표이다.

V. 결 론

본 논문에서는 0.35- μm CMOS 공정을 이용하여 기존의 cross-coupled LC VCO 방식에서 NMOS cross-coupled와 active load 기술을 적용하여 넓은 tuning 범위와 낮은 위상잡음을 갖는 새로운 LC VCO를 설계 구조를 제안하고 설계하였다. 제안하는 LC VCO는 8GHz~10.9GHz까지 29%의 튜닝 범위를 가지며 위상잡음 특성은 Spectre-RF를 이용하여 시뮬레이션 한 것으로, 10GHz의 주파수로 발진할 때 1MHz와 10MHz 각각의 오프셋 주파수에서 -117dBc/Hz 와 -137dBc/Hz 의 위상잡음 특성을 가진다. 기존의 다른 LC VCO와 비교하기 위하여 널리 사용되어지는 FOM은 10GHz 대역에서 -189dBc/Hz @ 1MHz이다.

참 고 문 헌

[1] F. O. Eynde, J. Schmit, V. Charlier, R. Alexande, C. Sturman, K. Coffin, B. Mollekens, J. Cranincks, Terrijin, A. Monterastelli, S. Beerens, P. Goetschalckx, M. Ingels, D. Joos, S. Guöncer, and A. Pontiöglu, "A fully integrated single-chip SOC for Bluetooth," in Int. Solid-State Circuits 2001, pp.196 - 197.

[2] A. Hajimiri and T. H. Lee, "A general theory of phase-noise in electrical oscillators," IEEE J. Solid- State Circuits, vol. 33, pp. 179 - 194, Feb. 1998.

[3] C. P. Yue and S. S. Wong. On-chip spiral inductors with patterned ground shields for Si-based RF IC's. IEEE Journal of solid-state circuits, 33(5):743 - 752, May 1998.

[4] N.H.W. Fong, J.-O. Plouchart, N. Zamdmer, D. Liu, L.F. Wagner, C. Plett, and N.G. Tarr, "Design of wide-band CMOS VCO for multiband wireless LAN applications," IEEE J. Solid-State Circuits, vol.38, pp.1333 - 1342, Aug. 2003.

[5] Tae-young Choi; Hanil Lee; Katehi, L.P.B.; Mohammadi, S, "A low phase noise 10 GHz VCO in 0.18 um CMOS process" Wireless Technology, 2005. The European Conference on, 273-276, 2005.

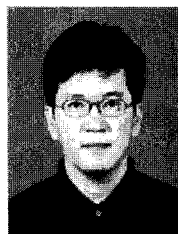
[6] T. P. Liu, "A 1.5 V 10-12.5 GHz Integrated CMOS Oscillators," IEEE Symposium on VLSI Circuits, pp. 55-56, 1999.

[7] R. Murji and J. M. Deen, "A Low-Power, 10 GHz Back-Gated Tuned Voltage Controlled Oscillator with Automatic Amplitude and Temperature Compensation," ISCAS 2004, Vancouver, BC, Canada, 4 pages, 23-26May, 2004.

저 자 소 개



김 성 훈(학생회원)
 2006년 울산대학교 전기전자 공학부 학사 졸업.
 2006년 울산대학교 전기전자 공학부 석사과정 입학.
 <주관심분야 : CMOS 아날로그 설계 및 제작, SoC 설계>



조 효 문(정회원)
 1990년 울산대학교 전자공학과 졸업. 공학사
 1992년 울산대학교 대학원 전자 공학과 졸업. 공학석사
 2006년 울산대학교 대학원 전기전자공학부 박사과정
 <주관심분야 : CMOS VLSI 및 SoC 설계, 영상 압축 및 처리>



조 상 복(정회원)
 1979년 한양대학교 전자공학과 학사 졸업.
 1981년 한양대학교 전자공학과 석사 졸업.
 1985년 한양대학교 전자공학과 박사 졸업.
 1994년~1995년 Univ. of Texas, Austin 교환교수
 2003년~2004년 Univ. of California, San Diego 교환교수
 2000년~2001년 울산대학교 자동차전자연구센터장
 2006년 현재 울산대학교 e-Vehicle 연구 인력양성사업단장 (2단계 BK21 정보기술사업단)
 <주관심분야 : SoC/VLSI 설계 및 테스트, 자동차 전장시스템 설계, 영상처리 회로 설계 및 제작, 머신비전 시스템 개발, 초고집적 메모리 설계>