

논문 2008-45SD-1-5

카디악 페이스메이커용 0.8V 816nW 델타-시그마 모듈레이터

(A 0.8V 816nW Delta-Sigma Modulator Application for Cardiac Pacemaker)

이 현 태*, 허 동 훈*, 노 정 진**

(Hyuntae Lee, Donghun Heo, and Jeongjin Roh)

요 약

이번 논문은 implantable cardiac 페이스메이커의 검출 단 로서 저전압, 저전력 단일-비트 삼차 델타-시그마 모듈레이터를 구현하였다. 1V이하의 전원 전압에서 효과적으로 동작하기 위하여 distributed feedforward 구조와 벌크-드라이브 OTA를 활용하였다. 설계된 모듈레이터는 0.8V의 전원 전압에서 49dB의 dynamic range를 가지면서 816nW의 파워를 소모하였다. 파워 소모를 획기적으로 줄임으로서 페이스메이커뿐만 아니라 제한된 배터리에서 동작하는 implantable 의료 기기에서 다양한 활용이 가능할 것으로 생각된다. 본 모듈레이터의 칩 크기는 1000 μ m \times 500 μ m로서 0.18 μ m CMOS standard 공정으로 제작되었다

Abstract

This paper discusses the implementation of the low-voltage, low-power, third-order, 1-bit switched capacitor delta-sigma modulator of the implantable cardiac pacemaker. The distributed, feed-forward structure and bulk-driven OTA were used in order to achieve an efficient operation under a supply voltage of 1V or lower. The designed modulator has a dynamic range of 49dB at 0.9V supply voltage and consumes 816nW of power. Such a significant reduction in power consumption allows diverse applications, not only in pacemakers, but also in implantable biomedical devices that operate with limited battery power. The core chip size of the modulator is 1000 μ m \times 500 μ m manufactured, with the 0.18 μ m CMOS standard process.

Keywords : Delta-sigma modulator, bulk-driven OTA, cardiac pacemaker, analog-to-digital converter.

I. 서 론

Cardiac 페이스메이커(Pacemaker)는 심장의 전기적 활동 신호를 감지하는 장치이다. 이 장치는 심장 안쪽에 심어진 lead connector를 통하여 심장박동 수나 리듬과 같은 심장의 상태에 대한 정보를 장치로 전달하고 이를 통하여 상태이상이나 병에 대한 진단을 내리고 적절한 대처를 할 수 있게 한다. 심장이 너무 느리게 뛰거

나 멈췄을 때 전기적인 자극을 통하여 정상상태로 돌리는 역할을 한다^[1].

본 논문에서 제안하는 것은 cardiac 페이스메이커의 검출 단(sensing stage)에서 쓰이는 델타-시그마 아날로그 디지털 변환기(delta-sigma analog to digital converter)이다.

특히 델타-시그마 모듈레이터는 cardiac 페이스메이커의 검출 단에 적합한 구조로 보여진다. 이는 낮은 신호 대역 (50Hz~250Hz)에서 비교적 높은 dynamic range를 가지면서도 파워를 적게 소모할 수 있기 때문이다^[2].

델타-시그마 모듈레이터에서 얻어지는 높은 signal to noise ratio (SNR)은 효과적으로 cardiac 신호를 감지할 수 있게 하고 낮은 SNR로 인하여 발생할 수 있는 오동작을 줄여줌으로서 전력 소모도 줄일 수 있는

* 학생회원, 한양대학교 전자전기제어계측공학과
(Dep. of Electronic, Electrical, Control and Instrumentation Engineering, Hanyang Univ.)

** 정회원, 한양대학교 전자컴퓨터공학
(Dep. of Electrical Engineering and Computer Science, Hanyang Univ.)

※ 본 연구는 ETRI SoC 산업진흥센터 지원을 받았습니다.

접수일자: 2007년8월21일, 수정완료일: 2008년1월4일

장점을 가지고 있다^[3].

또한, 페이스메이커의 검출 단을 집적화함으로써 회로를 구성하는 외부 소자를 감소시키고 전체 페이스메이커의 크기를 줄일 수 있게 한 것도 implantable 장치로서 적합하다고 할 수 있다^[4].

이번 논문은 저전압, 저전력 델타-시그마 모듈레이터 설계를 위하여 벌크-드리븐(bulk-driven) 방식을 사용하여 operational transconductance amplifier(OTA)를 설계하였다. 일반적으로 아날로그 회로의 경우 전원 전압의 감소는 회로의 스피드 감소와 dynamic range를 감소시킨다. 때문에 같은 성능을 유지하기 위해서는 보다 많은 전력소모를 해야 한다. 이와 함께 가장 큰 문제는 문턱 전압(threshold voltage) 감소폭이 크지 않다는 것이다. 문턱 전압이 감소하게 되면 누설 전류(leakage current)가 많이 흐르게 되고 이는 결국 전체 noise floor level을 제한하게 된다^[5]. 때문에 문턱 전압의 감소폭은 전원 전압의 감소폭에 비하여 크지 않고 이는 입력 신호의 크기를 제한하는 요소가 된다. 이것이 바로 저전압에서 아날로그 회로를 설계하는 것을 어렵게 만드는 주요 원인 중 하나이다. 벌크-드리븐 방식은 입력 신호를 트랜지스터의 게이트(gate)가 아닌 벌크(bulk)에 인가함으로써 전원 전압의 감소에 따른 문제점들을 효과적으로 해결하였고 결과적으로 전체 모듈레이터의 파워 소모를 획기적으로 줄였다. 이를 통하여 제한된 배터리에서 동작하는 implantable 장치가 보다 오랜 시간동안 동작하게 하는 것을 가능하게 하였다.

이 밖에도 저전압 동작에서 나타나는 문제점들을 보완하기 위한 distributed feedforward 델타-시그마 모듈레이터의 구조와 bootstrap 회로에 대해서 소개하고 있다. 그리고 구현된 칩의 측정 결과와 이를 바탕으로 결론에서 전체 내용을 요약하였다.

II. 본 론

1. 델타 시그마 구조

그림 1은 본 논문에서 사용된 구조를 나타내었다. 제시된 모듈레이터는 distributed feed-forward(DFF) 단일 비트 3차 델타-시그마 구조로서 스위치-커패시터 방식의 3개의 적분기로 구성 되어 있다.

저전압에서의 델타-시그마 모듈레이터의 성능 향상을 위한 키포인트는 보다 넓은 입력 전압 범위를 가지는 것과 작은 적분기 출력 스윙을 가지는 것이다^[6]. 때문에 본 논문에서는 DFF 구조를 사용하였다. 피드포워드

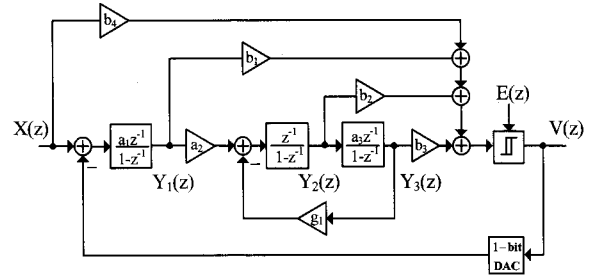


그림 1. Distributed feed-forward 델타-시그마 모듈레이터

Fig. 1. Distributed feed-forward delt-sigma modulator.

드(feed-forward) 구조와 피드백(feedback) 델타-시그마 모듈레이터 구조의 가장 큰 차이점은 입력 신호가 피드포워드 패스를 통하여 단일-비트 양자화기(quantizer)로 바로 들어간다는 것이다.

델타-시그마 모듈레이터의 전달 함수는 다음과 같다.

$$V(z) = STF(z)U(z) + NTF(z)E(z) \quad (1)$$

이 식에서 $V(z)$ 는 모듈레이터의 출력이고 $U(z)$ 는 입력 신호, $E(z)$ 는 양자화 잡음 값을 각각 나타낸다. 일반적인 피드백 구조에서는 신호 전달 함수(signal transfer function)인 $STF(z)$ 는 지연된 값을 가지는데 반하여 그림1에 나타난 DFF구조는 피드포워드 신호 패스를 모듈레이터의 루프에 삽입함으로써 $STF(z)$ 의 값을 1로 만들 수가 있다. 결과적으로 모듈레이터의 출력은 모든 주파수 대역에서 지연이나 필터링이 없는 입력 신호의 값을 그대로 얻을 수 있다^[7].

$STF(z)$ 와 $NTF(z)$ 의 값을 통하여 각 적분기의 출력 $Y_1(z)$, $Y_2(z)$, $Y_3(z)$ 값을 구하면 다음과 같다.

$$Y_1(z) = -\frac{a_1}{1-z} NTF(z) \cdot E(z) \quad (2)$$

$$Y_2(z) = -\frac{a_1 a_2}{(z-1)^2 + g_1 a_3} NTF(z) \cdot E(z) \quad (3)$$

$$Y_3(z) = -\frac{a_1 a_2 a_3}{((z-1)^2 + g_1 a_3)(z-1)} NTF(z) \cdot E(z) \quad (4)$$

위의 식은 입력 신호가 적분기의 출력에 아무런 영향을 미치지 않는다는 것을 알려준다. 따라서 루프 필터 내에는 양자화 잡음 성분만이 남아있게 되게 되고 이는 적분기의 출력 스윙을 감소시키는 역할을 하게 된다.

그림 2는 -4dB의 크기로 78.125Hz의 사인(sine) 파형의 신호를 입력 하였을 때 각 적분기의 출력 파형을 나타낸 것이다. 각 적분기의 출력 값이 기준(reference) 전

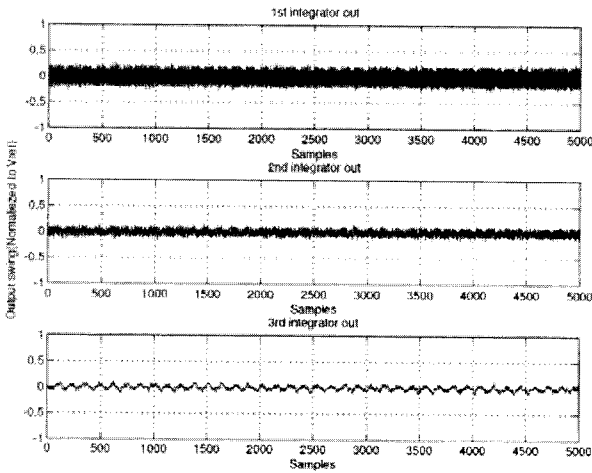


그림 2. 적분기 출력 파형
Fig. 2. Integrator outputs.

압의 30%를 넘지 않는 것을 확인 할 수 있다. 앞에서 언급 했듯이 루프 필터 내에서 입력 신호를 처리하지 않음으로서 적분기의 출력 신호가 입력 신호의 고조파 왜곡(harmonic distortion) 성분에 영향을 받지 않고 OTA의 비선형성에 의한 영향을 감소시킬 수 있게 된다^[8]. 때문에 피드포워드 구조에서는 앰프의 DC-이득이 30dB 이상일 경우에 왜곡 성분들을 상당 부분 억제 할 수 있다^[8]. 이를 통하여 게이트-드리븐(gate-driven) 방식에 비하여 상대적으로 DC-이득이 낮은 벌크-드리븐 방식의 단점을 보완할 수 있다.

또한 출력 스윙의 크기가 일반적인 피드백 구조에 비해 작기 때문에 OTA의 제한된 출력 스윙 범위에서 동작하기 위한 추가적인 커패시터 scaling을 하지 않아도 된다. 이는 불필요한 커패시터의 크기를 증가시키지 않음으로써 칩 크기를 줄일 수 있을 뿐만 아니라 큰 커패시터를 구동하기 위한 불필요한 전력 소모를 줄일 수 있는 장점을 가지고 있다.

2. 회로 구현

가. 벌크-드리븐 operational transconductance amplifier(OTA)

낮은 전원 전압에 동작하는 OTA를 구현하기 위하여 벌크-드리븐(bulk-driven) 방식을 사용하였다. 저전압에서 동작하는 OTA에서 가장 중요한 부분은 입력 단이다. 신호 처리를 위해서 입력 단의 MOSFET은 반드시 strong inversion으로 켜져 있어야만 한다. 입력 단의 정상 동작을 위해서 전원 전압은 다음의 조건을 만족해야 한다.

$$V_{supply(min)} = |V_T| + 2V_{DSsat} \tag{5}$$

위의 조건은 1V 이하의 동작에서도 적용가능하다. 하지만 PMOS 입력 단의 common mode range(CMR)를 살펴보면 다음과 같다.

$$V_{in(max)} = V_{supply(pos)} - 2V_{DSsat(PMOS)} - |V_{T(PMOS)}| \tag{6}$$

$$V_{in(min)} = V_{supply(neg)} - V_{DSsat(NMOS)} + V_{T(NMOS)} \tag{7}$$

이번 논문에서 사용된 공정의 PMOS 문턱 전압의 값이 450mV인 것을 고려하였을 때 1V 이하의 전원 전압에서는 PMOS 입력 단의 CMR이 상당히 작은 값을 가지거나 값이 없을 수도 있다는 것을 알 수 있다. 이러한 문턱 전압에 의한 입력 신호 스윙 폭의 제한은 결과적으로 회로 설계상의 많은 어려움을 가져온다. 이러한 단점을 보완하기 위해 벌크-드리븐 방식을 사용하였다.

그림 3은 게이트-드리븐 방식과 벌크-드리븐 방식을 나타내고 있다. 벌크-드리븐 회로의 동작 원리를 간단하게 살펴보면 다음과 같다. 게이트와 소스간의 전압은 MOSFET을 strong inversion에서 동작시키기에 충분한 DC 바이어스를 인가하고 입력 신호를 벌크와 소스 사이에 인가한다. 벌크에 걸린 전압 변화에 의하여 드레인 과 소스 사이에 전류가 변화하게 되는데 이는 전계 효과 트랜지스터(junction field effect transistor(JFET))의 특성과 유사하다. 결과적으로 높은 입력 임피던스를 가지는 공핍형 소자(depletion mode device)의 특성을 얻을 수 있다^[9].

벌크-드리븐 회로가 가지고 있는 가장 큰 장점은 신호를 벌크로 입력함으로써 문턱전압에 의한 제한을 받지 않고 MOSFET의 공핍특성을 이용하여 전류를 조정할 수 있다는 것이다. 또한 소스 전압을 기준으로 양의

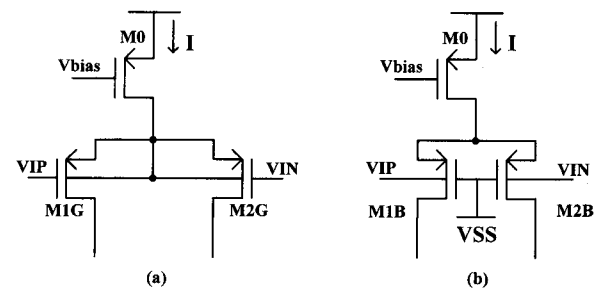


그림 3. (a) 게이트-드리븐 방식 (b) 벌크-드리븐 방식
Fig. 3. (a) Gate-driven approach (b) Bulk-driven approach.

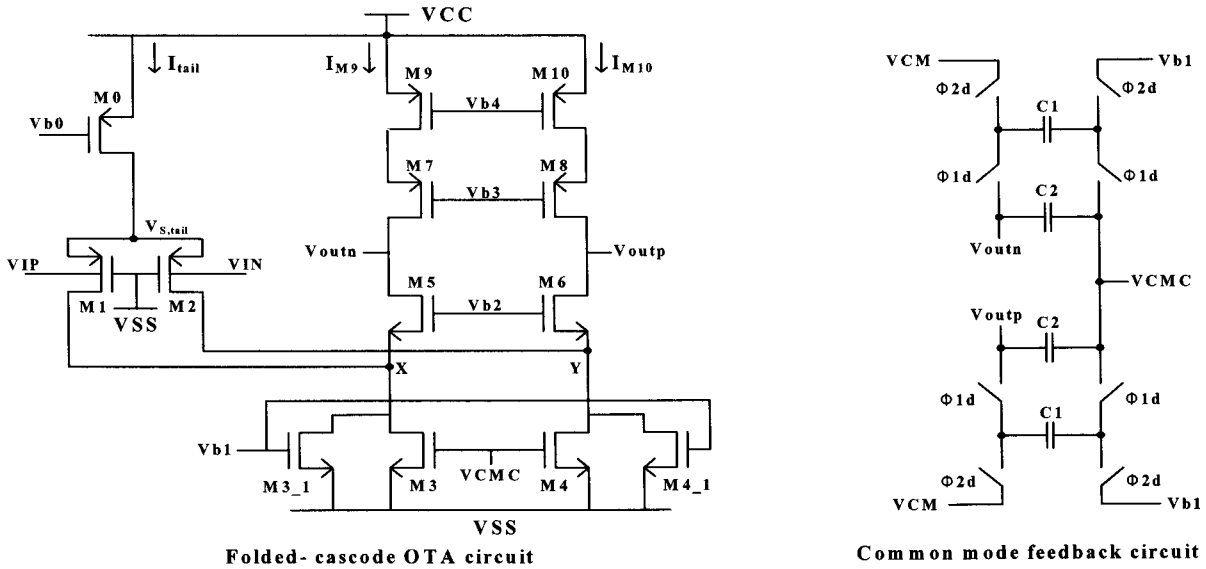


그림 4. Fully differential folded-cascode OTA
 Fig. 4. Fully differential folded-cascode OTA.

방향과 음의 방향으로 모두 신호를 입력할 수 있어서 저전압 설계에서 다른 구조에서는 얻을 수 없었던 넓은 범위의 입력을 가능하게 할 수 있다.

벌크-드리븐 회로는 몇 가지 단점도 가지고 있는데 그 중 가장 하나는 보디 트랜스컨덕턴스인 G_{mb} 가 일반적인 게이트 트랜스컨덕턴스 G_m 에 비하여 3-4배 정도 더 작은 값을 가지는 것이다. 때문에 DC-이득 값이 상대적으로 작게 되고 대역 폭 역시 게이트-드리븐에 비하여 더 작은 값을 가지게 된다.^[5]

이와 더불어 MOSFET의 전이 주파수(transition frequency)의 감소도 단점 중에 하나이다.

일반적인 게이트-드리븐의 전이 주파수는

$$f_{T, gate-driven} \approx \frac{g_m}{2\pi C_{gs}} \quad (8)$$

의 값을 가지게 된다.

이때 벌크-드리븐의 전이 주파수는 약 다음의 값을 가지는 것을 알 수 있다.^[9]

$$f_{T, bulk-driven} \approx \frac{\eta}{3.8} f_{T, gate-driven} \quad (9)$$

위의 식에서 벌크-드리븐 회로의 전이주파수는 게이트-드리븐 회로에 비하여 약 10% 이하의 값을 가지고 있다. 따라서 벌크-드리븐 방식은 고속 시스템에 적합하지 않는 것을 알 수 있다.

또한 벌크-드리븐 회로를 설계함에 있어서 벌크 쪽

의 큰 전압은 기생 BJT를 동작 시켜서 latch up이 발생할 수 있다는 것을 염두에 두어야 한다. 이를 방지하기 위해 시뮬레이션을 통하여 적절한 입력 전압 범위를 확인하였다.

벌크-드리븐 방식은 각각의 벌크에 다른 전압을 인가해 주기 때문에 N타입과 P타입의 MOSFET 전체를 사용하기 위해서는 twin well 공정을 사용해야한다. 하지만 일반적인 CMOS공정에서는 N-well을 사용한 P-channel MOSFET 밖에 사용할 수가 없기 때문에 본 논문에서는 PMOS 입력 단을 이용하여 OTA를 설계하였다.^[10]

그림 4는 이번에 설계한 OTA의 구조로서 벌크-드리븐 방식을 이용한 folded-cascode differential OTA와 differential OTA를 위한 스위치-커패시터 방식의 common mode feedback(CMFB) 회로를 나타내었다.

먼저 OTA를 살펴보면 앞서서 설명한 바와 같이 입력 신호를 게이트가 아닌 벌크로 인가함으로써 문턱 전압에 의한 제한을 없애고 넓은 범위의 입력 CMR을 가질 수 있게 하였다. 입력 단의 게이트는 트랜지스터를 켜줄 수 있을 만큼의 충분한 크기의 DC 전압으로서 VSS를 인가하였다. 벌크-드리븐 입력 단을 통해서 생성된 전류는 입력 트랜지스터의 드레인을 통해 출력 단의 cascode 트랜지스터(M5, M6) 입력으로 들어가게 된다. 이때 PMOS의 차동 전압 입력 단의 트랜스컨덕턴스 값은 다음과 같이 표현 된다.^[9]

$$G_{mb} = \frac{\gamma g_m}{2\sqrt{2\phi_F - V_{S,tail} + V_{in}}} \tag{10}$$

$$= \frac{\gamma\sqrt{(K/n)(W/L)I_{tail}}}{2\sqrt{2\phi_F - V_{S,tail} + V_{in}}}$$

여기서

$$n = 1 + \eta = 1 + \frac{g_{mb}}{g_m}, \gamma \text{는 body effect 계수로서 } 0.$$

2~0.4V^{1/2}값을 가지고 K'은 트랜지스터의 이동도 (mobility) μ_n 과 게이트 커패시턴스 C_{ox} 와의 곱의 값이다. $V_{S,tail}$ 은 입력 단 소스의 전압 값이다. V_{in} 은 MOSFET의 벌크로 들어가는 입력 전압으로서 양방으로 입력이 가능 하고 이를 통하여 입력 단의 전류를 조절할 수 있게 된다. 0.8v 전원 전압에서는 기생 BJT를 동작시킬 만큼의 과도한 바이어스 전압이 가해지지 않으므로 입력 단의 CMR은 0에서 0.8V까지의 rail to rail 동작이 가능하다.

출력 단에 cascode를 사용하는 이유는 게이트-드리븐에 비해 상대적으로 낮은 트랜스컨덕턴스로 인한

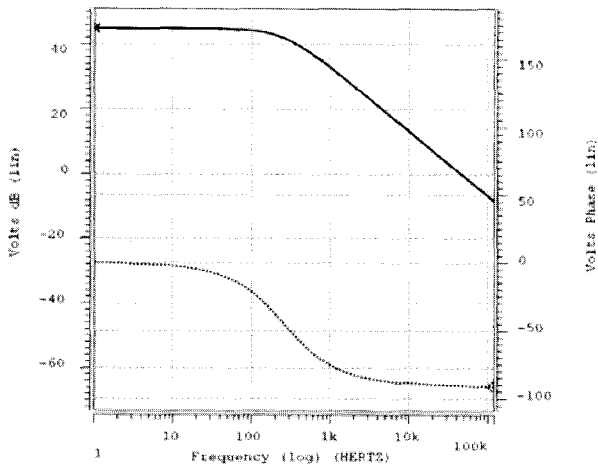


그림 5. OTA 개-루프 이득 및 phase margin
Fig. 5. OTA open-loop gain and phase margin.

표 1. OTA 회로 수행특성
Table 1. OTA circuit performance.

Parameter	OTA
Power supply	0.8V
DC gain	45dB
Phase Margin	90°
Unit Gain Frequency	49KHz
Effective Load Capacitor	680fF
Power Consumption	400nW
Fabrication	0.18μm
Pmos Vth	450mV
Nmos Vth	430mV

DC-이득의 감소를 보완하기 위해서이다. 이때 발생하는 headroom에 의한 출력스윙의 감소는 모뮬레이터를 DFF 구조로 사용함으로써 단점을 보완하였다.

OTA의 전체 이득은 다음과 같이 표시 할 수 있다.

$$A = G_{mb} \cdot (r_{o4} \cdot r_{o6}) / (r_{o8} \cdot r_{o10}) \tag{11}$$

여기서 r_o 는 트랜지스터의 출력 저항 값이다.

그림 5와 표 1은 설계된 OTA의 성능을 나타내고 있다. OTA의 성능을 측정하기 위해 유효 부하 (effective load) $C_{L,eff}$ 를 사용하였다^[11].

OTA의 입력 단은 차동 입력 단(differential input pair)를 사용하였다. 차동 증폭기는 공통형 잡음 (common mode noise)의 제거에 월등한 성능을 보이고 추가적으로 출력 스윙의 크기가 3dB 커지는 장점을 가지고 있다. 하지만 피드백을 통하여 출력 공통(common mode) 전압의 크기를 정의할 수 없는 단점을 가지고 있다. 때문에 CMFB을 위한 추가적인 회로가 필요로 하게 된다.

그림 4의 왼편은 스위치-커패시터 방식의 CMFB 회로이다. 이 회로는 OTA의 출력 전압 V_{outp} 와 V_{outn} 을 감지하여 그 전압을 저장하였다가 공통 기준 전압 VCMC과의 비교를 통하여 오차의 발생을 VCMC로 출력하게 된다. CMFB 회로의 출력 VCMC는 OTA의 M3와 M4의 게이트로 인가되고 이를 통하여 출력 단의 전류량을 조절함으로써 출력 공통 전압의 값을 일정하게 유지 시켜준다. 스위치-커패시터 CMFB 회로는 적은 소모 전력으로 빠른 동작이 가능하고 피드백 앰프의 입력에서의 신호 스윙의 제한이 없는 장점을 가지고 있다^[12].

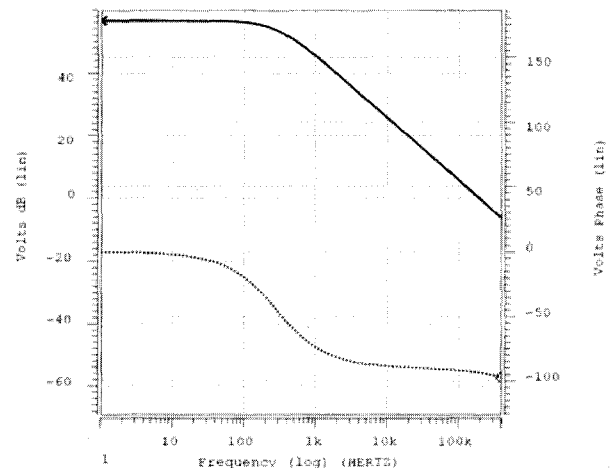


그림 6. 피드백 루프 이득 및 phase margin
Fig. 6. Feedback loop gain and phase margin.

표 2. CMFB 회로 수행특성
Table 2. CMFB circuit performance.

Parameter	CMFB
DC gain	57dB
Phase Margin	86°
Unit Gain Frequency	191KHz
Effective Load Capacitor	680fF
Voutp, Voutn	400mV
VCM	400mV
VCMC	485mV
NMOS Vth	430mV

이때 CMFB 회로의 루프 이득에 의한 안정성(stability)도 반드시 확인 해 봐야 한다. 특히 벌크-드리븐의 경우 벌크로 들어가는 입력 신호에 의한 차동 증폭기의 이득보다 피드백 트랜지스터의 게이트로 들어가는 피드백 전압으로 인한 루프 이득이 높은 경우가 많다. 차동 증폭기와 피드백 루프의 phase crossover 지점이 거의 같을 때 안정성 문제가 발생할 수 있다. 이러한 문제점을 해결하기 위해서 M3_1, M4_1을 통하여 피드백이 되는 트랜지스터의 전류는 나누어 줌으로서 피드백 루프 이득을 떨어뜨릴 수 있다.

그림 6은 피드백 루프의 이득과 phase margin을 나타내고 있다. 차동증폭기 보다 높은 이득을 가지고 있지만 이때 phase margin은 86°로서 CMFB를 통한 루프-이득에서 안정성 문제가 없음을 알 수 있다. 표 2는 CMFB 회로의 수행특성을 나타내고 있다.

나. Bootstrap 회로

그림 7은 Bootstrap 회로이다.

스위치-커패시터 적분기 회로에서 증폭기의 성능 못지않게 중요한 것이 샘플-홀드(sample and hold) 회로이다. 샘플-홀드 회로에서 일반적으로 트랜스미션 게이트(transmission gate)가 사용된다. 트랜스미션 게이트

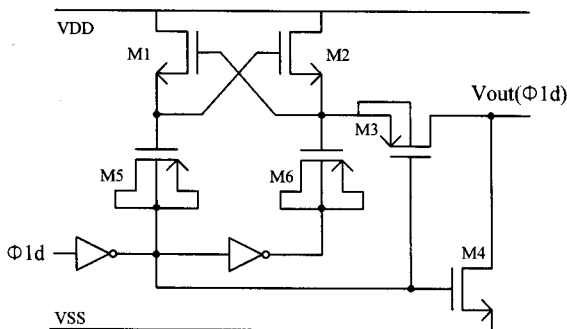


그림 7. Bootstrap 회로
Fig. 7. Bootstrap circuit.

는 NMOS와 PMOS를 병렬 연결하여 사용한다. 이를 통하여 입력 신호의 크기에 상관없이 신호전달을 가능하게 한다. 이때 스위치의 입력과 출력 사이의 저항은 $R_{on,n} // R_{on,p}$ 로 나타낼 수 있다. R_{on} 은 트랜지스터의 on 저항으로서 식은 다음과 같다.

$$R_{on} = \frac{1}{\mu C_{ox} W/L(V_{GS} - V_{TH})} \tag{12}$$

위의 식에서 확인할 수 있듯이 R_{on} 은 스위치의 오버드라이브 전압(overdrive voltage (V_{ov}))의 영향을 받는다. 스위치의 게이트로 인가되는 전압은 NMOS의 경우 전원 전압 VDD, PMOS의 경우 접지(ground)가 사용된다. 때문에 저전압에서는 낮은 V_{ov} 를 가질 수밖에 없고 따라서 on-저항은 큰 값을 가지게 된다. 이때 R_{on} 을 낮추기 위해 큰 aspect ratio를 사용하는 것은 charge injection, clock feedthrough에 의한 잡음 성분이 증가하게 되므로 바람직하지 않다. 특히 전원 전압의 크기가 $V_{thn} + |V_{thp}|$ 의 크기보다 작을 때는 양쪽의 트랜지스터가 모두 꺼지는 구간이 발생하게 되고 입력 신호를 전달할 수 없게 된다. 이는 심각한 성능저하의 원인이 된다. 또한 입력 신호의 작은 변화에도 on 저항의 변화의 폭이 크므로 저전압에서 트랜스미션 게이트의 사용은 바람직하지 않다.

이를 보완하기 위해서 사용된 회로가 바로 bootstrap 회로이다^[13]. bootstrap회로는 단일 스위치의 게이트로 전원 전압의 두 배의 전압을 공급하여 줌으로서 스위치가 보다 많은 V_{ov} 를 얻을 수 있고 입력 신호의 크기에 따라 스위치가 꺼지는 단점을 없앨 수 있다. 또한 모듈레이터가 동작하는 전압 범위 안에서 낮은 on 저항을 가지고 있으므로 트랜스미션 게이트보다 효율적이다.

Bootstrap 회로는 신호의 변화 폭이 큰 적분기의 입력 스위치에 사용되었고 $\Phi 1d$ 신호를 boosting 하였다.

다. 모듈레이터

그림 8은 본 논문에 사용된 스위치-커패시터 델타-시그마 모듈레이터의 전체 회로도도를 나타낸 것이다.

각각의 적분기에 사용된 OTA는 저전압에서도 보다 넓은 입력 CMR을 가질 수 있는 벌크-드리븐 방식을 적용하였다. 이를 통해 아날로그-디지털 변환기를 보다 효과적으로 구현할 수 있도록 하였다. DAC는 dual reference 방식을 사용하였다. positive와 negative 기준 전압은 각각 VCC와 접지를 사용하여 따로 기준 전압을 생성해야하는 번거로움을 줄였다.

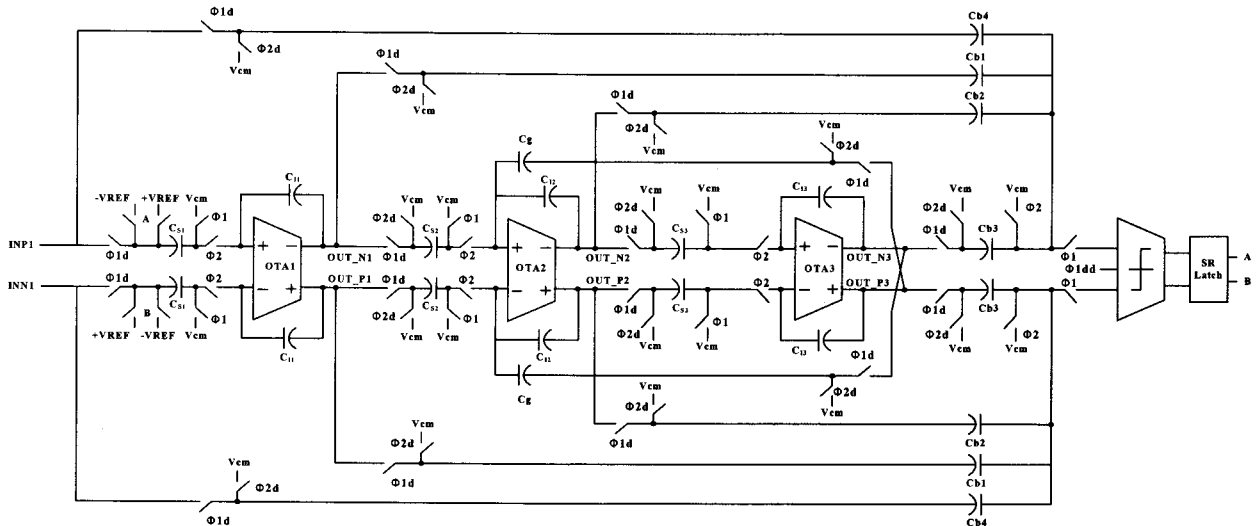


그림 8. 단일-비트 삼차 스위치-커패시터 델타-시그마 모듈레이터
 Fig. 8. 1-bit third order switched capacitor delta-sigma modulator.

III. 측정 결과

그림 9는 1-poly 4-metal 0.18μm 공정에서 제작된 칩 사진이다. PAD를 제외한 코어 칩(core chip)의 크기는 1000μm×500μm이다.

이번 레이아웃(layout)에서는 디지털 잡음에 의하여 민감한 아날로그 블록(block)이 영향을 받지 않도록 디지털 블록과 아날로그 블록을 분리시켜 냈다. 코어를 기준으로 왼편에는 아날로그 신호 패스를 위치시키고 디지털 신호 패스는 오른쪽으로 위치시켜서 아날로그 신호 라인과 디지털 라인의 거리를 벌였다. 이렇게 서로 겹치는 부분을 제거함으로써 디지털신호가 미치는

영향을 최소화 하였다. 또한 아날로그 블록과 디지털 블록은 각기 다른 전원 전압과 접지를 사용하고 각각의 적분기는 모두 가드 링(guard ring)으로 둘러싸이도록 잡음 성분으로부터 격리를 꾀했다.

커패시터는 적분 커패시터와 샘플링 커패시터의 비율을 맞추기 위해 단위 커패시터(unit capacitor)를 통한 common-centroid를 하였다. 공정상의 미스매치(mismatch)를 최소로 하여 전체 모듈레이터가 보다 정확한 동작을 할 수 있게 하였다. OTA의 내부 트랜지스터 역시 common-centroid를 통하여 미스매치에 의한 잡음 발생을 줄이도록 하였다.

그림 10은 로직 분석기를 사용하여 측정한 데이터 값

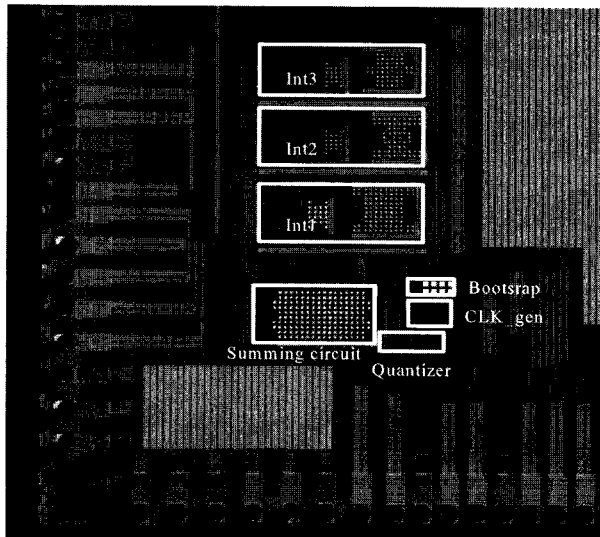


그림 9. 칩 사진
 Fig. 9. Chip microphotograph.

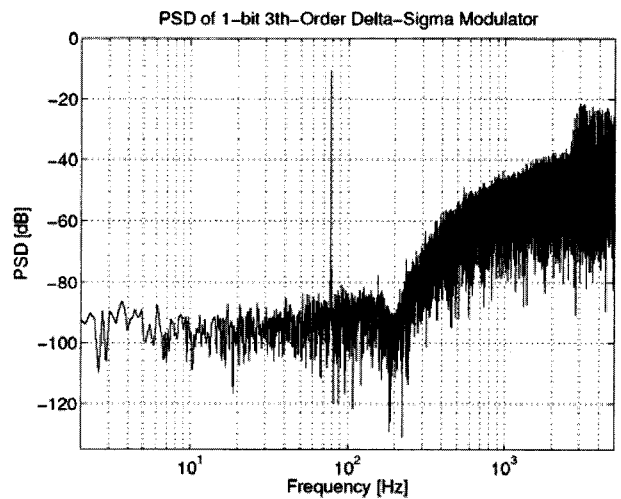


그림 10. 측정된 모듈레이터 출력 FFT
 Fig. 10. Measured modulator output FFT.

표 3. Figure of Merit(FOM) 비교

Table 3. Comparison of Figure of Merit(FOM).

※ [15]의 경우 modulator와 filter 전체의 파워 소모를 0.5μW로 계상하였음.

FOM(Figure-of-merit)							
Architecture	BW (Hz)	OSR	DR (dB)	Supply voltage(V)	P (μW)	Process	FOM
single opamp based $\Delta\Sigma$ ^[14]	90	46	45	0.9	0.5	0.35μm CMOS	127
3rd SC $\Delta\Sigma$ ^[15]	200	20	50	1.8	2.2	0.8μm CMOS	129.6
3rd SC $\Delta\Sigma$ ^[4]	256	16	55	1.8	1.8	0.8μm CMOS	136.5
3rd SC $\Delta\Sigma$ [this work]	250	20	49	0.8	0.816	0.18μm CMOS	133.9

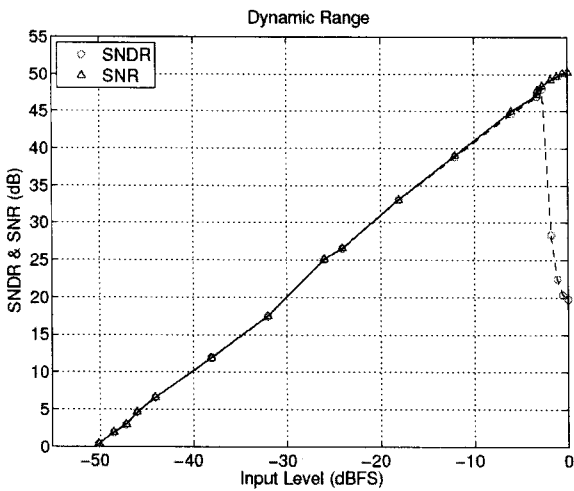


그림 11. 측정된 SNR과 SNDR
Fig. 11. Measured SNR and SNDR.

을 바탕으로 구성한 FFT이다. 샘플의 개수는 64K를 사용하였다. 모듈레이터 출력의 FFT 파형을 통해서 잡음 성분들이 신호 대역 바깥으로 밀려나는 noise shaping을 확인할 수 있다. 설계된 델타-시그마 모듈레이터는 250Hz의 신호 대역에서 10kHz의 클럭 주파수로 동작하였다. 입력 신호는 신호 대역에서 안에서 삼차 고조파 (third harmonic) 성분을 관찰할 수 있도록 78.125Hz의 주파수를 사용하였고 출력 대비 -4dB의 크기를 가지고 있다. 파워 소모는 816nW로 측정이 되었으며 이때의 SNR은 48.46dB SNDR은 48.19dB를 나타내었다.

그림 11은 전체 모듈레이터의 dynamic range를 나타낸 것이다. 측정된 전체 dynamic range는 49dB의 값을 얻을 수 있었다. 표 3은 state-of-the-art 회로들의 비교를 보여준다. 설계된 모듈레이터는 동작전압, 파워, Figure-of-merit (FOM) 등 종합적인 면에서 매우 우수한 성능을 보여주고 있다. 사용된 FOM 식은 아래와 같다^[7].

$$FOM = DR_{DB} + 10 \log \left(\frac{Bandwidth}{Power} \right) \quad (13)$$

IV. 결론

본 논문에서 cardiac 페이스메이커에 사용되는 델타-시그마 모듈레이터를 제안하였다. 0.8V의 전원 전압에 동작하는 모듈레이터를 구현하기 위해서 DFF 구조가 사용되었다. 또한 OTA에 벌크-드리븐 방식을 사용함으로써 저전압에서 동작하는 회로를 설계하였다. 이전의 implantable 페이스메이커용으로 사용된 델타-시그마 모듈레이터에 비하여 파워소모를 반이하로 줄이면서 비슷한 성능을 유지하였다. 전체 칩의 파워 소모는 816nW로서 페이스메이커의 배터리 사용 기간을 상당히 향상시킬 수 있을 것으로 기대된다. 이는 cardiac 페이스메이커뿐만 아니라 다른 의료 기기에서도 매우 유용하게 활용될 것으로 기대된다.

참고 문헌

- [1] L. S. Y. Wong, S. Hossain, A. Ta, J. Edvinsson, D. H. Rivas and H. Naas, "A Very Low-Power CMOS Mixed-Signal IC for Implantable Pacemaker Application," *IEEE J. Solid-State Circuits*, vol.39, pp. 2446-2456, Dec. 2004.
- [2] A. Gerosa, A. Novo and A. Neviani "An Analog Front End for the Acquisition of Biomedical Signals Fully Integrated in a 0.8μm CMOS Process," in *Southwest Symp. Mixed-Signal Design*, Feb. 2001, pp. 152-157.
- [3] J. Neves Rodrigues, V. Owall and L. Sornmo, "QRS Detection for Pacemakers in a Noisy Environment Using a Time Lagged Artificial Neural Network." in *Proc. IEEE Int. Symp. Circuits and Syst.*, vol. 3, 2001, pp. 596-599.
- [4] A. Gerosa and A. Neviani "A 1.8μW Sigma-Delta modulator for 8-Bit Digitization of Cardiac Signal in Implantable Pacemakers Operating Down to 1.8V," *IEEE trans. Circuits and Syst., II*, vol. 52, pp. 71-76, Feb. 2005.

[5] S. S. Rajput and S. S. Jamuar, "Low Voltage Analog Circuit Techniques," in *IEEE Circuits and Syst. Mag.*, vol. 2, First quarter 2002, pp. 24-42.

[6] A. L. Coban and P. E. Allen, "A New Fourth-Order Single-Loop Delta-Sigma Modulator for Audio Applications," in *Proc. IEEE Int. Symp. Circuits and Syst.*, vol. 1, May 1996, pp. 461-464.

[7] R. Schreier, *Understanding Delta-Sigma Data Converters*. New York : WILEY/IEEE Press, 2004.

[8] L. Yao, M. Steyaert and W. Sansen, "A 1-V, 1-MS/s, 88-dB Sigma-Delta Modulator in 0.13 μ m Digital CMOS Technology," in *Proc. Symp. VLSI Circuits Dig. Tech. Papers*, June 2005, pp. 180-183.

[9] B. J. Blalock, P. E. Allen, G. A. Rincon-Mora, "Designing 1-V Op Amps Using Standard Digital CMOS Technology," *IEEE Trans. Circuits and Syst. II*, vol. 45, pp. 769-780, July 1998.

[10] Y. Haga and H. Zare-Hoseini, "Design of a 0.8 Volt Fully Differential CMOS OTA Using the Bulk-Driven Technique," in *Proc. IEEE Int. Symp. Circuits and Syst.*, vol. 1, May 2005, pp. 220-223.

[11] J. Adut, J. Silva-Martinez and M. Rocha-Perez, "A 10.7MHz Sixth-order SC Ladder Filter in 0.35 μ m CMOS Technology," *IEEE Trans. Circuits and Syst.*, vol. 53, Aug. 2006, pp. 1625-1635.

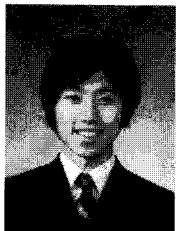
[12] R. Jacob Baker, *CMOS Circuit Design, Layout, and simulation*: IEEE Press, 2005.

[13] T. B. Cho and P. R. Gray, "A 10 b, 20Msample/s, 35mW Pipeline A/D Converter," *IEEE J. Solid-State Circuits*, vol. 30, pp. 166-172, March 1995.

[14] V. S. L. Cheung and H. C. Luong, "A 0.9V 0.5 μ W CMOS Single-Switched Op-Amp Signal-Conditioning System for Pacemaker Applications," in *Proc. IEEE Int. Solid-State Circuits conf. Dig. Tech. Papers*, vol. 1, 2003, pp. 408-503.

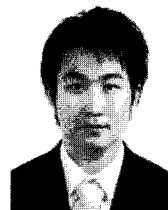
[15] A. Gerosa and A. Neviani "A Very Low-Power 8-bit Sigma-Delta Converter in a 0.8 μ m CMOS Technology of the Sensing Chain of a Cardiac Pacemaker," in *Proc. IEEE Int. Symp. Circuits and Syst.*, vol. 5, May 2003, pp. 49-52.

저 자 소 개



이 현 태(학생회원)
 2006년 한양대학교 전자컴퓨터 공학과 학사 졸업
 2006년~현재 한양대학교 전기전자제어계측 공학과 석사 과정

<주관심분야 : Over-sampling delta-sigma data converters 설계, 집적 회로 설계>



허 동 훈(학생회원)
 2006년 한양대학교 전자컴퓨터 공학과 학사 졸업
 2006년~현재 한양대학교 전기전자제어계측 공학과 석사 과정

<주관심분야 : DC-DC converter, Delta-Sigma data converters 설계, 집적 회로 설계>



노 정 진(정회원)
 1990년 한양대학교 전기공학과 학사 졸업
 1996년 삼성전자 선임 연구원
 1998년 미국 Pennsylvania State University 전기공학 석사 졸업

2001년 Intel. USA, Senior design engineer
 2001년 University of Texas at Austin. 컴퓨터공학 박사.
 2001년~현재 한양대학교 안산캠퍼스 전자컴퓨터 공학부 교수
 <주관심분야 : CMOS DC-DC converters 설계, Delta-Sigma converters 설계>