

A Study on the Cost and Efficacy Improvement of AC PDP

愼重弘* · 李敦揆** · 尹 초 롬*** · 許 禎 恩§ · 朴 正 后†

(Joong-Hong Shin · Don-Kyu Lee · Cho-Rom Yoon · Jeong-Eun Heo · Chung-Hoo Park)

Abstract - In order to improve cost and efficacy of AC PDP with metal discharge electrodes, a new Π -type metal electrodes are suggested. The suggested asymmetrical Π -type metal electrode is improved in the luminance, power and efficacy than the conventional metal electrode by 7.5%, 6%, and 14%, respectively. The efficacy of the suggested asymmetrical Π -type metal electrode is almost the same with the conventional ITO electrode. Moreover, the address time of the Π -type metal electrode is shorter than the conventional ITO electrode.

Key Words : PDP, MgO, Metal Electrode, High Efficacy

1. 서 론

최근 40인치 이상의 대형 디스플레이 분야는 주로 PDP (Plasma Display Panel) 와 LCD (Liquid Crystal Display) TV 로 양분되어 상호 발전을 거듭해 가고 있다 [1-3]. 이와 같은 디스플레이 경쟁에서 시장 점유율을 높여가기 위한 가장 유력한 수단은 cost 저감 이다. PDP 에서 이와 같은 목표를 실현할 수 있는 방법 중의 하나는 높은 가격의 투명 ITO (Indium-Tin Oxide)전극 재료를 사용하는 대신 저가격의 불투명한 금속 전극 재료를 사용하는 것이다 [4].

이 금속 전극 재료는 ITO 전극의 약 1/3 가격일 뿐만 아니라 투명한 ITO 전극과 금속전극과의 정렬 (Alignment)을 단순화 시킬 수 있는 장점이 있다. 그러나 이 금속 전극재료의 단점은 불투명하기 때문에 가시광 개구율이 낮아 ITO 전극 효율의 약 85%로서 전기 광학적 특성이 ITO 경우보다 다소 저하한다는 점이다 [5]. 더욱이 full HD급의 고해상도 디스플레이의 수요가 늘어나면서 PDP 패널의 셀치수가 적어지는 추세로 감에 따라 더욱 효율이 낮아 진다.

금속 구조를 가진 AC PDP 의 특성을 개선하기 위해서는 종래 제안되어 있는 복잡한 전극구조를 단순화 시키고 효율도 개선 할 수 있는 새로운 전극구조가 절실히 필요하게 된다 [6-7].

본 연구에서는 이러한 목표를 실현시키기 위해 종래 금속

전극 구조와 다른 새로운 금속 전극 구조를 제안하고 이 전극구조들에 대한 전기 광학적 특성 및 효율 특성을 연구 하였다. 최근 디스플레이 시장에서는 종래 CRT의 단점을 극복한 얇고 대화면이면서 화질이 우수한 디스플레이가 많이 등장하고 있다. 그 대표적인 것으로 PDP와 LCD TV가 있다. 앞으로도 이와 같은 대형 벽걸이 TV는 종래 CRT TV 시장을 대부분 석권할 것으로 예상되고 있다[1-3].

2. 실험 방법

2.1 AC PDP 의 개략도와 동작원리

그림 1은 현재 사용화 되고 있는 3전극형 AC PDP의 개략적인 구조를 나타내고 있다. 상판 (Front glass)에는 Y와 Z라는 2선의 디스플레이전극이 설치되며 (Y전극은 Address 및 방전전극, Z전극은 방전전극) 교류 pulse 전압 인가시 방전개시와 방전유지 역할을 담당하고 있다. 이 디스플레이 전극은 유전체로 코팅 되어 있으며 이 유전층 표면에는 방전을 돕고 유전체를 보호할 목적으로 2차 전자 방출계수가 높고 내sputtering 성이 뛰어난 MgO 박막이 다시 코팅되어 있다 [8-9].

한편, 하판에는 어드레스 전극(X)과 이를 보호하기 위한 유전층이 코팅되어 있으며 그 표면에 방전공간을 형성할 수 있도록 격벽 (Barrier rib) 이 형성되고, 격벽 내부에는 Red, Green, Blue 의 형광체가 순차로 도포된다. 그림에서는 2선의 디스플레이 전극과 1선의 Address 전극으로 구성되는 1개의 방전 셀 (discharge cell) 을 나타내었으며 한 셀의 대략 크기는 0.3mm×1.0mm×0.1mm 정도이다. 예를 들어, 42인치 VGA 해상도를 가지는 PDP TV 의 경우 방전 cell 수는 대략 100만개로서 평면상에 배치되어있다.

상판과 하판의 공정이 완료되면 상·하판을 접합시키고 가장자리를 sealing하게 되며 미리 만들어둔 하판의 배기관

* 正 會 員 : 東 義 大 工 大 電 氣 工 學 科 教 授 · 工 博
 ** 正 會 員 : 釜 山 大 工 大 電 氣 工 學 科 博 士
 *** 正 會 員 : 釜 山 大 工 大 電 氣 工 學 科 博 士 課 程
 § 正 會 員 : 釜 山 大 工 大 電 氣 工 學 科 博 士 課 程
 † 교신저자, 正會員 : 釜山大 工大 電氣工學科 教授 · 工博
 E-mail : parkch@pusan.ac.kr
 接受日字 : 2007年 9月 20日
 最終完了 : 2007年 12月 26日

(Tip)을 통해 고진공배기한 후, Ne(base) + Xe(8%) 동작가스를 400Torr 주입하고 Tip-off 하여 제작을 완료한다. 제작이 완료된 PDP에 적당한 address 방전을 시킨 후 AC pulse 전압을 display 전극에 인가하면 MgO 표면에서 표면 방전 플라즈마가 형성된다.

이 방전에 의하여 발생한 자외선이 형광체에 입사되면 가시광선으로 변환되며, 형광체 표면에서 방사된 가시광선이 상판 위쪽으로 출력된다. 원리적으로는 형광등의 경우와 유사하지만 PDP의 경우에는 방전관의 크기가 1mm이하이고, Address 조건에 따라 어느 좌표의 방전셀을 ON할 것인가 결정할 수 있다는 점이 큰 차이점이라고 말할 수 있다.

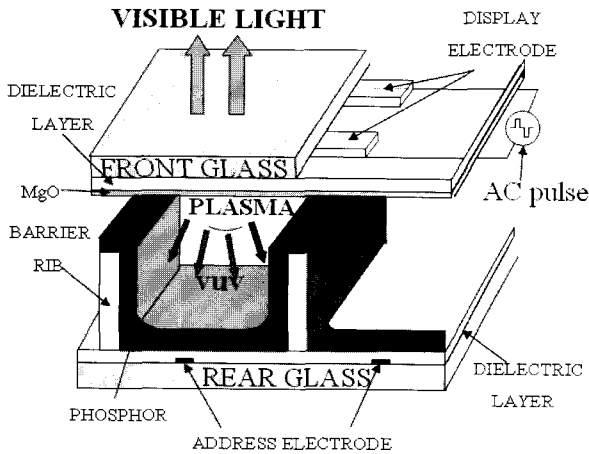


그림 1 3전극형 AC PDP 일반구조의 기본 개략도
Fig. 1 the principle structure of a discharge cell

2.2 본 연구에서 적용한 전극구조

그림 2는 직사각형 모양의 격벽 내부 (1개의 방전셀) 에 형성된 각종 디스플레이 전극 모양을 나타내고 있다. 그림 2의 A는 상용화되고 있는 ITO 전극구조이며, B는 종래의 금속 전극 구조를 나타내었다. C, D는 본 연구에서 제안된 금속전극 구조로서 대칭 II형 및 비대칭 II형의 모양을 가지고 있다. 본 연구에서는 4인치 XGA급 (1개 방전셀 치수: 240×610μm²) 으로 그림 2와 같은 네 가지 전극구조의 모델 PDP를 제작하여 각종 전극 구조의 특성을 비교 검토하였다. 그림 3은 실제 제작된 전극구조를 나타낸 사진이다.

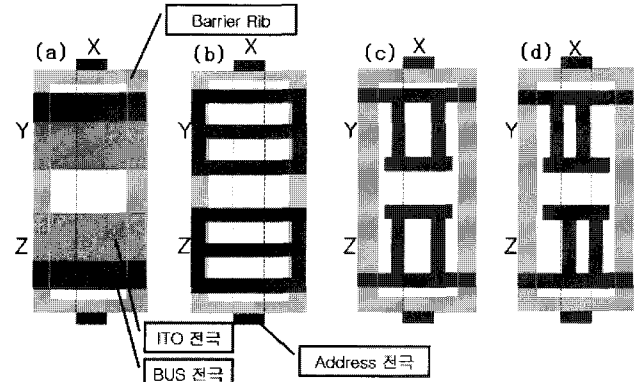
표 1은 4인치 XGA 급 금속 전극 구조의 Model PDP 제작 사양을 나타내고 있으며, 상용 시판 PDP의 사양과 거의 일치하게 하였다. 동작 가스는 Ne(base) + Xe(8%), 400Torr로 하였다. ITO 전극 구조의 경우와 금속 전극의 방전 전극 gap은 모두 100μm로 동일하게 하였으며, ITO 전극의 경우 bus전극의 폭은 80μm로 하였다.

2.3 실험 방법

그림 4은 시료의 전기 광학적 특성을 측정하기 위한 개략적인 구성도이며 컴퓨터를 이용해 실시간 제어가 가능한 Time-98 (ASCOS 사) 이라는 signal generator와 구동 회로 부분 및 전류와 휘도 측정을 위한 Digital OSC (Lecroy, LT224), 휘도 측정기 (BM-7)로 구성되어 있다. 10kHz의

AC pulse전압을 인가한 후 휘도와 방전전류 (i) 및 전압 (V) 를 동시에 측정하여 다음 식(1)에 의하여 발광효율 (η) 을 구하였다.

$$\eta = \frac{\text{방사광속}}{\text{소비전력}} = \frac{\pi \times \text{휘도}(B) \times \text{표시면적}(s)}{\frac{1}{T} \int i \times v dt} \text{---식(1)}$$



- (a) 종래 대칭 □자형 ITO 전극 구조
- (b) 종래 대칭 日자형 금속 전극 구조
- (c) 제안된 대칭 II형 금속 전극 구조
- (d) 제안된 비대칭 II형 금속 전극 구조

그림 2 본 연구에서 사용된 디스플레이 전극구조
Fig. 2 Schematic diagram of conventional and suggested metal structures

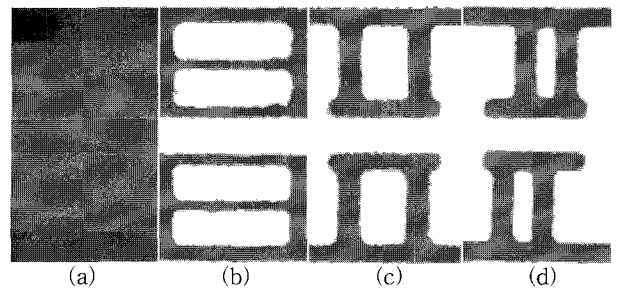


그림 3 제작된 전극 image
Fig. 3 Image of produced electrodes

표 1 17인치 Test Panel의 Spec.
Table 1 the specification of test panel

Front panel		Rear panel	
ITO width	270μm	Address electrode width	100μm
ITO gap	60μm	White back thickness	20μm
Dielectric thickness	40μm	Rib height	120μm
MgO thickness	5000Å	Rib width	60μm
Ne(base) + Xe (8%)		Phosphor thickness	20μm

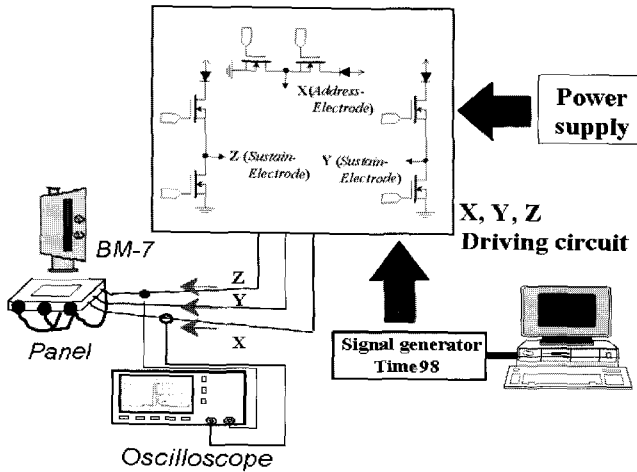


그림 4 측정을 위한 구동회로의 계략도
Fig. 4 Schematic diagram of driving circuit for measurement

한편, 그림 5는 본 연구에서 사용한 PDP의 ADS (Address-Display Separation) 구동파형을 나타내고 있다 [10-11]. 이 파형은 3부분으로 나누어져 있으며 처음의 reset 구간은 앞의 화면을 지우는 과정이며, 2번째 구간은 Address 부분으로 화상표시에 필요한 ON 되어야 할 셀과 OFF 되어야 할 셀을 예약하는 과정이며, 세 번째 구간은 Display 과정으로 ON으로 예약된 셀을 동시에 ON시켜 display 하는 과정이다. PDP의 구동에서 대략 70%의 시간이 Address 과정에 할당되며 약 30% 시간동안만 display 시간에 할당되므로 휘도가 약하게 되는 단점이 있다. Address 과정에 많은 시간이 소요되는 이유는 각 Address line에서 Address 방전 완료까지의 시간이 많이 걸리기 때문이다 [12].

Y, X 전극간의 Address 방전 시간은 항상 일정한 것이 아니고 어떤 변동폭(jitter 폭)을 가지고 있다. Address 시간은 이 변동폭을 모두 포함하는 시간을 취해야한다. 그러므로 jitter 폭이 적을수록 Address 시간이 절약될 수 있다. 이 jitter 폭은 한 개 cell을 수차례 방전시키면서 방전전류나 광파형을 측정해 보면 알 수 있다. 본 연구에서는 한 개 셀에 대한 방전전류는 측정 불가능할 정도로 미약하므로 각 구조에 대한 광파형을 취해 jitter 폭에 대한 검토를 행하여 Address 시간과 구조와의 상관관계를 고찰하였다 [13].

동작전압은 일반적으로 전압 margin의 중간값에 해당하는 전압을 취하게 되며 본 연구에서 동작전압은 250V였다. 4개 구조의 방전값이 모두 100 μ m였으므로, 각 구조의 동작전압은 동일하였다.

본 연구에서는 그림 2에 나타난 전극구조 순서대로 A, B, C, D 구조라고 부르기로 한다. 그리고 모든 cell에서 green 형광체만을 사용하여 전기, 광학적 특성을 비교 검토하였다.

3. 실험결과 및 고찰

3.1 각 구조의 휘도 특성

그림 6은 4개 구조를 가진 Model PDP의 휘도 특성을

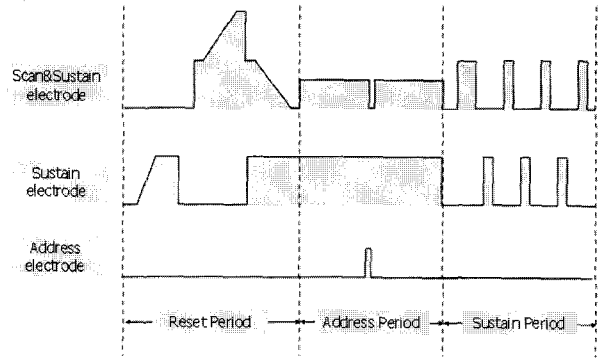


그림 5 ADS(Address-Display Separation) 구동파형
Fig. 5 Schematic diagram of the ADS (Address - Display Separation) pulses

나타내고 있다. A 구조 (ITO 구조)의 휘도가 800cd/m²으로 가장 높은 값을 나타내었으며 B 구조 (종래 금속 구조)는 700cd/m²으로 가장 낮았으며 ITO의 87.5%에 상당하였다. 그 이유는 ITO 전극은 가시광이 통과할 수 있는 투명 재료로서 개구율이 높으나 종래 금속 구조는 불투명할 뿐만 아니라 방전 면적내의 전극 점유율이 가장 높기 때문에 가시광의 진로를 방해하여 휘도 저하가 가장 큰 것으로 생각된다.

그러나 C, D (II형 전극)의 경우는 휘도가 760cd/m² (ITO의 95%)로서 거의 동일하였으며 B보다 휘도가 개선된 것은 같은 금속 전극이지만 방전 면적 내에 전극 점유율이 낮아 개구율이 향상되었기 때문으로 생각된다. 또 다른 한 이유는 C, D 전극이 격벽과 만나는 부분이 적어 방전시 격벽으로 방전 plasma 손실이 저하되었기 때문으로 생각된다 [12]. 특히, C와 D를 비교하면 대칭, 비대칭의 구조차이가 있으나 휘도의 차이는 거의 없었다. 그 이유는 휘도의 결정은 주로 전극 겹에서 마주보고 있는 가로 전극의 size나 모양과 관계가 있으며 [14] C, D의 경우 전극 겹에서 마주보고 있는 가로 전극의 형상이 동일하기 때문에 휘도가 거의 동일하게 되었다고 생각된다.

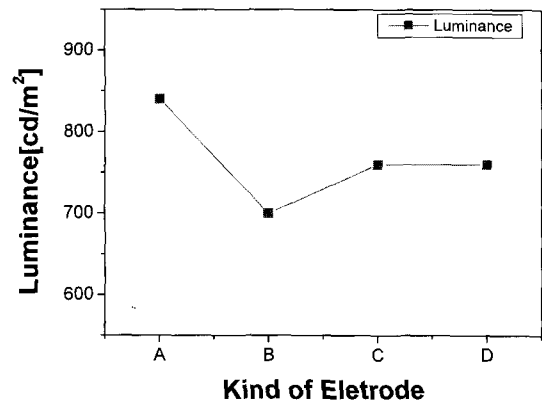


그림 6 각 전극구조의 휘도특성
Fig. 6 Luminance characteristics as electrode structure changes

3.2 각 구조의 소비전력 (혹은 방전전류) 특성

본 연구에서는 240V의 동일한 동작전압을 인가하였으므로 방전전류 특성과 소비전력은 비례관계에 있다고 볼 수 있다. 그림 7은 4개 구조에 대한 소비전력 특성을 나타내고 있다. 그림에서 알 수 있듯이 이들 소비전력의 크기는 A, B, C, D순이며 B, C, D의 경우는 각각 A (ITO전극)의 98%, 97%, 및 92%에 상당하였다. C, D전극의 경우 소비전력이 차이가 나는 이유는 다음과 같이 고찰할 수 있다. 일반적으로 용량 K는 $K=\epsilon S/D$ 로서 ϵ 은 전극간 매질의 유전율이며, d는 전극간 거리이고, S는 대칭 면적을 나타내고 있다. 전극간격 d 및 유전율 ϵ 은 C, D 구조의 경우 모두 동일 하지만 S의 경우는 C의 경우가 용량 K 값이 크게 되므로 C전극의 경우가 D의 경우 보다 용량이 크게 된다..

한편, PDP는 AC pulse 전압을 사용하는 용량성 부하로서, 각 방전 cell은 등가적으로 부유용량 C가 병렬로 결합된 것으로 가정 할 수 있으므로, 소비전력 P는 한 pulse당 CV^2 이 된다. [12] 결국 방전이나 방전회도와 관계없이 C값과 V값에 의해서만 소비전력이 결정되므로 D 구조 (비대칭형 II형 전극)의 경우 대향면적 S가 C구조 (대칭 II형 전극)보다 적게 되므로, D의 용량이 C보다 적게 되어 소비전력도 다소 감소하게 되었다고 생각된다.

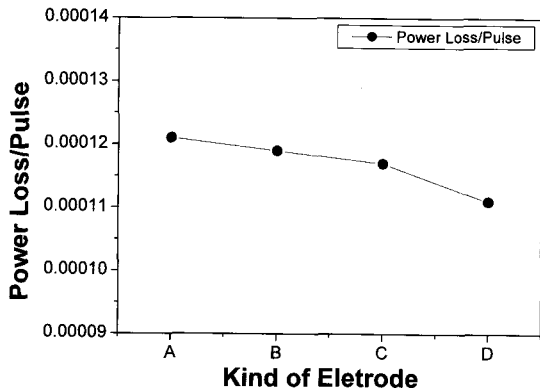


그림 7 각 전극구조의 소비전력 특성
Fig. 7 Power consumption characteristics as electrode structure changes

3.3 각 구조의 효율 특성

효율 특성은 식 (1)에서 알 수 있는 바와 같이 앞서 논한 PDP의 휘도 특성과 소비전력 특성에서 구할 수 있다. 그림 8은 그림 2에서 주어진 4개 구조에 대한 광효율 특성을 나타내고 있다. A, B, C, D의 경우 효율 (lm/W)은 각각 2.80, 2.37, 2.62, 및 2.76을 나타내었으며 A를 기준으로 하여 B는 85%였지만 C, D의 경우는 각각 94%와 99%로서 종래 금속전극 B보다 11% 및 16% 개선되었음을 알 수 있다.

D의 경우가 C의 경우보다 효율이 더욱 향상된 이유는 물론 앞서 논한 바와 같이 휘도는 C와 거의 같았지만 전극이 비대칭이므로 정전용량이 감소하여 소비전력이 감소했기 때문이었다. 비대칭 전극구조에 대한 효과는 이와 같은 소비전력 감소에 기여하는 것 외에도 본 연구에서는 다루지

않았지만 PDP내의 신호전달에도 긍정적 효과가 있다.

즉, PDP는 회로 저항까지 고려하면 R-C (여기서 C는 용량) 등가회로로 되고 이때 시정수가 R×C로서 C 감소에 의한 시정수 감소로 인하여 구동 파형 시그널이 왜곡되지 않고 전달되어 오방전등의 문제를 해결할 수 있는 긍정적 효과가 있기 때문이다.

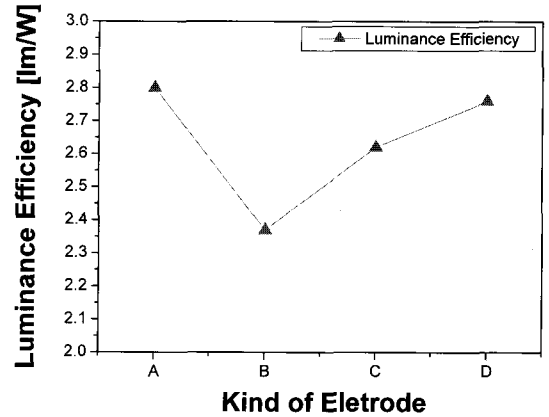


그림 8 각 전극구조의 효율 특성
Fig. 8 Luminous efficacy characteristics as electrode structure changes

3.4 각 구조의 Address 시간 특성

앞서 논한 바와 같이 Y, X 전극 간에 jitter 폭의 형성 원인은 동일 방전 셀에 대해 반복해서 방전을 행할 경우 방전의 시간 늦음이 일정하지 않으므로 방전전류 파형이 어떤 폭을 갖기 때문에 나타나는 현상이다. 그림 9는 각 전극 구조를 가진 AC PDP의 인가 전압파형과 방전 전류의 Address 시간 특성을 나타내고 있다. 약 500회 방전을 연속으로 행한 경우로서 방전전류 파형이 분산되어 밴드를 형성하고 있음을 알 수 있다. 앞서 논한 address 시간은 전압인가 시간부터 jitter 말단 까지 걸리는 시간이므로 jitter폭이 감소할수록 address 시간이 감소하여 유리함을 알 수 있다.

A, B, C, D 각 경우의 Address 시간 폭은 각각 1.2 μ s, 1.4 μ s, 1.3 μ s, 및 0.9 μ s 였으며 D의 경우가 가장 적은 Address 시간을 나타내었다. 그 이유는 다음과 같이 고찰할 수 있다. 그림 2에서 알 수 있는 바와 같이 Y, Z 전극과 X 전극은 격벽 높이만큼 떨어져 서로 직교하며 Y, X 간의 Address 방전의 경우 Y, X 전극이 근접 교차하는 면적이 증가할수록 방전이 쉽게 이루어지고 jitter 폭이 적게 된다고 알려져 있다 [15].

이러한 관점에서 보면, A의 경우는 교차 면적이 넓지만 전극이 분산되어 있고, D의 경우는 비평형이면서 Y전극의 일부가 X전극과 평행하게 진행되는 부분이 많아졌기 때문에 Address 시간이 현저히 개선되었다고 생각된다. C 구조에서는 X전극과 서로 마주보지는 않지만 근접하여 평행이 진행되는 부분이 이중으로 설치되어있기 때문에 점상으로 교차하는 B의 경우 보다는 다소 개선되었다고 생각된다.

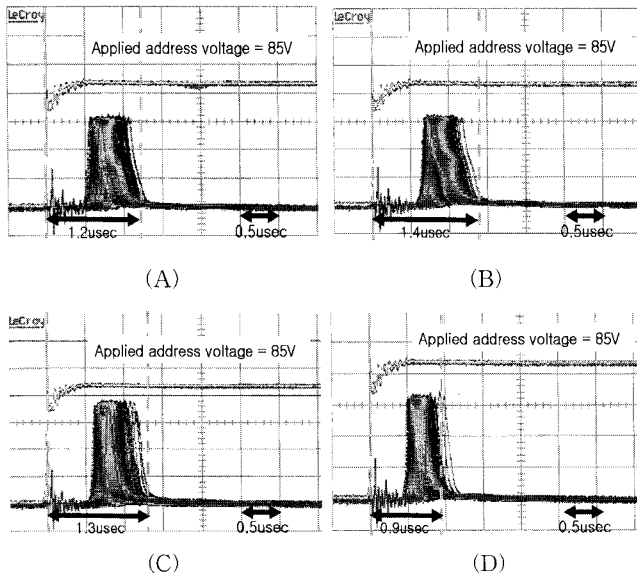


그림 9 각 전극구조의 jitter 특성
 Fig. 9 Jitter characteristics as electrode structure changes

4. 결 론

본 연구에서는 금속전극을 사용하여 PDP의 cost 저감 및 효율을 개선할 목적으로 대칭 II (C) 및 비대칭 II형 전극 (D)를 제안하여 Model PDP를 제작한 후 종래의 ITO 전극 및 금속전극의 특성과 비교, 검토하였다. 그 결과를 요약하면 다음과 같다.

1. 제안된 금속전극 구조인 C 및 D의 휘도는 모두 760cd/m^2 으로 상용 ITO 전극(A)의 95%에 상당하였으나 종래 금속전극 (B)과 비교하면 7.5% 향상 되었다.
2. B,C,D 전극을 가진 AC PDP 의 소비전력은 각각 ITO전극의 98%, 97%, 및 92% 였으며, 특히, D전극의 경우 소비전력이 가장 적어 유리하였다.
3. B,C,D 전극에 대한 효율은 ITO 전극의 85%, 94% 및 99% 였으며 비대칭 II 전극 (D)의 경우는 종래 금속전극에 비해 효율이 약 14% 개선되고 ITO와 거의 같은 효율을 나타내어 이 전극을 사용할 경우 cost 저감이 가능할 것으로 생각된다.
4. A,B,C 및 D 전극에 대한 어드레스 시간은 각각 $1.2\mu\text{s}$, $1.4\mu\text{s}$, $1.3\mu\text{s}$ 및 $0.9\mu\text{s}$ 로서 D전극의 경우 어드레스 시간도 가장 적어 유리하였다.

참 고 문 헌

[1] Lawrence E. Tannas. Jr et al. "Flat-Panel Display Technology." NOYES PUBLICATIONS. 1995
 [2] Larry F. Weber, Society for Information Display, vol.16, no.12, pp16-20, 2000
 [3] J. P. Beouf, "Plasma display panels; physics, recent

developments and key issues", J. Phys. D: Appl. Phys, 36 (2003) R53-69
 [4] Bee-Su Kwon, Jung-Woo Ok, Hyun-jong Kim, Don-Kyu Lee, Dong-Hyun Kim, Ho-Jun Lee and Chung-Hoo Park, "A Study on the improvement of the luminous Efficiency in ac-PDP with New Fence Structure" KIEE 추계학술대회. pp201-203. 2005
 [5] Cho Rom Yoon, Hyun-Jong Kim, Jung-Woo Ok, Sung-yong Cho, Chung-Hoo Park and Ho-Jun Lee "The Asymmetry Electrode Fence Structure for a high luminance and luminous efficiency of AC-PDP" KIEE 하계학술대회. 2006
 [6] Jung-Woo Ok, Hae June Lee, Dong-Hyun Kim, Chung-Hoo Park, Ho-Jun Lee, Jae-Sung Kim, and Kwang-Yeol Choi, Appl. Phys. Lett. 89, 181501 (2006)
 [7] Cha-Soo Park, Joon-Young Choi, Jeong-Eun Heo, Young-Kwon Lee, Chung-Hoo Park, Trans. KIEE, Vol. 53C, No.9, Sep, 2004
 [8] Don-Kyu Lee, Chung-Hoo Park, Hae June Lee, Woo-Sung Choi, Dong-Hyun Kim, and Ho-Jun Lee, Appl. Phys. Lett. 89, 191501 (2006)
 [9] Chung-Hoo Park, Joon-Young Choi, Min-Suk Choi, Young-Kee Kim, and Ho-Jun Lee, Surface & Coatings Technology 197 (2005) 223-228
 [10] Joon-Young Choi, Dong-Hyun Kim, Ho-Jun Lee, Hae June Lee, and Chung-Hoo Park, IEEE Trans. Electron Devices, Vol.52, No.9, Sep. 2005
 [11] Jae-Hwa Ryu, Joon-Young Choi, Dong-Hyun Kim, Ho-Jun Lee, Hae June Lee, and Chung-Hoo Park, J. of KIEEME(in Korea), Vol.17, No.10, Oct. 2004
 [12] Joon-Hong Shin and Jung-Hoo Park, J. of KIEEME(in Korea), Vol.15, No.12, p.1065, Dec. 2002
 [13] Don-Kyu Lee, Chung-Hoo Park, Hae June Lee, Jung-Hoon Choi, Dong-Hyun Kim, and Ho-Jun Lee, Jpn. J. Appl. Phys., vol.46, No.3A, 2007, pp.1060-1062
 [14] Min-Nyng Hur, Goon-Ho Kim, Gyu Seop Kim, Ho-Jun Lee, Chung-Hoo Park, "The study on the electrical and optical characteristics of the new electrode structure for AC PDP", KIEE 하계학술대회. 2001
 [15] Joon Young Choi, Dong Hyun Kim et al, "Improvement of Address Time by Asymmetric Sustain Electrode Structure in AC PDP" SID 05, pp626-629, 2005

저 자 소 개



신 중 홍 (慎 重 弘)

1943년 3월 8일생. 1971년 부산대 공대 전기공학과 졸업. 1981년 동아대 대학원 전기공학과 졸업 (석사). 1992년 부산대 공대 대학원 전기공학과 졸업 (박사). 현재 동의대 공대 전기공학과 교수.

Tel : 051-890-1670

Fax : 051-890-1664

E-mail : jhshin@dongeui.ac.kr



허 정 은 (許 禎 恩)

1973년 6월 25일 생. 1997년 부경대 전자공학과 졸업. 2000년 동 대학원 전자공학과 졸업 (석사). 현재 부산대 전기공학과 박사과정.

Tel : 051-510-1544

Fax : 051-510-1498

E-mail : jeongun@pusan.ac.kr



이 돈 규 (李 敦 揆)

1976년 10월 15일생. 2002년 부산대 공대 전기공학과 졸업. 2004년 동 대학원 전기공학과 졸업 (석사). 2007년 동 대학원 전기공학과 졸업 (박사). 현재 부산대 BK21 영상·IT산학 공동사업단 포닥.

Tel : 051-510-2746

Fax : 051-510-1498

E-mail : white10@pusan.ac.kr



박 정 후 (朴 正 后)

1945년 4월 8일생. 1968년 부산대 공대 전기공학과 졸업. 1974년 동 대학원 전기공학과 졸업(석사). 1980~1983년 일본 구주 대학대학원 졸업 (공학). 현재 부산대 공대 전기공학과 교수.

Tel : 051-510-2746

Fax : 051-513-0212

E-mail : parkch@pusan.ac.kr



윤 초 롬 (尹 초 롬)

1984년 1월 29일 생. 2006년 부산대 전자전기통신공학부 졸업. 현재 동 대학원 전자전기공학과 석사과정.

Tel : 051-510-1544

Fax : 051-510-1498

E-mail : divine52@hanmail.net