

저전력 응용을 위한 28 nm 금속 게이트/high-k MOSFET 디자인

論 文
57-2-13

28 nm MOSFET Design for Low Standby Power Applications

林 土 羽[†] · 張 峻 塔^{*} · 金 榮 珉^{**}
(Towoo Lim · Junyong Jang · Youngmin Kim)

Abstract - This paper explores 28 nm MOSFET design for LSTP (Low Standby Power) applications using TCAD (Technology Computer Aided Design) simulation. Simulated results show that the leakage current of the MOSFET is increasingly dominated by GIDL (Gate Induced Drain Leakage) instead of a subthreshold leakage as the Source/Drain extension doping increases. The GIDL current can be reduced by grading lateral abruptness of the drain at the expense of a higher Source/Drain series resistance. For 28 nm MOSFET suggested in ITRS, we have shown Source/Drain design becomes even more critical to meet both leakage current and performance requirement.

Key Words : GIDL, Lateral abruptness(도핑농도분포), Series resistance(직렬저항)

1. 서 론

Subthreshold leakage current 의 제어는 나노 MOSFET 의 실현을 위해 넘어야 할 필수 장애물 이며 그 대안으로써 다중 게이트를 사용한 MOSFET 에 관한 연구가 진행되고 있다 [1][2]. 한편 트랜지스터의 채널저항이 계속 감소됨에 따라 나노 MOSFET 소자성능의 소스/드레인 직렬저항 (series resistance) 의존성이 커지고 있으며, 소스/드레인 직렬저항의 증가로 인한 성능저하를 최소화하기 위하여 소스/드레인 도핑농도의 증가 필요성이 제시 되었다 [3]. 하지만 이와 같이 높아진 드레인의 도핑농도는 band-to-band tunneling (BTBT) 라 불리는 또 다른 누설전류 메커니즘을 증대시킬 수 있으며, 이와 같은 터널링을 통한 누설전류는 낮은 누설전류를 요구하는 저전력용 칩 제작시 더욱 문제될 것이다. 본 연구에서는 BTBT 누설전류를 고려한 저전력용 28 nm 금속게이트 MOSFET 디자인을 수행하였고 최적화된 소스/드레인 도핑농도와 농도분포에 대한 가이드라인을 제시하고자 한다.

2. 시뮬레이션

2차원 상용 TCAD 인 ATLAS (SILVACO社) 를 사용하였으며 고전적인 drift-diffusion 모델을 채택하였다. Inversion 된 채널 내에 전자의 포화속도 (saturation

velocity) 를 nano MOSFET 에서 overshoot 현상을 고려하여 적절하게 보정해 준다면 drift-diffusion 모델을 가지고도 나노스케일 MOSFET 성능예측이 충분히 정확함을 확인하였다[4]. BTBT indirect transition 모델이 사용되었으며 [5], 기존의 bulk MOSFET 구조를 사용하였다. MOSFET 의 채널길이 (L_{nom}) 은 32 nm 이며 공정상의 채널길이 변화는 +/- 15 % 로 가정하였다. 소스/드레인파 게이트간의 오버랩으로 ITRS 에서 예측된 4 nm [6] 이 적용되었으며 소스/드레인 도핑분포로 Gaussian 분포가 가정되었다. MOSFET 의 Equivalent oxide thickness (EOT)는 1.5 nm, power supply voltage 는 1.1 V 로 가정되었다 (그림 1).

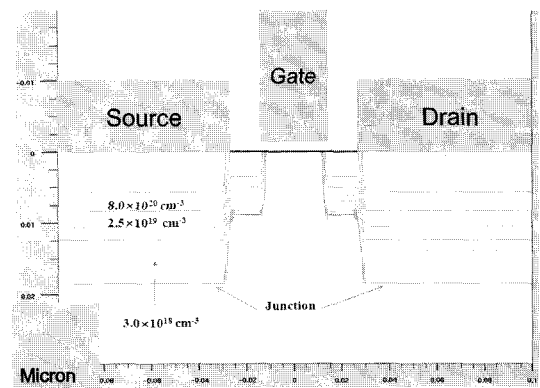


그림 1 본 연구에 사용된 28 nm MOSFET의 net doping profile.

Fig. 1 Net doping profile of the 28 nm MOSFET.

[†] 교신저자, 正會員 : 弘益大 大學院 電氣情報制御工學科 博士課程

E-mail : towoolim@mail.hongik.ac.kr

^{*} 正會員 : 弘益大 大學院 電氣情報制御工學科 碩士課程

^{**} 正會員 : 弘益大 工大 電子電氣工學部 副教授

接受日字 : 2007年 11月 29日

最終完了 : 2008年 12月 26日

3. 결과 및 토의

저전력용 누설전류요건으로 $100 \text{ pA}/\mu\text{m}$ 을 가정하여 소스/드레인 도핑농도 변화에 따른 MOSFET 의 누설 전류를 시뮬레이션 해 보았다. 그림 2 는 L- (28 nm) 소자의 소스/드레인 도핑에 따른 누설전류를 보여주고 있다. 누설전류요건을 만족시키기 위해 채널도핑을 조절하였으며 금속게이트 전극의 workfunction 으로는 midgap (4.7 eV), bandedge (4.4 eV) 가 사용되었다. Off 상태 (드레인 전극만 1.1 V 이고 나머지는 전부 0 V)하에 각 전극에 누설

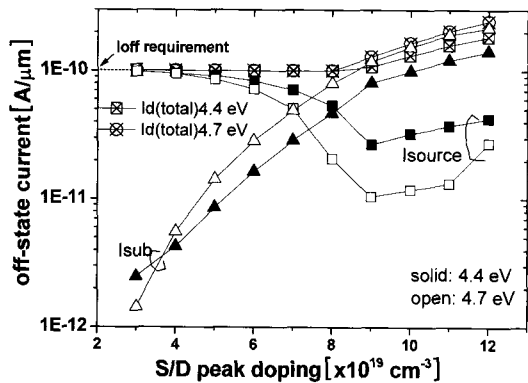


그림 2 소스/드레인 도핑농도 변화에 따른 28 nm MOSFET 의 누설전류. 게이트 전극으로 band edge (4.4 eV) 와 midgap (4.7 eV) 를 고려하였으며 소스/드레인 내의 도핑분포는 3.0 nm/decade 를 가정하였다.

Fig. 2 Off-state currents of 28 nm nMOSFET for various S/D extension doping densities. As the gate electrode, the band edge (4.4 eV) and midgap (4.7 eV) are used. A S/D junction grading of 3.0 nm/decade is used.

류가 계산되었으며 게이트 stack 으로 high-k 유전체와 금속전극 사용을 가정하여 게이트 전류는 무시하였다. 그림 2 에서 소스/드레인 도핑농도가 증가할수록 BTBT 에 의한 기판전류 (substrate current) 가 누설전류의 상당한 부분을 차지하게 됨을 알 수 있으며 소스/드레인 도핑농도가 $9 \times 10^{19} \text{ cm}^{-3}$ 을 넘게 되면 $100 \text{ pA}/\mu\text{m}$ 누설전류 요건을 만족할 수 없음을 확인할 수 있다. ITRS 에서는 28 nm MOSFET 소스/드레인 직렬저항에 의한 트랜지스터 성능저하를 최소화하기위해 소스/드레인의 도핑농도가 $1 \times 10^{20} \text{ cm}^{-3}$ 을 넘어야 된다고 예측하고 있으나 본 시뮬레이션의 결과에 따르면 BTBT 전류의 증가로 인해 $100 \text{ pA}/\mu\text{m}$ 요건을 만족시킬 수 없음을 알 수 있다. 기판전류의 원인을 알아보기 위하여 off 상태시 게이트 전극을 floating 시켜 역방향 pn-접합 누설전류와 GIDL 전류를 시뮬레이션을 통해 구분해 보았다. 그림 3에서는 드레인접합의 역방향 누설전류가 GIDL 에 비해 매우 적음을 확인할 수 있으며 이는 GIDL 에 의해 기판전류가 결정된다는 것을 보여주고 있다. 또한 midgap 게이트 전극을 사용한 경우 bandedge 게이트

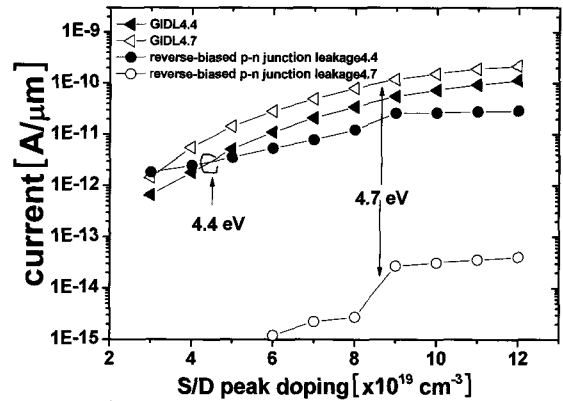


그림 3 그림 1의 기판전류를 구성하고 있는 GIDL 과 역방향 pn-접합 누설전류의 비교.

Fig. 3 Comparison of GIDL and reverse-biased p-n junction leakage currents for the substrate current shown in Fig. 1.

트 전극보다 GIDL 에 의한 누설전류가 더 심해지는 것을 확인할 수 있는데 이는 게이트와 드레인간의 오버랩 영역에서 workfunction 차이에 의해 유기된 vertical electric field 가 midgap 의 경우 bandedge 보다 크기 때문이다. 따라서 저전력용 MOSFET 의 게이트 전극으로 bandedge workfunction 금속을 사용하는 것이 바람직하다고 볼 수 있다. GIDL 전류는 드레인의 도핑농도뿐만 아니라 도핑농도의 분포에 의해 영향을 받게 되는데, 그림 4는 본 연구에서 사용된 소스/드레인 gaussian 도핑분포를 보여주고 있다. 참고로 ITRS 는 28 nm MOSFET의 gaussian 도핑의 분포

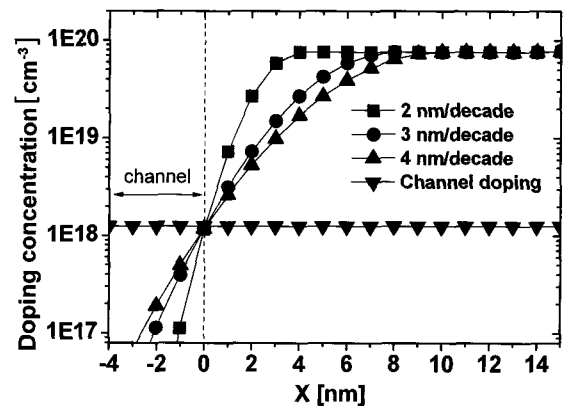


그림 4 소스/드레인의 도핑분포. X=0 은 소스/드레인 접합.

Fig. 4 Lateral doping profile of S/D.

를 2 nm/decade 로 예측하고 있다 [6]. 그림 5는 동일한 접합깊이 (junction depth) 와 오버랩 구간을 갖는 28 nm MOSFET 의 드레인 도핑분포에 따른 GIDL 전류와 소스/드레인 직렬저항을 나타내고 있다. 드레인 접합의 도핑분

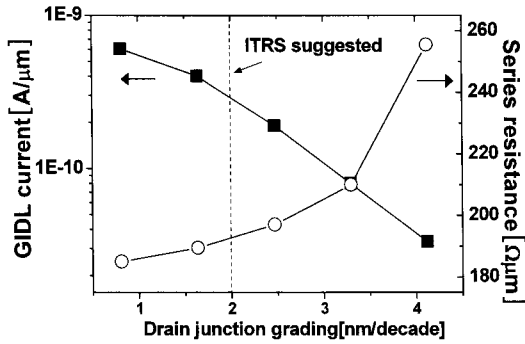


그림 5 드레인 접합 기울기에 따른 GIDL 과 소스/드레인 직렬저항. bandedge 게이트 전극사용.
 Fig. 5 Effect of drain junction grading on GIDL and S/D series resistance. The band edge gate is used.

포가 완만해질수록 GIDL 전류가 줄어드는 반면에 소스/드레인 직렬저항이 증가하는 것을 확인할 수 있다. ITRS 에서 제시한 드레인 농도분포로는 최소 300 pA/μm 의 GIDL 전류가 유지되며 이로 인해 100 pA/μm 누설전류 요건을 만족시킬 수 없음을 알 수 있다. 또한 드레인 도핑분포는 드레인 부근의 공핍영역에 영향을 미치게 되며 이로 인해 드레인간의 오버랩 capacitance 가 그림 6과 같이 변하게 된다. 드레인 도핑농도분포에 의한 GIDL 과 트랜지

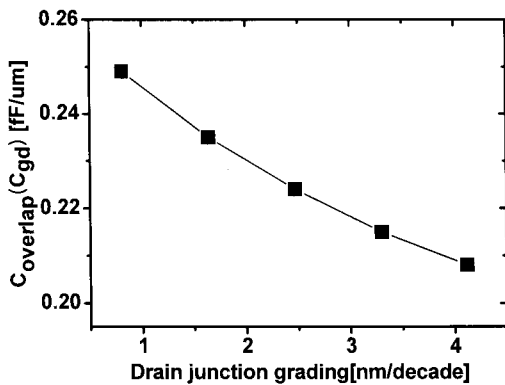


그림 6 접합 도핑농도변화에 따른 소스/드레인 오버랩 capacitance.
 Fig. 6 Dependence of S/D overlap capacitance on junction grading.

스터 성능간 trade-off 를 명확하게 규명하기 위하여 3-stage CMOS 인버터 체인의 스위칭 지연시간 (delay time) 을 ATLAS mixed-mode 로 시뮬레이션해 보았다 (그림 7). CMOS 인버터의 nMOSFET 과 pMOSFET 은 동일한 100 pA/μm 누설전류 요건을 만족하며 MOSFET 폭 (Width) 의 비를 1:2 로 하여 on 상태 전류를 동일하게 흐르도록 조절 하였다. 드레인의 도핑분포가 완만해질수록 오버랩 capacitance 의 감소에 의한 지연시간 개선효과 보다는 소스/드레인 직렬저항의 증가에 의한 소자의 성능저감

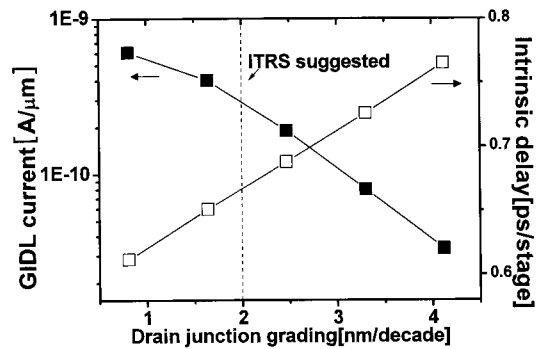


그림 7 저전력 MOSFET용 GIDL 과 스위칭 지연간의 trade-off. 스위칭 지연시간 (delay time) 은 3-stage CMOS 인버터 체인을 이용.
 Fig. 7 Trade-off between GIDL and switching delay for LSTP applications. A three-stage CMOS inverter chain is used for delay calculation.

효과가 우세한 것을 확인할 수 있다. 또한 ITRS 에서 제시한 접합의 도핑농도분포 (2.0 nm/decade) 를 고려할 때 28 nm MOSFET 의 누설전류와 성능을 모두 만족할 수 있는 적절한 도핑농도의 분포는 매우 제한적임을 알 수 있다. MOSFET 의 채널길이가 nano 영역으로 줄어들면서 성능저감방지를 위한 소스/드레인 도핑증가 필요성이 증대됨에 따라 GIDL 에 의한 누설전류 증가는 불가피 하며, 이는 곧 누설전류와 트랜지스터 성능간의 최적화된 trade-off 를 위한 소스/드레인 도핑농도 및 분포 디자인이 더욱 중요해짐을 의미한다.

4. 결 론

TCAD 시뮬레이션을 이용하여 저전력용 (LSTP) 28 nm 급속게이트 MOSFET 을 디자인 하였다. 소스/드레인 직렬저항 (series resistance) 에 의한 성능저감을 최소화하기 위한 소스/드레인 도핑농도의 증가는 GIDL 전류 현상을 강화시키게 되며 저전력용 MOSFET 경우 누설전류가 GIDL 전류에 의해 결정됨을 알 수 있었다. 이러한 GIDL 전류는 드레인 도핑농도분포를 변화시켜 감소시킬 수 있으나 동시에 MOSFET 성능과 회로스위칭 성능을 저감시킬 수 있었다. 본 연구를 통해 28 nm MOSFET 이 게이트 금속전극과 high-k 게이트 유전체를 사용하여도 ITRS 에서 예측한 성능과 누설전류 요건을 만족시키기 위해서는 드레인 도핑농도와 분포의 최적화가 반드시 요구됨을 보였다.

감사의 글

이 연구는 과학기술부와 산업자원부의 'system IC 2010' 및 2007 학년도 홍익대학교 학술연구진흥비의 지원을 받았습니다.

참 고 문 헌

- [1] M.J.H.van Dal, N. Collaert, G. Doornbos, G. Vellianitis, G. Curatola, B.J. Pawlak, R. Duffy, C. Jonville, B. Degroote, E. Altamirano, E. Kunnen, M. Demand, S. Beckx, T. Vandeweyer, C. Delvaux, F. Leys, A. Hikavy, R. Rooyackers, M. Kaiser, R.G.R. Weemaes, S. Biesemans, M. Jurczak, K. Anil, L. Witters and R.J.P. Lander, "Highly manufacturable FinFETs with sub-10nm fin width and high aspect ratio fabricated with immersion lithography," in VLSI Symp. Tech. Dig., 2007, pp. 110-111.
- [2] Mohan V. Dunga, Chung-Hsun Lin, Darsen D. Lu, Weize Xiong, C. R. Cleavelin, P. Patrino, Jiunn-Ren Hwang, Fu-Liang Yang, Ali M. Niknejad and Chenming Hu, "BSIM-MG: A Versatile Multi-Gate FET Model for Mixed-Signal Design," in VLSI Symp. Tech. Dig., 2007, pp. 60-61.
- [3] J.W. Sleight, I. Lauer, O. Dokumaci, D. M. Fried, D. Guo, B. Haran, S. Narasimha, C. Sheraw, D. Singh, M. Steigerwalt, X. Wang, P. Oldiges, D. Sadana, C.Y. Sung, W. Haensch, and M. Khare, "Challenges and Opportunities for High Performance 32 nm CMOS Technology," in IEDM Tech. Dig., 2006, pp. 697-700.
- [4] J.D. Bude, " MOSFET Modeling Into the Ballistic Regime," SISPAD 2000, pp. 23-26.
- [5] G. A. M. Hurkx, D. B. M. Klaassen, and M. P. G. Knuvers, "A New Recombination Model for Device Simulation Including Tunneling," IEEE Trans. Electron Devices, vol. 39, no. 2, pp. 331-338, Feb. 1992.
- [6] Semiconductor Industry Association, "The International Technology Roadmap for Semiconductors 2006 Update."

저 자 소 개



임 토 우 (林 土 羽)

1978년 7월 12일생.
 2005년 홍익대 전자전기공학부 졸업.
 2007년 홍익대 전기정보제어공학과 졸업 (석사).
 2007년~현재 홍익대 전기정보제어공학과 박사과정.
 Tel : 02-320-3097
 E-mail : towoolim@mail.hongik.ac.kr



장 준 용 (張 駿 瑢)

1981년 11월 12일생.
 2007년 홍익대 전자전기공학부 졸업.
 2007년~현재 홍익대 전기정보제어공학과 석사과정.
 Tel : 02-320-3097
 E-mail : jjy8112@gmail.com



김 영 민 (金 榮 珉)

1964년 8월 16일생.
 1987년 서울대 전기공학과 졸업.
 1995년 University of Texas at Austin 대학원 Electrical & Computer Engineering과 졸업(공학박사).
 1995년 Texas Instruments Inc. Senior Member of technical staff.
 2002년~현재 홍익대 전자전기공학부 부교수.
 Tel : 02-320-1612
 E-mail : ymkim@hongik.ac.kr