

논문 21-1-14

저항 네트워크 모델을 통한 LED 설계

LED Design using Resistor Network Model

공명국¹, 김도우^{2,a}

(Myeong-Kook Gong¹ and Do-Woo Kim^{2,a})

Abstract

A resistor network model for the horizontal AlInGaN LED was investigated. The parameters of the proposed model are extracted from the test dies and 350 μm LED. The center of the P-area is the optimal position of a P-electrode by the simulation using the model. Also the optimal chip size of the LED for the new target current was investigated. Comparing the simulation and fabrication result, the errors for the forward voltage and the light power are average 0.02 V, 8 % respectively. So the proposed resistor network model with the linear forward voltage approximation and the exponential light power model are useful in the simulation for the horizontal AlInGaN LED.

Key Words : LED, Resistor network model, Relative quantum efficiency, Electrode disposition

1. 서론

최근 전자장치의 표시기로 주로 사용되던 LED는 AlInGaN계 LED의 성능이 향상되면서 응용 분야가 늘어나고 있다. AlInGaN계 청색 LED는 색의 선도도가 높아 휴대기기의 키패드에 채용되어 시장이 확대되었으며, 휴대기기의 LCD 배광조명에 형광체를 사용한 백색 LED로도 사용되면서 성능 향상이 가속화 되었다. 그 결과 반도체의 고신뢰성을 장점으로 자동차의 실내외 조명장치에 사용되고 있으며, 광고조명에도 사용범위가 늘어나고 있다. 최근에는 LCD 모니터, 대화면 TV 등에도 적용되어 향후 CCFL을 대체할 것으로 기대된다. 성능의 향상과 대량생산체제에 의해 가격이 하락되면 수은을 사용하던 일반 조명원을 대체하고, 고효율에 의한 에너지 절약으로 환경문제의 해결에 큰 역할을 할 것으로 예상된다.

위와 같이 다양한 응용요구에 맞는 AlInGaN계

LED 칩을 만들기 위해서는 칩의 크기 설정 및 균일한 전류 분포를 위한 미세전극의 최적화 배치가 필요하다. 하지만 실제로 제작하여 검증하거나 반도체 모의실험을 통하면 비용 및 시간이 많이 들게 된다. 본 논문에서는 이를 해결하기 위해 저항 네트워크 모델과 광출력 모델을 제시하고, 전극 배치의 최적화와 제작된 LED의 측정결과를 비교하여 그 유용성에 대하여 고찰하여 보았다.

2. 실험

LED는 구조적으로 수평형과 수직형으로 나눌 수 있는데, 수직형은 전도성 기판에 제작되며 보통 에피층이 두껍고 비저항이 작아 전극설계가 비교적 간단하다. 그러나, 수평형 LED의 경우는 부도체 기판 위에 얇은 에피층으로 구성되며 비저항이 커서 전극의 설계가 최적화 되지 않은 경우 전압 특성 및 광특성의 열화가 심하고 전류 크라우딩(crowding)의 현상으로 신뢰성에도 많은 영향을 끼친다.

일반적인 AlInGaN계 수평형 LED는 절연기판에 완충층 그리고 그 위에 그림 1과 같이 N반도체층, 발광층, P반도체층의 에피층으로 구성되어 있다. N

1. (주)제네라이트테크놀로지

2. 한국폴리텍여자대학 디지털디자인과
(경기도 안성시 공도읍 만정리 349-6)

a. Corresponding Author : dwkim@kopo.ac.kr

접수일자 : 2007. 11. 8

1차 심사 : 2007. 11. 28

심사완료 : 2007. 12. 24

전극을 N반도체층이 노출되도록 식각하여 배치하고 투명 P음접촉층을 증착 및 열처리하여 형성한 후 P전극을 연결하여 LED를 만든다.

보통 많이 사용되고 있는 수평형 LED 칩은 약 350 μm의 정방형으로 개별 조립 후 모듈에 적용된다. 가볍고 얇은 휴대기기의 경우는 칩의 크기를 얇고 긴 장방형으로 만들어 사용하기도 한다. 이와 같이 작고 정방형의 경우는 보통 사용되는 전류량에 의해 수평방향 저항으로 인한 특성 및 신뢰성의 영향이 크지 않으나 장방형이거나 칩의 크기가 커지게 되면 추가적인 금속전극이 없을 경우 특성의 차이가 심화되며 신뢰성에도 영향을 주게 된다.

위의 문제점들을 해결하며 단순한 도면 설계와 칩의 제조 및 평가를 통한 시행착오를 없애기 위하여

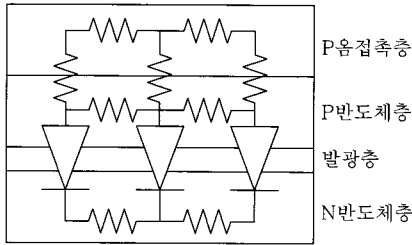


그림 1. LED 에피층 구조와 일반적인 회로모델.
Fig. 1. LED epi structure and conventional circuit model.

모의실험이 반드시 필요하다. 그리고, 칩의 설계시에 중요한 결정 사항이 칩의 크기와 음접촉금속의 두께, 본딩패드와 미세전극을 포함한 전극의 개수와 배치이다.

반도체 소자 시뮬레이터로 모의실험을 하면 정확하나[1] 복잡하고 시간이 많이 걸리기 때문에 보통 LED의 경우에는 칩의 크기가 에피층의 두께보다 매우 두꺼워 다이오드 및 저항의 네트워크 모델을 사용하며, 비교적 정확한 모의실험 결과를 얻을 수 있다[2]. 여기서는 특정 온도에 대해 네트워크 모델을 더욱 단순하게 저항으로만 구성하여 전류에 따른 전압 모의실험이 비교적 정확하게 가능함을 보이고, 전류밀도에 따른 상대적 양자효율 모델을 제시하여 광출력도 모의실험 가능하게 하였다.

저항 네트워크 모델을 얻기 위하여 문턱전압 (cut-in voltage)과 전류에 비례하는 형태로 다음과 같이 간단한 모델을 채택하였다.

$$V_F = V_{F0} + I_F R_D.$$

여기에서, V_{F0} 는 문턱전압, I_F 는 전류, R_D 는 다이오드의 접촉저항이다. 나머지 다이오드들의 저항은 P-면저항 및 N-면저항으로 작은 조각으로 나누어 병렬로 연결함으로써 저항 네트워크를 구현한다. 이렇게 일정한 문턱전압을 가정하면, 그림 2와 같이 저항만으로 구성된 네트워크를 얻게 된다. 따라서, 다이오드를 포함한 비선형 방정식을 풀지 않고 저항들만을 고려한 어드미턴스(Admittance) 매트릭스를 구하여 쉽게 노드(Node) 전위를 계산할 수 있다.

그림 2에 일부 나타난 각 저항들을 구체적으로 표기하면 다음과 같다.

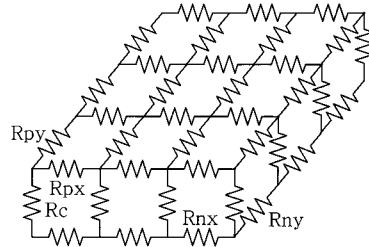


그림 2. 제시된 LED 저항 네트워크 모델.
Fig. 2. Proposed LED resistor network model.

가로방향, 세로방향 P층저항 R_{PX} , R_{PY} 는

$$R_{PX} = K_P R_{SP} \frac{X/N_X}{Y/N_Y},$$

$$R_{PY} = K_P R_{SP} \frac{Y/N_Y}{X/N_X}.$$

여기에서, K_P 는 조각의 모양에 따라 1/2, 1, 2의 값을 가지며, R_{SP} 는 투명 P층의 면저항, X와 Y는 소자의 가로, 세로 크기이며, N_X , N_Y 는 가로, 세로 조각의 수이다.

가로방향, 세로방향 N층저항 R_{NX} , R_{NY} 는

$$R_{NX} = K_N R_{SN} \frac{X/N_X}{Y/N_Y},$$

$$R_{NY} = K_N R_{SN} \frac{Y/N_Y}{X/N_X}.$$

여기에서 K_N 은 조각의 모양에 따라 1/2, 1, 2의 값을 가지며, R_{SN} 은 N층의 면저항이다. 접촉저항 R_C 는

$$R_C = \frac{r_C}{K_C(X/N_X)(Y/N_Y)}$$

여기에서 r_C 는 접촉비저항이고, K_C 는 조각의 모양에 따라 1/4, 1/2, 3/4, 1의 값을 가진다.

P층 위의 가로방향, 세로방향 금속전극의 저항 R_{MPX} , R_{MPY} , N층 위의 가로방향, 세로방향 금속전극의 저항 R_{MNX} , R_{MNY} 는

$$R_{MPX} = R_{SM} \frac{X/N_X}{W_P}$$

$$R_{MPY} = R_{SM} \frac{Y/N_Y}{W_P}$$

$$R_{MNX} = R_{SM} \frac{X/N_X}{W_N}$$

$$R_{MNY} = R_{SM} \frac{Y/N_Y}{W_N}$$

여기에서, R_{SM} 은 금속의 면저항이고, W_P , W_N 은 P층 및 N층 위에서의 금속전극의 폭이다.

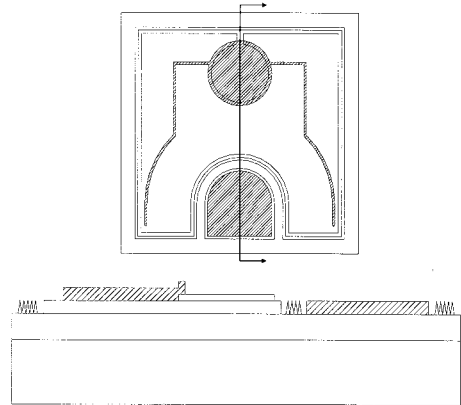
광출력 또한 LED의 전류에 대한 광출력 특성을 측정하여 기준전류에 대한 광출력의 비율을 구하여 근사함으로써 얻을 수 있는데, 광출력 P는 양자 효율 η 에 대해 다음과 같이 표현된다.

$$P = P_0 I_f \eta$$

여기에서 P_0 는 기준 광출력이다. 양자효율을 절대적으로 구하기는 어려우나 전류밀도 J_0 에 대한 상대적인 양자효율 η 는 전류에 대한 광출력 특성 측정치로부터 구할 수 있다. 여기서는 다음과 같은 식을 제시하여 근사하여 모델에 삽입하였다.

$$\eta = \left(\frac{J}{J_0} \right)^{-\alpha(J/J_0)^{\gamma} + \beta}$$

위의 제시된 모델의 변수들을 초기화하기 위한 LED의 도면과 단면도를 그림 3에 나타내었다. LED의 가로, 세로의 크기는 350 μm 이고, 가장자리는



(a) 기준 LED 도면 (b) 단면 개략도

그림 3. 기준 LED 구조.

Fig. 3. Basic LED structure.

칩의 분리를 위해 미세한 원뿔형으로 표면처리를 함으로써 광추출효율을 증가시킨 형태이다.

시험 소자로부터 구한 각 면저항과 접촉저항은 다음과 같았다. N반도체층 면저항 $R_{SN} = 14.8 \Omega/\square$, P반도체층 면저항 $R_{SP1} = 20 \text{ k}\Omega/\square \sim 1 \text{ M}\Omega/\square$, 투명전극 ITO 면저항 $R_{SP2} = 237 \Omega/\square$, P접촉 비저항 $R_C = 2.4 \text{ m}\Omega\text{cm}^2$ 이, 금속의 면저항 $R_{SM} = 0.033 \Omega/\square$ 이었다. 따라서, 전체 P반도체층 면저항 $R_{SP} = R_{SP2} = 237 \Omega/\square$ 로 설정하였다. N반도체층의 면저항이 상대적으로 낮아 그림 3의 하단에 나타난 바와 같이 N전극의 경우는 미세전극 없이 본딩패드만 배치하였으며, P전극의 경우는 본딩패드 외에 미세전극을 배치하였다. 이 때 사용된 P 미세전극의 폭은 $W_P = 4 \mu\text{m}$ 이었다. 이 LED를 제작한 후 전기적 특성 및 광 특성을 측정하여 위에서 제시된 모델의 모의실험결과와 비교하여 설정한 변수 값들은 문턱전압 $V_{F0} = 2.91 \text{ V}$, 광출력 $P_0 = 9.21 \text{ mW}$, $\alpha=2.2$, $\beta=0.005$, $\gamma=2$, $J_0 = 30 \text{ A/cm}^2$ 이었다.

그림 4는 위의 변수로 설정된 350 μm LED 모의 실험 결과에 대한 전위 곡면 및 광출력 곡면을 나타내었다. 대형인 LED의 특성 때문에 왼쪽 반의 곡면만을 모의실험 하였다. 저항네트워크의 노드별 전위는 노드 전압식으로 풀었다. 이것은 매트릭스 식으로 $YV = I$ 와 같으며, 어드미턴스 매트릭스 Y의 원소 y_{jk} , 노드 전위 매트릭스 V의 원소 v_k , 전류소스 매트릭스 I의 원소 i_j 로 표현하면 다음과 같다.

$$\sum_{k=1}^{2N-1} y_{jk} v_k = i_j, \quad j = 1, 2, 3, \dots, 2N-1$$

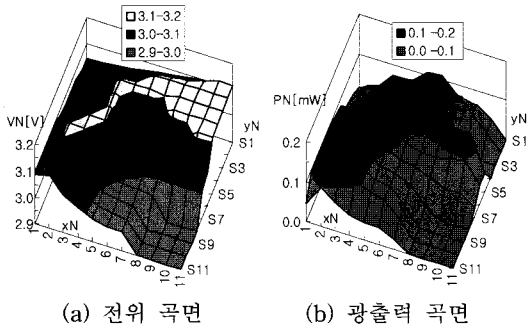


그림 4. 350 μm 기준 LED 모의실험 결과.
Fig. 4. Simulation result of 350 μm basic LED.

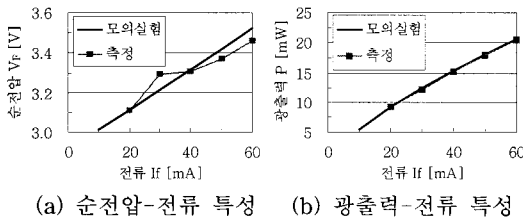


그림 5. 350 μm LED 모의실험 및 측정결과.
Fig. 5. Simulation and measurement result of 350 μm LED.

노드 어드미턴스 매트릭스의 원소는 다음과 같이 구하였다.

$$y_{kk} = \sum_{l \neq k}^{2N-1} \frac{1}{R_{kl}}, \quad y_{jk}(j \neq k) = - \sum_m \frac{1}{R_{jk}^m}$$

여기에서 N은 $N_x N_y$ 이며, 전체 노드 수는 2N개인데, 접지 노드를 2N번으로 선택하였다.

전류밀도는 그림 2의 접촉저항 R_c 를 통과하는 전류가 결국 접합을 통과하는 전류이므로 이 위치에서의 미소면적으로 R_c 통과 전류를 나누어 구하였다.

또한, 그림 5에는 전류에 따른 순전압과 광출력 특성을 실측치와 비교하여 나타내었다. 광출력 특성의 경우 비교적 잘 일치하고 있음을 알 수 있다. 그러나, 순전압 특성의 경우 전압, 전류를 일차원 선형 모델을 채용하여 다이오드의 비선형 특성을 정확히 나타낼 수는 없으나 비교적 작은 오차로 근사됨을 알 수 있다.

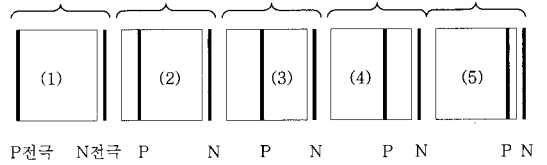


그림 6. P전극 최적화 모의실험 도면.
Fig. 6. Simulated layout for P-electrode optimization.

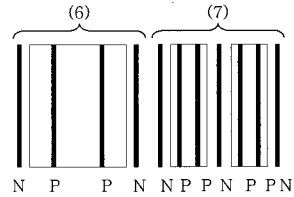


그림 7. N전극 최적화 모의실험 도면.
Fig. 7. Simulated layout for N-electrode optimization.

표 1. 전극 최적화 배치 모의실험 결과.
Table 1. Simulation results for electrode optimal disposition.

항목	(1)	(2)	(3)	(4)	(5)	(6)	(7)
V_F [V]	3.65	3.38	3.32	3.27	3.26	3.09	3.03
P [mW]	7.84	8.66	8.91	8.64	7.80	7.82	7.35

다음은 전극의 최적화 배치를 알아보기 위하여 이 모델을 사용하여 N미세전극이 한 개일 때 P미세전극의 위치에 따른 순전압 및 광출력을 모의실험하였다. 그림 6에 모의실험 도면이 나타나 있다. 결과를 표 1의 (1)~(5)에 요약하였다.

또한, N미세전극의 개수에 따른 특성을 알아보기 위하여 그림 7과 같은 도면을 모의실험하였다. 그 결과를 표 1의 (6), (7)에 나타내었다.

이 결과로부터 P전극의 위치를 P영역의 중간에 위치시키는 것이 순전압과 광출력을 최적화 할 수 있는 위치임을 알 수 있었다. P전극의 개수를 늘려주면 전류분포의 균일도가 올라가 더 높은 광출력을 얻게 되나 미세전극의 수가 늘어나면서 투명전극과의 계면에서의 빛의 흡수 및 방출되는 빛의 가림에 의해 광출력이 감소된다. 여기에서는 이러한 광학적인 모의실험은 포함시키지 않았다. N전극의 개수는 목표 순전압에 맞추어 최소로 해 주는 것이

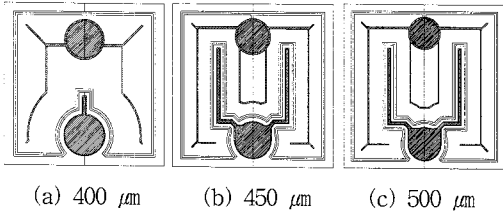


그림 8. 40 mA 목표전류를 위한 모의 실험 도면.
 Fig. 8. Simulated layout for 40 mA target current.

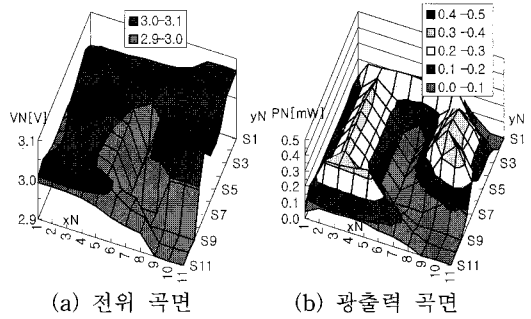


그림 11. 500 μm LED의 모의 실험 결과.
 Fig. 11. Simulation result of 500 μm LED.

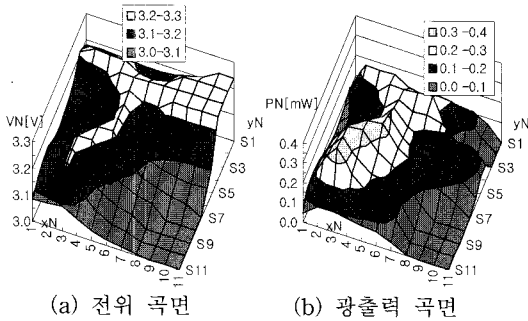


그림 9. 400 μm LED의 모의 실험 결과.
 Fig. 9. Simulation result of 400 μm LED.

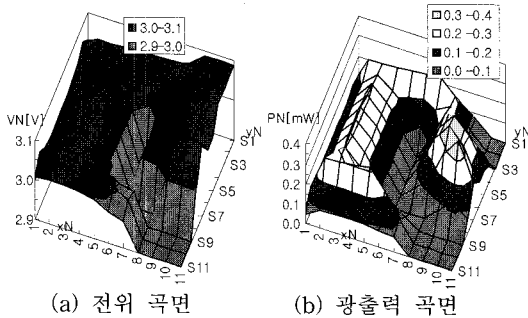


그림 10. 450 μm LED의 모의 실험 결과.
 Fig. 10. Simulation result of 450 μm LED.

광출력을 가장 크게 하는 방법임을 알 수 있었다. N전극을 늘릴 때 광출력이 감소하는 것은 발광면적이 줄어들어 전류밀도가 올라가 양자효율이 감소하기 때문으로 판단된다.

앞의 350 μm 크기의 LED는 목표구동전류가 20 mA였다. 이 때 목표구동전류를 40 mA로 했을 때 적합한 LED의 크기를 선정하기 위하여 앞의 설계 규칙을 적용한 400 μm, 450 μm와 500 μm의 크기의

LED를 레이아웃하고 모의 실험하였다. 그림 8에 모의 실험 도면들을 나타내었다. N층 위의 금속 전극의 폭은 P전극보다 넓은 $W_N = 8 \mu\text{m}$ 로 하였다. 그리고, 모의 실험한 결과들을 크기별로 그림 9~11에 나타내었다.

그리고, 각 칩의 목표전류에 대한 순전압 및 광출력 결과를 표 2에 나타내었다. 350 μm의 경우는 20 mA 구동 결과이고 나머지는 40 mA 구동 결과이다. 칩면적 A에 대한 광출력 P의 비율 P/A 은 칩의 크기가 작아질수록 증가하였는데, 350 μm에서의 P/A 의 값을 40 mA 구동 결과의 칩 크기로 환산하면 498 μm 크기가 나온다. 즉, 이는 498 μm보다 작은 크기의 칩의 경우, 칩면적당 광출력이 350 μm보다 경제적임을 알 수 있다.

소모전력 $V_F \cdot I_F$ 에 대한 광출력 비율인 광출력 효율 $P/(V_F \cdot I_F)$ 은 칩의 크기가 커질수록 높아지는데, 350 μm에서의 $P/(V_F \cdot I_F)$ 의 값을 40 mA 구동 결과의 칩 크기로 환산하면 482 μm 크기가 나온다. 이는 482 μm보다 커야 광출력 효율이 350 μm보다 좋아진다는 것을 알 수 있다.

표 2. 목표구동전류별 모의 실험 결과.

Table 2. Simulation results according to the target current.

칩 크기 [μm]	350 (20 mA)	400 (40 mA)	450 (40 mA)	500 (40 mA)
V_F [v]	3.11	3.24	3.09	3.07
P [mW]	9.21	16.7	17.4	18.7
P/A [mW/ $M\mu\text{m}^2$]	75.2	104.3	86.1	74.9
$P/(V_F \cdot I_F)$ [%]	14.8	12.9	14.1	15.2

표 3. 목표전류별 LED 특성 측정결과.

Table 3. Fabricated LED characteristics according to the target current.

칩 크기 [μm]	350 (20 mA)	400 (40 mA)	450 (40 mA)	500 (40 mA)
V_F [V]	3.11	3.19	3.07	3.07
P [mW]	9.21	17.8	20.6	20.2
P/A [mW/ $\text{M}\mu\text{m}^2$]	75.2	111.1	101.9	80.8
$P/(V_F \cdot I_F)$ [%]	14.8	13.9	16.8	16.4

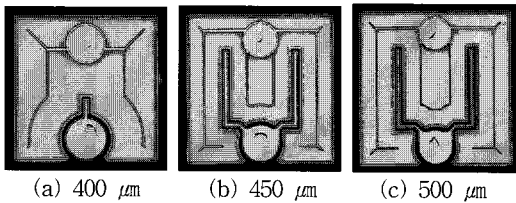


그림 12. 제작된 LED의 사진.

Fig. 12. Fabricated LED photograph.

3. 특성 분석

위의 결과를 기준으로 목표전류 40 mA에 대한 최적 순전압과 광출력을 고려하면, 482 μm 칩의 경우 2배의 전류를 구동할 때 동등한 성능이 발휘되므로 칩의 크기를 늘리면 상대적으로 높은 경제성을 얻을 수 있다. 그 이유는 칩의 면적이 커지면서 본딩패드의 크기와 개수는 같기 때문에 상대적으로 발광면적의 비율이 높아짐으로써 얻어지는 효과로 판단된다. 단, 칩의 일부영역에 발광층에서 임계각보다 크게 표면으로 입사되는 빛이 옆면으로 진행되어 손실되지 않고 방출될 수 있도록 칩의 중간에 표면처리를 하여야 하는 전제조건이 필요하다. 만일에 이러한 표면처리가 되어 있지 않으면 칩의 크기를 키우면서 가장자리에 있는 옆면에 빛이 도달할 때까지 손실량의 증가로 오히려 광출력효율이 감소할 수 있다.

앞의 결과로부터 칩의 크기가 450 μm 일 때 최적일 것으로 판단된다. 이를 확인하기 위하여 실제 제작한 LED의 순전압과 광출력특성을 표 3에 나타내었다. 그림 12는 제작된 LED의 사진을 나타내고 있다.

모의실험 결과와 실제 제작된 칩의 특성을 비교해 본 결과 경향성은 유사하며, 순전압은 최대 약 -0.04 V, 광출력은 최대 18 %의 오차를 보이고 있

다. 그리고, 실험결과에 의하면 450 μm 의 특성보다 500 μm 의 광출력 특성이 낮게 되어 있는데, 이는 웨이퍼 특성의 변동에 의한 것으로 사료된다. 그리고, 모의실험 결과보다 측정된 순전압이 전반적으로 낮게 나온 이유는 전류에 대한 단순한 선형 모델을 사용하였기 때문으로 판단된다. 그러나, 상대적으로 그 오차가 작음을 알 수 있다. 또한, 광출력은 모의실험의 경우보다 전반적으로 높게 나왔는데, 이는 표면처리 영역을 칩의 중간에 배치한 양이 상대적으로 350 μm 보다 많아서 광추출효율이 약간 증가된 것으로 생각된다.

따라서, 본 저항 네트워크 모델은 간단하면서도 비교적 정확한 결과를 나타내었으며, 목표하는 각 칩의 크기에 대한 광출력 및 순전압을 모의실험하는 데에 유용할 것으로 판단된다.

4. 결 론

저항 네트워크를 이용하여 LED의 특성을 예측할 수 있는 모델에 대하여 고찰하였다. 반도체층의 면저항, 접촉비저항, 기준 LED의 순전압특성, 광출력특성을 확보하여 모델의 기본변수들을 설정하였다. 광출력 및 순전압의 최적화를 위해서 P전극의 위치와 N전극의 개수를 모의실험한 결과, P전극은 칩의 P영역의 가운데에 위치시키고, N전극은 목표순전압이 허락하는 범위에서 개수를 최소화하는 것이 최적의 배치임을 알 수 있었다.

또한 본 논문에서는 성능 및 가격 목표에 맞는 새로운 LED를 제작하기 위해, 칩의 크기를 달리하여 앞에서 얻은 최적화된 전극 배치 방법으로 설계하였다. 이에 실제 제작한 측정결과와 비교해 본 결과, 특성이 거의 유사하였으며 평균적으로 순전압의 경우 약 0.02V, 광출력의 경우 약 8%의 작은 오차 결과를 보였다. 따라서, 본 논문의 저항 네트워크 모델은 성능 및 가격에 최적화된 LED를 찾기 위한 모의실험에 매우 유용할 것으로 판단된다.

참고 문헌

[1] Software for 3D Modeling of Current Spreading and Temperature Distribution in LED Chip, www.semitech.us/products/SpecLED
 [2] A. Ebong, S. Arthur, X. A. Cao, S. LeBoeuf, and D. W. Merfeld, "Device and circuit modeling of GaN/InGaN light emitting diodes (LEDs) for optimum current spreading", Solid-State Electronics, Vol. 47, Iss. 10, p. 1817, 2003.