

고농도의 Ge 함량을 가진 Biaxially Strained SiGe/Si Channel Structure의 정공 이동도 특성

Hole Mobility Characteristics of Biaxially Strained SiGe/Si Channel Structure with High Ge Content

정종완^{1,a}
(Jongwan Jung^{1,a})

Abstract

Hole mobility characteristics of two representative biaxially strained SiGe/Si structures with high Ge contents are studied. They are single channel (Si/Si_{1-x}Ge_x/Si substrate) and dual channel (Si/Si_{1-y}Ge_y/Si_{1-x}Ge_x/Si substrate), where the former consists of a relaxed SiGe buffer layer with 60 % Ge content and a tensile-strained Si layer on top, and for the latter, a compressively strained SiGe layer is inserted between two layers. Owing to the hole mobility performance between a relaxed SiGe film and a compressive-strained SiGe film in the single channel and the dual channel, the hole mobility behaviors of two structures with respect to the Si cap layer thickness shows the opposite trend. Hole mobility increases with thicker Si cap layer for single channel structure, whereas it decreases with thicker Si cap layer for dual channel. This hole mobility characteristics could be easily explained by a simple capacitance model.

Key Words : SiGe, Biaxial strain, Hole mobility, High Ge content, Dual channel

1. 서론

트랜지스터의 구조, 면적의 스케일링과 더불어서 구동능력을 향상하기 위한 가장 근본적인 방법인, 고 이동도 물질의 연구는 트랜지스터의 스케일링에서 가장 핵심적인 연구 중 한 분야이다. 이러한 고 이동도를 위한 대상 물질로는 실리콘과는 완전히 다른 GaAs 같은 화합물 반도체를 생각할 수 있으나, 가장 대표적이고 적용가능성이 높은 물질은 Ge을 alloy로 사용하는 SiGe 이다.

순수한 Ge은 전자와 정공의 이동도가 Si 대비 약 3배 이상 높은데, Ge 농도에 따라서 SiGe alloy의 이동도는 크게 달라진다. 아주 낮은 Ge 농도에서는 alloy scattering이 주된 scattering 요소가 되

어 이동도가 Si 보다 작으나, 대체로 높은 Ge농도에서는 이동도가 Si 보다 높아지게 된다. 이러한 SiGe/Si 에피구조는 Ge 자체에 의한 높은 이동도를 이용할수도 있거니와, 또한 Si/SiGe 이중접합에 의해 발생하는 strain에 의해 effective mass, scattering의 감소에 따른 추가적인 이동도 증가 현상이 발생한다. 따라서 SiGe/Si 에피구조는 현재의 나노급 반도체의 특성 향상에 있어서는 아주 중요한 물질이며[1,2] 또한 학문적으로도 흥미로운 구조이다. 일반적으로 전하이동도의 향상을 위해서는 약 25 % 정도의 Ge농도를 갖는 relaxed SiGe 층위에 biaxially strained Si 층을 사용하면 최대한의 전하이동도를 얻을 수 있다. 하지만 정공의 경우에는 높은 수직전계에서는 아주 높은 Ge 농도를 요구하게 된다[3-6]. 이러한 경우 Ge 자체의 높은 정공이동도를 이용하기 위해서 고농도 pseudomorphic SiGe층을 relaxed-SiGe 버퍼층위에 성장하고 윗층으로 strained Si층으로 구성된 이중채널 SiGe 구조를 생각할 수 있다. 이러한 이중채널 SiGe 구조

1. 세종대학교 나노공학과

(서울시 광진구 군자동 98)

a. Corresponding Author : jwjung@sejong.ac.kr

접수일자 : 2007. 11. 26

1차 심사 : 2007. 12. 11

심사완료 : 2007. 12. 18

에서는 임계 두께의 제한이 완화되기 때문에 단일 채널보다 특성이 좋은 에피층을 성장할 수 있고, 높은 정공 이동도를 얻을 수 있다.

본 논문에서는 이러한 biaxially strained 이중채널 구조 (Si/ Si_{1-y}Ge_y/ Si_{1-x}Ge_x/ Si) 에서 Ge 농도를 바꾸면서 inversion 정공농도, 즉 수직전계 및 cap Si 두께에 따른 이동도 특성을 관찰하였다. 또한 단일채널 Si/ Si_{1-x}Ge_x/ Si 구조에서 Ge 농도를 60 %로 증가시킨 고 Ge 농도 구조 및 이중채널 구조에서 수직전계 및 cap Si층의 두께에 따른 이동도 특성을 비교 분석하였다.

2. 실험

단일채널 Si/ Si_{1-x}Ge_x/ Si 에피 구조는 relaxed Si_{1-x}Ge_x 버퍼층과 tensile strained Si cap 층으로만 구성되어 있다. relaxed Si_{1-x}Ge_x 층을 기른후 Si를 성장하면 격자상수의 차이로 인해 Si 층은 tensile strain을 갖게 되고 이러한 strain으로 인해 이동도가 증가하게 된다. 이중채널 Si/ Si_{1-y}Ge_y/ Si_{1-x}Ge_x/ Si 에피구조는 relaxed Si_{1-x}Ge_x 층위에 Ge 농도가 높고, 두께는 임계두께보다 얇은 Si_{1-y}Ge_y (여기서 y>x) 을 성장한다. 이 경우 y>x로 한다. Si_{1-y}Ge_y 층의 Ge 농도가 높을 경우 얇은 Si_{1-y}Ge_y 층은 하층에 있는 relaxed Si_{1-x}Ge_x 과의 격자 상수의 차이에 의해 compressive strain을 갖게 된다. 이후에 얇은 Si cap 층을 성장하는데, 이 경우 Si은 바로 밑에 있는 Si_{1-y}Ge_y 층이 아닌 최하층에 있는 relaxed Si_{1-x}Ge_x 층에 영향을 받게 되고, 따라서 tensile strain을 갖게 된다. 이러한 두 가지 종류의 에피층 성장은 ultra high vacuum(UHV) CVD 장비를 사용하여 성장하였다. 단일채널 Si/ Si_{1-x}Ge_x/ Si 에피 구조는 Si 기판위에 60 % Ge 농도의 relaxed Si_{0.4}Ge_{0.6} 버퍼층, 그리고 그 위의 strained Si은 약 4 nm 의 아주 얇은 두께로 길렀다. 이중채널 Si/ Si_{1-y}Ge_y/ Si_{1-x}Ge_x/ Si 에피구조는 relaxed Si_{1-x}Ge_x 버퍼층위에 pseudomorphic compressive strain을 갖는 Si_{1-y}Ge_y을 기르고, Si cap으로 strained Si을 길렀다. compressive strained Si_{1-y}Ge_y의 두께는 약 12 nm, Ge 농도는 50 %와 60 % 두가지, Si cap의 두께는 약 8 nm 였다. 표 1에 실험에 사용된 에피층의 조건을 나타내었다.

모든 에피층은 6 인치의 웨이퍼위에 undoped 구조로 성장하였고, 문턱전압을 조절하기 위해 추가로 이온 주입을 하였다. 캐리어의 이동도를 측정하기 위해 테스트 트랜지스터, 커패시터를 제작하였다. 시료의 제작 기간을 줄이기 위해 한 개의 마스크만을 사용하는 공정을 사용하여 제작하였다. 이 공정

표 1. 실험에 사용된 에피 구조.

Table 1. Epi structures used in this experiments.

구조	버퍼층	Strained SiGe	Si(top)
단일채널	Si _{0.4} Ge _{0.6}	-	4 nm
이중채널	Si _{0.7} Ge _{0.3}	Si _{0.5} Ge _{0.5} (12 nm)	8 nm
	Si _{0.7} Ge _{0.3}	Si _{0.4} Ge _{0.6} (12 nm)	8 nm

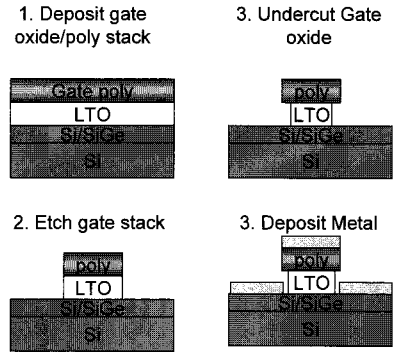


그림 1. 한개의 마스크를 이용한 트랜지스터 제작 공정.

Fig. 1. Fabrication process using 1 level mask.

은 게이트 산화막을 계면특성이 좋은 low temperature oxide (LTO)를 사용하고, 측면식각을 이용하여 소오스, 드레인, 게이트의 금속이 서로 붙지 않도록 함으로써 간단하게 트랜지스터를 만들 수 있는 공정이다. 그림 1에 제작공정을 도시 하였다.

그림 2는 마스크 레이아웃을 보여주고 있는데, 절연 게이트로 인해 추가적인 공정 없이 트랜지스터 간 격리가 가능하다. 트랜지스터와 커패시터를 제작한 후에 트랜지스터의 전류-전압 특성을 측정하였고, MOS 커패시터의 커패시턴스-전압 (C-V) 측정으로부터 inversion 정공 농도, 혹은 유효 수직전계를 추출하였다. 정공농도는 MOS 커패시터의 C-V특성에서 적분을 하여 구하였다. 유효 이동도 (effective mobility) 는 이렇게 구한 Q_{inv} 를 식(1)로부터 계산하였다. 유효 수직전계는 본 실험에서 사용한 구조의 경우 매우 복잡하나 근사적으로 식 2로부터 구할 수 있다. 여기서 Q_b 는 벌크전하, η 는 전자인 경우 1/2 정공인 경우 1/3이다.

$$\mu_{eff} = \frac{L}{W} \frac{I_{ds}}{V_{ds} Q_{inv}} \quad (1)$$

$$E_{eff} = \frac{1}{\epsilon_s} (Q_b + \eta Q_{inv}) \quad (2)$$

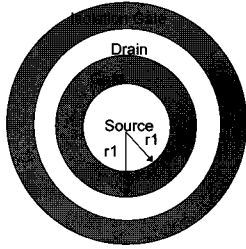


그림 2. 마스크 레이아웃(게이트 마스크).
Fig. 2. Mask layout for gate mask.

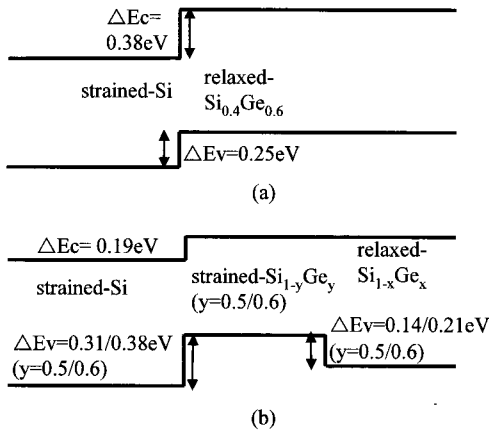


그림 3. (a) 단일채널 (Si/relaxed $\text{Si}_{0.4}\text{Ge}_{0.6}$), (b) 이중채널 (Si/ $\text{Si}_{0.5}\text{Ge}_{0.5}$, or $\text{Si}_{0.4}\text{Ge}_{0.6}$ /relaxed $\text{Si}_{0.7}\text{Ge}_{0.3}$)의 밴드 다이어그램.
Fig. 3. (a) Band diagram of single channel structure (Si/relaxed $\text{Si}_{0.4}\text{Ge}_{0.6}$), (b) Band diagram of dual channel structure (Si/ $\text{Si}_{0.5}\text{Ge}_{0.5}$, or $\text{Si}_{0.4}\text{Ge}_{0.6}$ /relaxed $\text{Si}_{0.7}\text{Ge}_{0.3}$).

3. 결과 및 고찰

그림 3는 단일채널 (Si/relaxed $\text{Si}_{0.4}\text{Ge}_{0.6}$) 구조와 이중채널 (50 %, 또는 60 %)구조의 밴드 다이어그램을 보여주고 있다.

그림 3에서 보듯 단일채널구조에서는 relaxed $\text{Si}_{1-x}\text{Ge}_x$ 과 cap strained Si 사이의 전도대 밴드와 가전자대 밴드 오프셋이 각각 0.38 eV, 0.25 eV 정도이며, 이러한 밴드 오프셋으로 인해 전자는 top strained Si에 정공은 relaxed $\text{Si}_{1-x}\text{Ge}_x$ 층에 모이게 된다. 그림 4은 단일채널 구조 (Si/ $\text{Si}_{0.4}\text{Ge}_{0.6}$ /Si 에피) 에서 inversion된 정공의 농도에 따른 정공의 이동도 결과이다.

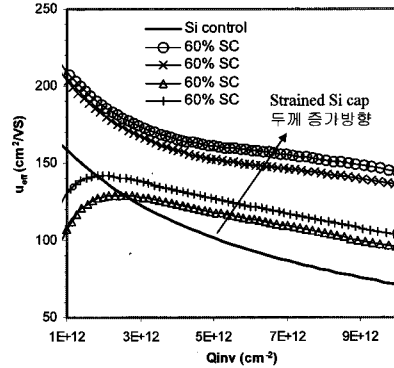


그림 4. 단일채널 (Si/relaxed $\text{Si}_{0.4}\text{Ge}_{0.6}$)구조에서 inversion 정공 농도에 따른 정공의 이동도 특성.

Fig. 4. Measured hole mobilities versus inversion hole carrier density in single channel structure (Si/relaxed $\text{Si}_{0.4}\text{Ge}_{0.6}$).

에피 성장에 사용된 CVD 장비의 웨이퍼 내에서의 성장률의 비 균일성으로 인해 웨이퍼 내에서 두께의 차이를 보이는데, top Si cap의 두께에 따른 이동도 특성을 그림에 같이 표시하였다. 수직 전계, 즉 정공의 농도에 따른 특성을 보면, 우선 정공 농도가 작을 때, 즉 전계가 작을 때는 정공은 relaxed $\text{Si}_{0.4}\text{Ge}_{0.6}$ 층에 주로 모이게 되는데, relaxed SiGe층에서의 정공의 이동도는 아직까지도 논란의 여지가 있지만 Ge 농도가 80 % 정도 까지는 alloy scattering으로 인해 Si 보다 이동도가 다소 작은 것으로 알려져 있다[7]. Cap Si층의 두께가 얇을 때는 Si-SiGe 계면에서 본 실효 산화막 커패시턴스가 커지는 효과로 인해 전계가 Si-SiGe 계면에 많이 걸리게 되어 정공이 relaxed SiGe 층에 넓은 게이트 전압 범위에서 inversion이 된다. 따라서 cap Si 두께가 얇을수록 이동도가 낮은 relaxed SiGe 층으로 인해 이동도가 감소하게 된다. cap Si 두께가 두꺼워지면 Si-SiGe 계면에서 본 실효 산화막 커패시턴스가 작아져서 Si-SiGe 계면은 게이트 콘트롤 영향을 적게 받고, 대신에 작은 게이트 전압에도 Si 표면의 포텐셜이 증가하여 표면에 정공이 inversion 되고, 정공의 이동도가 큰 tensile strained Si에 정공이 많이 쌓이므로 이동도가 증가하게 된다. 그림 4는 이러한 cap Si 두께에 따른 정공 이동도 특성을 잘 보여주고 있다. 위에서 설명한 cap Si 두께에 따른 특성은 다중 층이 있을 경우의 SiGe-Si 계면에서의 커패시턴스의 모델을 생각하면 쉽게 이해할 수 있는데 그림 5에서 간단한 커패시턴스 모델을 보여주고 있다.

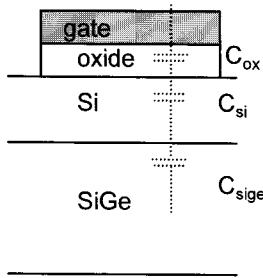
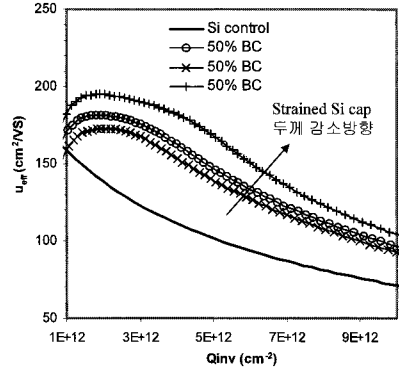


그림 5. 다중 층을 가진 Si/SiGe 에피 구조에서의 커패시턴스 성분

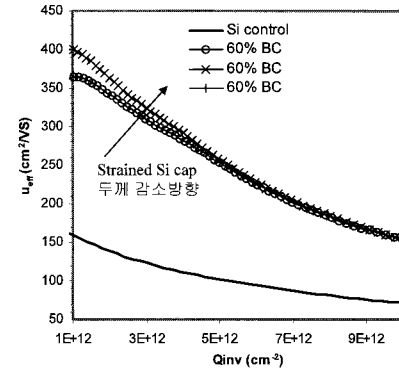
Fig. 5. Component of capacitances in Si/SiGe epi structure with multi layers.

그림에서 볼 수 있듯이 게이트 커패시턴스는 게이트 산화막 커패시턴스, C_{ox} , cap Si에 의한 커패시턴스, C_{Si} , SiGe 에 의한 커패시턴스, C_{SiGe} 로 구성된다. 우선 그림 3에서 보듯이 가전자대 밴드 오프셋에 의해 정공은 SiGe층에서 먼저 inversion이 되므로 inversion 전까지 cap Si층은 공핍이 된다. 따라서 Si-SiGe의 계면에서 본 유효 게이트 산화막 커패시턴스는 C_{Si} 과 C_{ox} 의 직렬조합이 된다. cap Si의 두께가 작을수록 C_{Si} 이 증가하므로 유효 게이트 산화막 커패시턴스는 커져서 Si-SiGe 계면에 있는 정공이 게이트의 콘트롤을 잘 받게 된다. 따라서 높은 게이트 전압까지도 SiGe층에 inversion이 계속된다. cap Si이 두꺼우면 Si-SiGe 계면에서의 유효 게이트 산화막 커패시턴스가 작아져서 Si-SiGe 계면에 있는 정공이 게이트의 콘트롤을 받기가 어려워지고 반대로 Si 표면이 콘트롤을 받아서 쉽게 inversion이 된다.

그림 6은 이중채널 구조 (50 % 이중채널: Si/Si_{0.5}Ge_{0.5}/Si_{0.7}Ge_{0.3}/Si 와 60 % 이중채널: Si/Si_{0.4}Ge_{0.6}/Si_{0.7}Ge_{0.3}/Si)의 정공 이동도 특성을 보여준다. 이중채널인 경우 그림 3에서 보듯이 전자는 단일채널과 같이 표면의 strained Si에 모이게 되나, 정공은 relaxed Si_{1-x}Ge_x 이 아닌 buried strained Si_{1-y}Ge_y 층에 모이게 된다. 따라서 전자의 이동 측면에서는 단일채널과 이중채널과 아주 유사하나 정공의 경우 relaxed SiGe 층이 아닌 compressively strained SiGe 층에 모이는 것이 차이점이다. 정공의 수직전계에 따른 분포 역시 낮은 수직전계에서는 buried SiGe층에 inversion이 되나 높은 수직 전계에서는 표면에도 정공이 inversion이 된다. 단일채널과 마찬가지로 cap Si의 두께에 따라서 표면전위가 달라지게 되는데 그림 5에서의 설명에서와 같이 두께가 얇을 수록 정공이 buried SiGe층에 넓은 게이트 전압에서 inversion 된다.



(a)



(b)

그림 6. (a) 50 % 이중채널 (Si/strained Si_{0.5}Ge_{0.5}/relaxed Si_{0.7}Ge_{0.3}) (b) 60 % 이중채널 (Si/strained Si_{0.4}Ge_{0.6}/relaxed Si_{0.7}Ge_{0.3}) 구조에서의 정공 농도에 따른 정공의 이동도 특성.

Fig. 6. Measured hole mobilities versus inversion hole carrier density in (a) 50 % (Si/strained Si_{0.5}Ge_{0.5}/relaxed Si_{0.7}Ge_{0.3}) and (b) 60 % (Si/strained Si_{0.4}Ge_{0.6}/relaxed Si_{0.7}Ge_{0.3}) dual channel structure.

이중채널의 경우 50 %, 60 % 공히 cap Si 두께가 얇아지면 이동도가 증가하는데, 이는 단일채널의 경우와 정반대의 경향을 보인다. cap Si의 두께가 얇아지면 Si의 표면전위가 빨리 반응을 하지 않아서 정공이 넓은 게이트 전압 범위에서 buried SiGe 층에서 inversion이 되는데, compressively strained SiGe층의 strain효과에 의한 높은 이동도로 인해 두께가 얇아질수록 이동도가 증가하는 현상이 발생한다. 50 % 이중채널의 경우 이동도 증가는 60 % 단일채널보다 크게 증가하지 않으나, 60 % 이중 채널인 경우 이동도는 단일채널보다 매우 높으며, 높은 수직 전계에서도 Si 대비 2배

이상의 높은 이동도 값을 유지한다. 또한 이동도의 Si cap의 두께 의존도가 50 % 보다 적음을 알 수 있는데 이는 가전자대 밴드 오프셋의 높은 에너지 배리어 (0.38 eV) 때문에 높은 전계에서도 SiGe 층에 갇히는 현상 때문이다.

4. 결 론

본 연구에서는 biaxially strained SiGe/Si 구조의 대표 구조인, 고농도 Ge 단일채널 Si/Si_{0.4}Ge_{0.6} (60 % Ge) 구조와 이중채널 (Si/Si_{0.5}Ge_{0.5}/Si_{0.7}Ge_{0.3}, Si/Si_{0.4}Ge_{0.6}/Si_{0.7}Ge_{0.3}) 구조의 정공 이동도 특성을 수직 전계 및 Si cap 두께에 따른 특성을 비교하였다. 단일채널에서는 Si cap 두께가 클수록 이동도가 높은 tensile Si에 inversion되는 정공의 수가 많아져서 이동도가 커지고, 반대로 이중채널에서는 이동도가 높은 compressive SiGe에 inversion되는 정공의 비율이 작아져서 이동도가 줄어드는 반대의 특성을 보인다. 60 % 이중채널구조는 수직전계가 증가하여도 높은 정공 이동도를 유지하였고 50 % 이중채널은 높은 수직전계에서 거의 이동도의 증가가 사라졌으며 60 % 단일채널은 50 % 이중채널보다 높은 특성을 보였다. 이러한 Si cap의 두께에 따른 이동도 특성을 간단한 커패시턴스 모델을 이용해 설명할 수 있었다.

감사의 글

이 논문은 2006년도 세종대학교 교내연구비 지원에 의한 논문임.

참고 문헌

- [1] J. Welser, J. L. Hoyt, and J. F. Gibbons, "Electron mobility enhancement in strained -Si n-type metal oxide silicon field-effect transistors", IEEE Electron Devices Lett., Vol. 15, p. 100, 1994.
- [2] K. Rim, J. Chu, H. Chen, K. A. Jenkins, T. Kanarsky, K. Lee, A. Mocuta, H. Zhu, R. Roy, J. Newbury, J. Ott, K. Petrarca, P. Mooney, D. Lacey, S. Koester, K. Chan, D. Boyd, M. Jeong, and H.-S. Wong, "Characteristics and device design of sub 100-nm strained Si n- and p-MOSFETs", Symp. VLSI Tech. Dig., p. 98, 2002.
- [3] G. Höck, E. Kohn, C. Rosenblad, H. von Känel, H.-J. Herzog, and U. König, "High hole mobility in Si Ge channel metal - oxide - semiconductor field - effect transistors grown by plasma - enhanced chemical vapor deposition", Semicond. Sci. Technol. Appl. Phys. Lett., Vol. 76, p. 3920, 2000.
- [4] C.W. Leitz, M. T. Currie, M. L. Lee, Z.-Y. Cheng, D. A. Antoniadis, and E. A. Fitzgerald, "High mobility enhancements in strained-Si/Si Ge p-type metal - oxide - semiconductor field-effect transistor grown on relaxed SiGe virtual substrates", Appl. Phys. Lett., Vol. 79, p. 4246, 2001.
- [5] M.-J. Lee, C. W. Leitz, Z. Cheng, A. J. Pitera, T. Langdo, M. T. Currie, G. Taraschi, E. A. Fitzgerald, and D. A. Antoniadis, "Strained Ge channel p-type metal - oxide - semiconductor field- effect transistors grown on SiGe virtual substrates", Appl. Phys. Lett., Vol. 79, p. 3344, 2001.
- [6] J. Jung, M. L. Lee, S. Yu, E. A. Fitzgerald, and D. A. Antoniadis, "Implementation of both high-hole and electron mobility in strained-Si-strained-SiGe on relaxed SiGe virtual substrate", IEEE Electron Device Lett., Vol. 24, p. 460, 2003.
- [7] M. A. Armstrong, "Technology for SiGe Heterostructure-Based CMOS Devices", Ph.D Thesis, MIT, 1999.