Journal of the Microelectronics & Packaging Society
Vol. 15, No. 4, p. 31-39. 2008

Cu/Sn Rim 본딩을 이용한 MEMS 패키지의 Cap 형성공정

김성규 · 오태성* · 문종태[1]
홍익대학교 신소재공학과
[1]한국전자통신연구원 IT 융합부품연구소 SOP 연구팀

Cap Formation Process for MEMS Packages using Cu/Sn Rim Bonding

S. K. Kim, T. S. Oh* and J. T. Moon[1]
Department of Materials Science and Engineering, Hongik University
[1]SOP Technology Team, IT Convergence & Components Laboratory (ICCL)
Electronics and Telecommunications Research Institute

초 록: 캐비티 형성이 불필요한 MEMS 캡 본딩을 위해 전기도금법을 이용하여 Cu/Sn rim 구조를 형성하였으며, 25~400 μm 범위의 rim 폭에 따른 본딩특성을 분석하였다. Cu/Sn rim의 폭이 증가함에 따라 rim 패키지 내부의 유효 실장면적비가 감소하는 반면에 파괴하중비가 증가하며, Cu/Sn rim 폭이 150 μm일 때 유효 실장면적비와 파괴하중비를 최적화할 수 있을 것으로 예측되었다. 폭 25 μm 및 폭 50 μm인 Cu/Sn rim 접합부에서는 모든 계면에서 본딩이 이루어진 반면에, 100 μm 이상의 폭을 갖는 rim 접합부에서는 Sn 도금표면의 거칠기에 의해 본딩이 이루어지지 않은 기공 부위가 관찰되었다.

Abstract: To develop the MEMS cap bonding process without cavity formation, we electroplated Cu/Sn rim structures and measured the bonding characteristics for the Cu/Sn rims of 25~400 μm width. As the effective device-mounting area ratio decreased and the failure strength ratio increased for wider Cu/Sn rim, these two properties were estimated to be optimized for the Cu/Sn rim with 150 μm width. Complete bonding was accomplished at the whole interfaces of the Cu/Sn packages with the rim widths of 25 μm and 50 μm. However, voids were observed locally at the interfaces with the rim widths larger than 100 μm. Such voids were formed by local non-contact between the upper and lower rims due to the surface roughness of the electroplated Sn.

Keywords: MEMS, Cu/Sn rim, cap, reflow bonding, electrodeposition

1. 서 론

반도체 미세가공기술을 이용하여 전자회로와 기계부품, 광부품 또는 바이오 기능 등을 일체화시킨 MEMS 기술은 제품의 부가가치를 높이는 핵심기술로서 지난 20년 동안 많은 발전이 이루어졌다.[1)] MEMS 기술의 장점으로는 반도체 공정을 기반으로 하므로 웨이퍼 공정에 의한 소형화와 저가격화가 가능하며, 한 개의 소자에 복수개의 기능을 집적할 수 있어 집적화와 고성능화가 가능하다는 것이다. 지금까지 MEMS 소자는 하드 디스크 헤드, 잉크젯프린터 헤드, 압력센서, 가속도 센서, 광 스위치, 관성 센서, 유체관련 부품 등에 주로 적용되었으며, 향후 군사, 항공우주, 자동차, 정보통신, 바이오, 의료, 가전, 엔터테인먼트, 환경, 산업 프로세스 등 광범위한 응용 분야에 적용하기 위한

*Corresponding author
E-mail: ohts@hongik.ac.kr

연구개발이 활발히 이루어지고 있다.[2]

MEMS 소자에서 패키징에 소요되는 가격이 소자 가격의 70% 이상을 차지하기 때문에, MEMS 제품의 경쟁력을 향상시키기 위해서는 패키징 기술의 확보가 필수적이다.[3-5] 또한 MEMS 패키지에서는 반도체 패키지와는 달리 기계 구조물의 안정적인 구동을 확보하며, 기계적 손상과 오염으로부터 기계 구조물을 보호하기 위해 진공이나 조절된 분위기를 유지하기 위한 hermetic 패키징 공정이 요구된다.[6]

MEMS 소자의 hermetic 패키징 방법으로는 박막 encapsulation 공정과 캡(cap) 웨이퍼의 본딩공정으로 대별할 수 있다.[7] 이중 microshell과 같은 박막 encapsulation을 이용한 패키징 공정은 MEMS 소자의 기판에서 진행되기 때문에 캡 본딩이 요구되지 않는 장점이 있으나, 캐비티내 분위기 조절이 어려우며 별도로 제작되어 있는 MEMS 소자의 패키징에는 적용하기 어려운 단점이 있다.[8] 캡 웨이퍼의 본딩을 이용한 hermetic 패키징 공정은 용융본딩(fusion bonding), 양극본딩(anodic bonding)과 중간층 본딩으로 대별할 수 있다.[8-14] 그러나 용융본딩은 공정온도가 높아 MEMS 구조물이나 IC 칩이 손상을 받을 수 있어 MEMS 패키지에 적용하는데 크게 제약을 받게 된다.[9,10] 양극본딩은 유리 캡을 실리콘 기판에 본딩하는데만 적용이 가능하며, 본딩시 인가되는 고전압에 의해 MEMS 능동소자가 손상을 입을 수 있는 문제점이 있다.[9,10] 따라서 캡 웨이퍼의 본딩공정에는 솔더, 접착제 또는 유리 프릿(glass frit)을 사용한 중간층 본딩방법이 일반적으로 적용되고 있다.[9,10,14]

이와 같은 중간층 본딩방법 중에서 유리 프릿을 이용한 본딩공정에서는 본딩할 수 있는 면적의 크기가 스크린 프린팅 공정에 의해 제약을 받는 문제점이 있다.[10] 접착제를 사용한 본딩공정은 저온공정이라는 장점이 있으나, outgassing이 발생하며 hermetic sealing을 장시간 유지할 수 없는 문제점이 있다.[9] 이와 같은 기존 MEMS 캡 본딩의 문제점을 해결하기 위해 솔더 또는 Sn의 리플로우를 이용한 캡 본딩공정의 개발이 요구되고 있다.

기존 MEMS 패키지에서는 Fig. 1의 모식도와 같이 실리콘 웨이퍼를 습식에칭하여 내부에 캐비티를 형성하여 캡 웨이퍼로 사용하고 있다.[7,8] 이와는 달리 Fig. 2의 모식도에 나타낸 것과 같이 상부와 하부 Si 웨이퍼에 사각 loop 형상의 Cu/Sn rim을 형성 후 Sn을 리플로우 하여 이들을 본딩시키면, 습식에칭에 의한 캐비티 형성공정이 불필요한 MEMS 패키지의 캡 본딩공정이 가능하게 된다. 본 연구에서는 캐비티 형성공정이 불필요한 MEMS 캡 본딩공정을 수립하기 위해, 전기도금법을 이용한 Cu/Sn rim 구조의 형성공정 및 Cu/Sn rim의 폭에 따른 본딩 특성을 분석하였다.

2. 실험 방법

캡 본딩을 위해 Si 기판에 형성하고자 하는 Cu/Sn rim의 패턴 형상은 Fig. 3과 같은 사각 형상으로, 폭은 25~400 μm 범위에서 변화시켰다. Fig. 4의 모식도와 같은 공정을 순차적으로 사용하여 Si 기판에 Cu/Sn rim을 형성하였다. 0.1 μm 두께의 SiO_2가 형성된 550 μm의 Si 기판에 Cu/Sn rim을 전기도금 하기 위한 씨앗층을 형성하기 위해 SiO_2계면과 접착력이 우수한 Ti를 0.1 μm 두께로 스퍼터

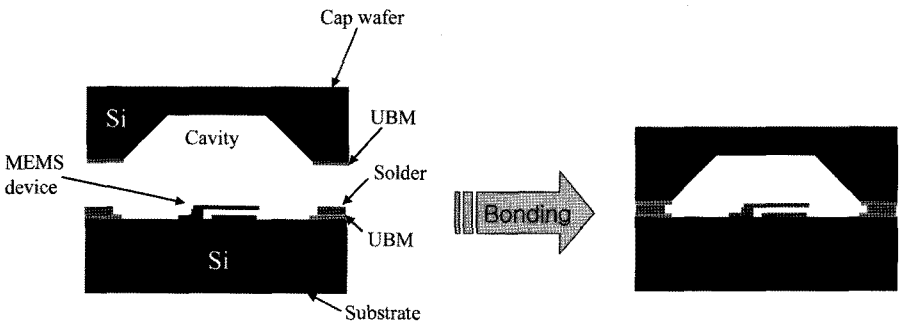

Fig. 1. Schematic illustration for the MEMS capping process using the Si cap with a cavity.

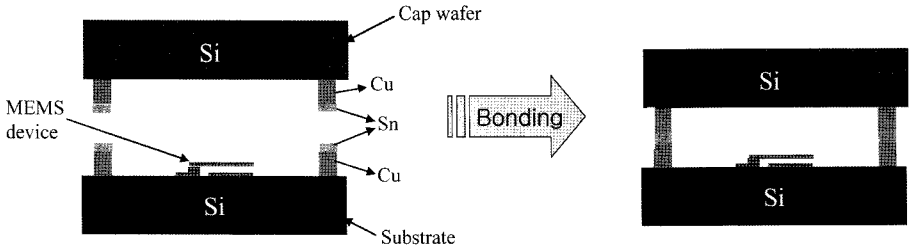

Fig. 2. Schematic illustration for the MEMS capping process using the Cu/Sn rim structure formed on a Si wafer without a cavity.

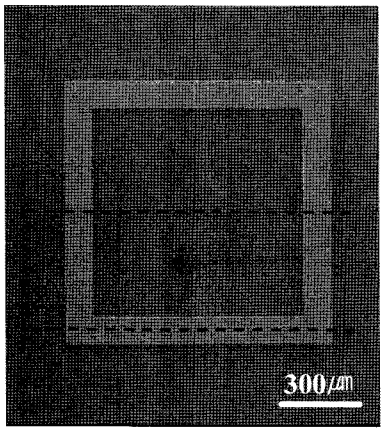

Fig. 3. SEM micrograph of a square-loop shaped Cu/Sn rim.

링 하고 그 위에 2 μm 두께의 Cu를 스퍼터링 한 후, Cu의 산화방지층으로 Ti를 0.1 μm 두께로 스퍼터링 함으로써 Ti/Cu/Ti 다층구조의 전기도금용 씨앗층을 형성하였다.

Ti/Cu/Ti 씨앗층이 형성된 Si 기판 위에 AZ9260 포토레지스트 (PR)를 이용하여 폭이 25~400 μm 인 Cu/Sn rim을 형성하기 위한 PR 패턴을 형성하였다. PR 패턴에 노출된 Ti/Cu/Ti 전기도금 씨앗층에 대해 산화방지층인 Ti 층을 5% HF를 사용하여 에칭한 후 20 mA/cm^{2}의 전류밀도를 인가하여 25분간 Cu를 전기도금하고, 그 위에 10 mA/cm^{2}의 전류밀도로 5분간 Sn을 전기도금하여 8.5 μm/2.5 μm 두께의 Cu/Sn rim을 형성하였다. 동일한 폭의 Cu/

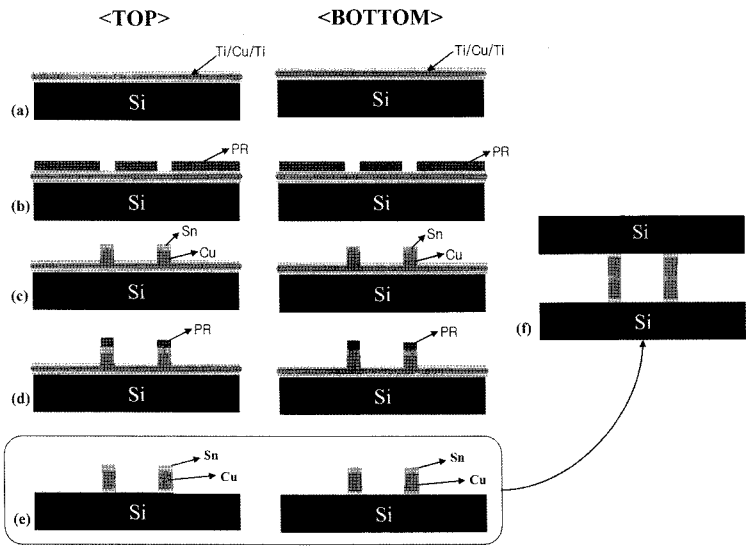

Fig. 4. Schematic illustration of the process flow for the MEMS capping process by using the Cu/Sn rim; (a) Ti/Cu/Ti sputtering, (b): PR pattering, (c): electroplating of the Cu/Sn rim, (d): 2nd PR pattering, (e) Ti/Cu/Ti etching, and (k) rim bonding.

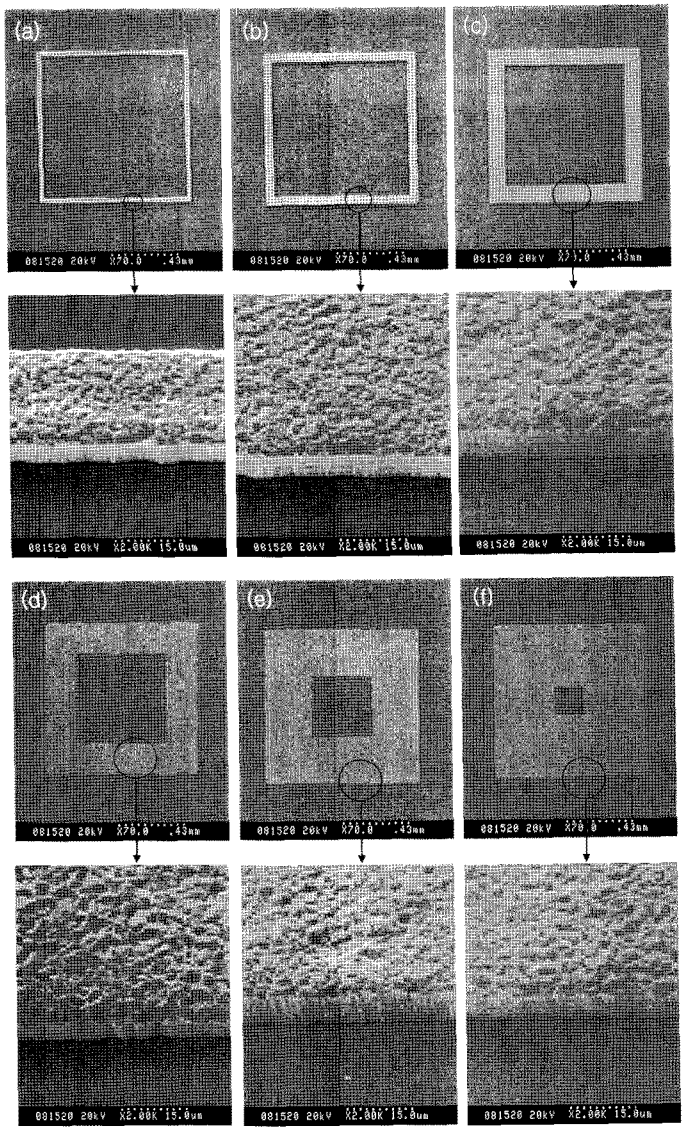

Fig. 5. SEM micrographs of the electrodeposited Cu/Sn rims with widths of (a) 25 μm, (b) 50 μm, (c) 100 μm, (d) 200 μm, (e) 300 μm, and (f) 400 μm.

Sn rim이 형성된 Si 기판을 2개 스택 배열하고 150°C에서 30초 동안 2 MPa의 접합응력을 인가한 후, 접합응력을 제거하고 270°C에서 1분간 Sn을 reflow 하여 rim 본딩을 이루었다. Cu/Sn rim 본딩 공정 후 Fig. 3에서 ①로 표시된 rim 접합구조의 중앙부위의 단면과 ②로 표시된 rim 접합구조의 모서리 부위의 단면을 주사전자현미경으로 관찰하였다.

3. 결과 및 고찰

Fig. 5에 한 변의 길이가 1 mm인 사각 loop 형상의 Cu/Sn rim의 주사전자현미경 사진을 나타내었다. Cu와 Sn의 순차적인 전기도금에 의해 폭 25~400 μm인 Cu/Sn rim들이 형성되어 있음을 관찰할 수 있다.

Fig. 5와 같이 Cu/Sn rim의 폭에 무관하게 사각

loop 형상의 rim의 모서리 길이가 1 mm로 일정하므로, rim의 폭이 증가할수록 rim 접합구조의 내부, 즉 캡 내부에서 소자들을 실장할 수 있는 유효면적이 감소하게 된다. Rim 폭에 따른 캡 내부면적(A_i), 즉 패키지 내 소자실장 가능 면적을 rim 접합부의 외부면적 (A_o)으로 나눈 값 A_i/A_o를 유효 실장면적비로 정의할 수 있다. Cu/Sn rim의 폭에 따른 유효 실장면적비의 변화를 Fig. 6에 나타내었다. Cu/Sn rim의 폭이 증가할수록 유효 실장면적비가 감소하였으며, 이와 같은 rim 폭의 증가에 따른 유효 실장면적비의 감소는 캡의 크기, 즉 rim 패키지의 크기가 감소할수록 더욱 심하게 발생할 것이다.

Cu/Sn rim 본딩을 이용한 MEMS 패키지에서 Sn과 Sn의 용융접속에 의해 이루어지는 rim 접합부의 단위면적당 특성이 동일하다고 가정할 수 있으므로 rim 접합부의 파괴강도 (rim 접속부에서 파단까지 견딜 수 있는 단위면적당 하중)는 rim의 폭에 무관하게 동일하다고 생각할 수 있다. 따라서 rim 폭이 증가하여 접합된 면적이 증가할수록 패키지의 파괴하중이 증가하며, 더 큰 외부하중에도 파손되지 않아 rim 접합부의 기계적 신뢰성이 향상되게 된다. Rim 폭에 무관하게 접합부의 단위면적당 특성이 동일하다고 가정하면 파괴하중 F_f는 사각형태인 접합면의 전체 면적에 비례하게 된다. 접합면의 한 변의 길이가 1 mm이므로 rim의 폭을 x 라고 하면 rim의 폭이 0.5 mm일 때가 접합면의 면적이 최대가 되어 파괴하중이 최대가 된다. 폭 0.5 mm에서의 최대 파괴하중 F_m과 각기 다른 rim 폭에서의 파괴하중 F_f 사이의 파괴하중비(F_f/F_m)는 식 (1)과 같이 나타낼 수 있다.

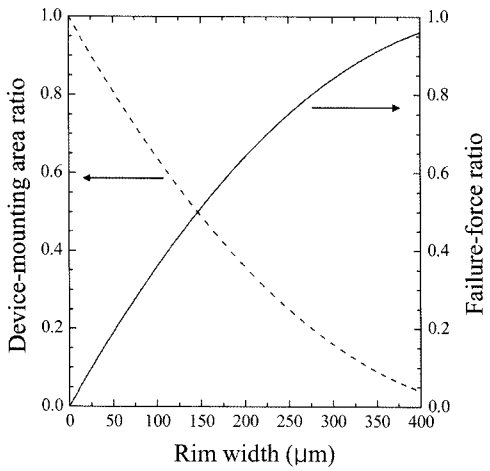

Fig. 6. Variations of the effective device-mounting area ratio and the failure strength ratio of the rim-bonded packages as a function of the Cu/Sn rim width.

$$\text{파괴하중비 } (F_f/F_m) \propto \frac{-4x^2 + 4000x}{10^6} \quad (1)$$

식 (1)에서 x는 rim의 폭으로 μm 단위를 갖는다. 스택 misalign 거리가 무시할 수 있을 정도로 작다고 가정하였을 경우 rim 폭에 따른 예측 파괴하중비와 유효 실장면적비를 Fig. 6에 함께 도시하였다. 본 연구에서와 같이 한 변의 길이가 1mm 인 사각 loop 형상을 갖는 rim의 리플로우 본딩을 이용하여 MEMS 캡을 형성하는 경우, Fig. 6에서 예측 파괴하중비와 유효 실장면적비가 서로 교차하는 점의 좌표인 150 μm가 파괴하중비와 유효 실장면적비 특성을 최적화할 수 있는 폭으로 예측할 수 있다.

동일한 폭의 Cu/Sn rim을 스택 배열하고 Sn을 리플로우하여 본딩한 시편들에 대해 rim 접합구조의 중앙부의 단면 (Fig. 3의 ① 부위)을 주사전자현미경으로 관찰한 사진을 Fig. 7에 나타내었다. 이 사진들에서와 같이 상부와 하부 Si 기판에 사각 loop 형상의 Cu/Sn rim을 형성 후 Sn을 리플로우 하여 이들을 본딩함으로써, 습식에칭에 의한 캐비티 형성이 불필요한 캡 본딩공정이 가능하였다.

Fig. 7(a)~(e)에서와 같이 25~300 μm의 폭을 갖는 rim 접합부의 단면에서는 기공이 관찰되지 않았으나, 400 μm 폭의 rim 접합부에서는 국부적으로 Sn과 Sn 사이에서 본딩이 이루어지지 않은 기공 부위가 관찰되었다. Fig. 7(f)에 있는 400 μm 폭의 rim 접합부의 관찰부위는 Fig. 7(a)에 있는 25 μm 폭의 rim 접합부보다 16배 더 길다. 동일한 폭을 갖는 rim 접합부에서도 더 많은 접합부를 관찰할수록 기공 등의 접합결함을 관찰할 수 있는 확률이 증가하므로, rim의 폭에 따른 접합부의 결함 발생률을 정확히 분석하기 위해서는 동일한 길이의 rim 접합부를 관찰하여야 한다.

Rim 접합구조에서 모서리 부위의 길이 (Fig. 3에서 ②로 표시)는 rim의 폭에 무관하게 1mm로 동일하므로, rim 접합구조의 모서리 부위의 단면을 주사전자현미경으로 관찰하여 Fig. 8에 나타내었다. Fig. 8(a)와 (b)에 나타낸 25 μm 폭과 50 μm 폭의 rim 접합부에서는 1 mm의 길이의 모든 계면에

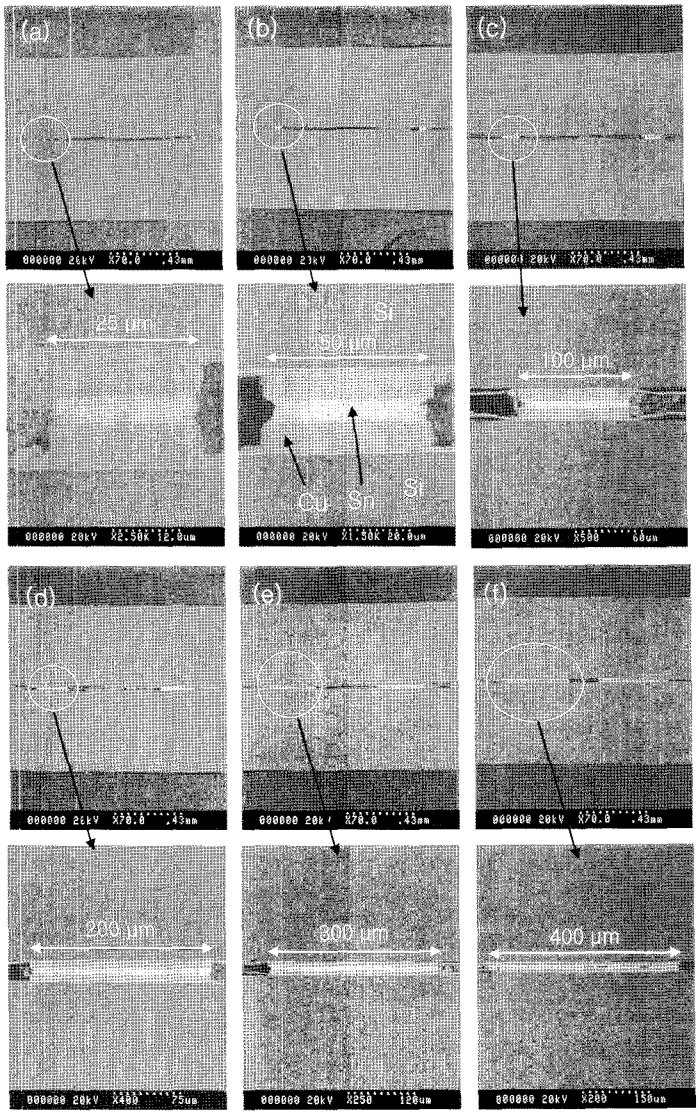

Fig. 7. Cross-sectional SEM micrographs observed at the centers of the rim-bonded packages (① in Fig. 3) with the Cu/Sn rims of (a) 25 μm, (b) 50 μm, (c) 100 μm, (d) 200 μm, (e) 300 μm, and (f) 400 μm width.

서 Sn과 Sn 사이의 본딩이 완벽히 이루어진 반면에, Fig. 8(c)~(f)와 같이 100 μm 이상의 폭을 갖는 rim 접합부에서는 기공, 즉 본딩이 이루어지지 않은 부분들이 관찰되었다. 폭 100~400 μm의 rim 접합부에서 본딩이 이루어지지 않은 부위를 고배율 주사전자현미경으로 관찰한 사진의 예를 Fig. 9에 나타내었다. 이와 같은 주사전자현미경 관찰을 이용하여 측정한 기공들의 길이를 합하여 이를 rim 접합부의 모서리 길이인 L_t에서 뺀 값인 본딩 길이 L_b를 모서리 길이 L_t로 나누어 주면 각 rim 접합부에서 관찰한 본딩비 (L_b/L_t)을 구할 수 있으며, 이를 Fig. 10에 나타내었다. Cu/Sn rim의 폭이 25 μm 및 50 μm일 경우에는 접합부의 모든 부위에서 본딩이 이루어졌으나 rim의 폭을 100 μm에서 400 μm로 증가시킴에 따라 접합부에서 관찰된 본딩비가 감소하였다. Rim 폭이 증가함에 따라 접합부에서 실제 관찰된 본딩비가 감소, 즉 본딩이 이루어지지 않은 부위가 증가하는 이유는 리플로우

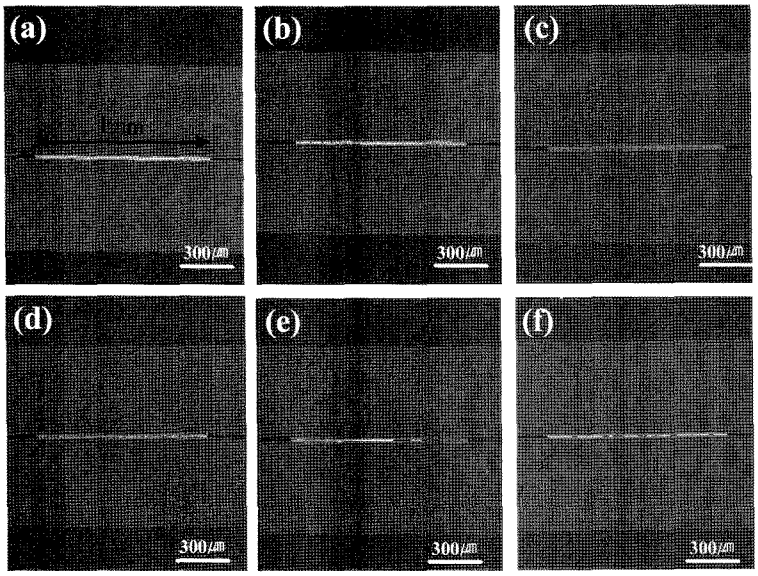

Fig. 8. Cross-sectional SEM micrographs observed at the edges of the rim-bonded packages (② in Fig. 3) with the Cu/Sn rims of (a) 25 μm, (b) 50 μm, (c) 100 μm, (d) 200 μm, (e) 300 μm, and (f) 400 μm width.

본딩을 하기 위해 상판의 Cu/Sn rim과 하판 rim을 배열하고 150°C에서 2 MPa의 본딩압력을 인가했을 때 Sn 도금표면의 거칠기에 기인[15]하여 상판 Cu/Sn rim과 하판 Cu/Sn rim이 국부적으로 접촉이 안 되는 부위가 발생하기 때문이다. 이와 같이 서로 접촉이 안 되어 있는 부위에서는 270°C에서 1분간 유지하여도 상판 rim의 Sn과 하판 rim의 Sn이 용융접속을 이루지 못하게 된다. Sn 도금표면의 거칠기가 동일한 경우 상판 Cu/Sn rim과 하판 Cu/Sn rim이 국부적으로 접촉이 안 되는 부위가 발생하는 확률은 rim 면적에 비례할 것이 때문에, Fig. 10과 같이 Cu/Sn rim의 폭이 증가함에 따라 접속부에서 관찰된 본딩비가 감소하였다.

폭 100~400 μm의 rim 접합부의 단면에서 Fig. 9에 나타낸 것과 같이 국부적으로 기공이 형성되어 있는 것을 관찰할 수 있으나, 이들 기공들이 rim 접합부의 내부와 외부로 관통된 열린 기공(open pore) 인지는 불명확하다. 특히 폭 400 μm인 rim 접합부에서 관찰된 기공들은 닫힌 기공 (closed pore)일 확률이 높다. 폭 100~400 μm의 rim 접합부의 단면에서 관찰된 기공들이 열린 기공인지 닫힌 기공인지를 확인하기 위하여 향후 He leak test를 계획하고 있다. 이들 접합부에 형성되어 있는 기공들 중에서 하나라도 열린 기공일 경우에는 rim 패키지 내부의 hermetic sealing을 유지하는 것이 어렵기 때문에, rim 접합부에서 기공의 형성을 억제하여야 한다. 이를 위해 향후 Cu/Sn rim의 도금조건, 특히 Sn의 도금조건을 조절하여 Sn 도금표면의 거칠기를 낮춤으로써[15] 폭이 100 μm 이상인 rim 접합부에서도 전체 면적에서 본딩을 이루는 것이 가능할 것이다. 본 실험에서는 Cu/Sn rim들을 150°C에서 30초간 2 MPa의 접합응력을 인가

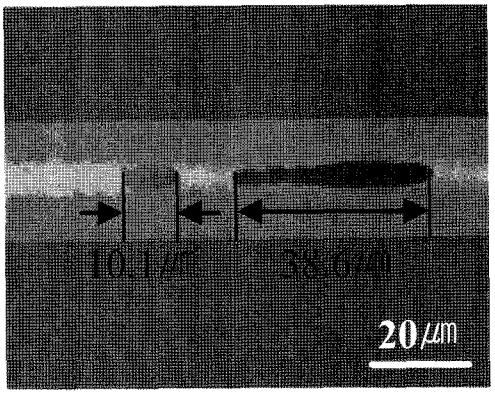

Fig. 9. Cross-sectional SEM micrographs showing voids formed locally at the rim-bonded interfaces of the specimens processed with the Cu/Sn rims of 400 μm width.

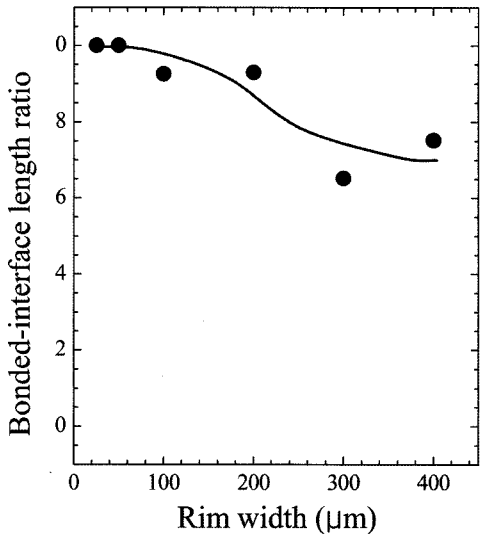

Fig. 10. Bonded-interface length ratio observed for the rim-bonded specimens as a function of the Cu/Sn rim width.

한 후 270°C에서 접합응력을 제거하고 리플로우 하였는데, 그 이유는 접합응력 인가에 의해 용융 Sn이 Cu rim을 타고 내려오는 것을 방지하기 위함이었다. 향후 270°C에서 접합응력을 유지하며 Sn을 리플로우 함으로써 폭 100 μm 이상의 rim 접속부에서 기공의 형성을 억제할 수 있을 것이다.

4. 결 론

(1) 상부 Si 기판과 하부 Si 기판에 각기 사각 loop 형상의 Cu/Sn rim을 형성하고 Sn을 리플로우 하여 이들을 본딩함으로써, 습식에칭에 의한 캐비티 형성이 불필요한 MEMS 패키지의 캡 본딩공정이 가능하였다.

(2) Cu/Sn rim의 폭이 증가함에 따라 rim 패키지 내부의 유효 실장면적비가 감소하는 반면에, 파괴까지 더 큰 외부하중을 견딜 수 있어 파괴하중이 증가하게 된다. 한 변의 길이가 1 mm인 사각 loop 형상을 갖는 Cu/Sn rim의 Sn 리플로우 본딩을 이용하여 MEMS 패키지의 캡 구조를 형성하는 경우, 150 μm의 Cu/Sn rim 폭이 rim 패키지의 유효 실장면적비와 파괴하중비를 최적화할 수 있는 값으로 예측되었다.

(3) 폭 25 μm 및 폭 50 μm인 Cu/Sn rim 접합부에서는 모든 계면에서 상부 rim의 Sn과 하부 rim의 Sn 사이에 본딩이 이루어진 반면에, 100 μm 이상의 폭을 갖는 rim 접합부에서는 기공, 즉 본딩이 이루어지지 않은 부위가 관찰되었다. Cu/Sn rim의 폭이 증가함에 따라 접합부 계면에서 기공이 관찰되는 이유는 상부 Cu/Sn rim과 하부 Cu/Sn rim을 스택 배열시 Sn 도금표면의 거칠기에 의해 국부적으로 접촉이 안 되는 부위가 발생하는데 기인한다.

(4) Cu/Sn rim의 도금조건, 특히 Sn의 도금조건을 조절하여 Sn 도금표면의 거칠기를 낮추거나 또는 접합응력을 유지하며 Sn을 리플로우 본딩함으로써 폭 100 μm 이상의 Cu/Sn rim 접합부에서 기공의 형성을 억제할 수 있을 것이다.

감사의 글

본 연구는 한국전자통신연구원의 지원에 의해 이루어졌습니다.

참고문헌

1. 좌성훈, "상용화 관점에서 바라본 MEMS 산업현황", 한국반도체연구조합 웹진, (2005).
2. 주병권, "MEMS 기술의 개요 및 전망", 전자부품, (2001) pp.138-145.
3. A. C. Imhoff, "Packaging technologies for RFICs : current status and future trends", 1999 IEEE Radio Frequency Integrated Circuits (RFIC) Symp., (1999) p.7
4. H. Reichl, V. Grosser, "Overview and development trends in the field of MEMS packaging", Proc. IEEE MEMS 2001 Conf., (2001) pp.1-5.
5. C. Statter, E. Olson, and K. Farmer, "Design and fabrication of a miniature pressure sensor head using direct bonded ultra-thin silicon wafers", J. Micromech. Microeng, 7 (1996) 108-110.
6. 주병권, "MEMS의 마이크로 패키징 기술 - 벌크형 및 표면형 밀봉 기술", 전자부품, (2001) pp.130-138.
7. C. Tsou, H. Li, and H.-C. Chang, "A novel wafer-level hermetic packaging for MEMS devices", IEEE Trans. Adv. Packag., 30 (2007) 616-621.
8. L. Lin, "MEMS post-packaging by localized heating and bonding", IEEE Trans. Adv. Packag., 23 (2000) 608-616.
9. W. Kim, Q. Wang, K. Jung, J. Hwang, and C. Moon, "Application of Au-Sn eutectic bonding in hermetic

RF MEMS wafer level packaging", 9th Int. Symp. Adv. Packag. Mater., (2004) pp.215-219.
10. H.-A. Yang, M. Wu, and W. Fang, "Localized induction heating solder bonding for wafer level MEMS packaging", J. Micromech. Microeng., 15 (2005) 394-399.
11. C.D. Fung, P.W. Cheung, W.H. Ko and D.G. Fleming(eds), "Micromachining and micro packaging of transducers", Amsterdam, Elsevier (1985).
12. G. T. A. Kovacs, "Micromachined transducers sourcebook", New York, NY McGraw-Hall (2000).
13. Y. T. Cheng, W. T. Hsu, K. Najafi, T. C. Nguyen, and L. Lin, "Vacuum packaging technology using localized aluminum/silicon-to-glass bonding", J. of MEMS, 11 (2002) 556-565.
14. C. H. Yun, T. J. Brosniham, W. A. Webster, and J. Villarreal, "Wafer-level packaging of MEMS accelerometers with through-wafer interconnects", Proc. Electon. Comp. Technol. Conf., (2005) pp.320-323.
15. B. Y. Jung, S. H. Park, Y. H. Kim, and T. S. Oh, "Surface roughness of the electroplated Sn with variations of electrodeposition parameters and contact resistance of the flip-chip-bonded Sn bumps", J. Korean Microelectronics & Packag. Soc., 13 (2006) 37-43.