

## 전광 그레이코드 이진코드 변환기

정영진 · 박남규

서울대학교 전기컴퓨터 공학부  
 ☎ 151-742 서울시 관악구 관악로 599

전영민 · 우덕하 · 이 석<sup>†</sup>

한국 과학기술 연구원  
 ☎ 136-791 서울시 성북구 월송길 5

(2008년 1월 11일 받음, 2008년 2월 12일 수정본 받음)

전광 그레이코드(gray code) 이진코드(binary code) 변환기를 상용화 전산모사 프로그램(VPI)을 이용하여 처음으로 구현하였다. 전자회로 디자인 방법을 상호 이득변조를 이용한 전광 논리회로에 적합하도록 변형하여, 이상적이지 않은 전광 논리게이트에 의한 신호 왜곡이 최소화 되도록 하였다. 2.5 Gbps의 20 dB 소광비를 가지는 입력 신호에 대해, 신호재생기 없이 가장 많이 왜곡된 출력 신호에 (최하위 비트-LSB) 대해 약 4 이상의 Q값을 얻을 수 있었다. 또한 그레이 코드 이진코드 변환기를 디자인하면서, 이단 단순화 방법(two-level simplification method) 변형하여, 그레이코드 이진코드 변환기뿐 아니라 일반적인 전광 회로에 적용할 할 수 있는 일반적인 방법(일단 단순화 방법: one-level simplification method) 얻을 수 있었다.

주제어: Logic-based optical processing, Optical logic, Semiconductor optical amplifiers

### I. 서 론

전광 신호처리에는 오랫동안 연구자들의 많은 관심을 받아왔으며, 모든 종류의 논리게이트들이 구현되었는데<sup>[1-6]</sup> XGM(cross gain modulation), FWM(four wave mixing), Kerr현상, 높은 Q값을 가지는 공진기(high-Q cavity)등을 기반으로 하거나 NOLM(nonlinear optical loop mirror),<sup>[7]</sup> TOAD(terahertz optical asymmetric demultiplexer),<sup>[7]</sup> MZI(Mach-Zehnder interferometer), UNI와(ultrafast nonlinear interferometer)<sup>[9]</sup> 같은 XPM(cross phase modulation)을 기반으로 구현되었다. 비록 가산기나(adder) 감산기(subtractor) 같은 간단한 조합논리회로는(combinational logic circuit)<sup>[10-12]</sup> 구현되어 왔지만 좀더 복잡한 조합논리회로들은 아직 구현되지 않고 있다. 이것은 큰 시스템 스케일과 이상적이지 못한 전광 논리게이트 소자들로 인해 복잡한 조합논리회로를 구현하는 것이 여전히 어렵기 때문이다. 예를 들면 잡음과 소광비 감소의 누적 등은 복잡한 전광 조합논리회로의 구현을 막을 수 있다. 따라서 코더/디코더(coder/decoder), 고정 기억장치와(read only memory) 같은 좀더 복잡한 조합논리회로에 대한 연구가 필요하다. 아직까지 구현된 적이 없는 전광 그레이코드 이진코드 변환기는 코더/디코더 시스템으로서, 이러한 주제에 대한 고찰의 필요를 느낄 정도로 매우 복잡하다(역기능인 이진코드에서 그레이 코드로 변환하는 시스템은 훨씬 구현이 쉽다).

본 연구에서는 먼저 전자회로에서 쓰이는 NOR-NOR 이단 단순화 방법(NOR-NOR two-level simplification method)

그대로 이용하여 전광 그레이코드 이진코드 변환기를 구현하는 것에 대해 고찰한다. 두 번째로, 광 논리 회로에 적합하도록 변형된 일단 단순화 방법(one-level simplification method) 제안한다. 세 번째로, 우리는 그레이코드 이진코드 변환기를 제안된 일단 단순화 방법을 이용하여 디자인하고 마지막으로 이단 단순화 방법과 일단 단순화 방법을 결과와 함께 비교 분석 한다. 본 논문의 모든 구현은 반도체 광 증폭기를 이용한(SOA: semiconductor optical amplifier) 상호이득변조에 기반하여 구현되었다. 이것은 비록 상호이득변조에 의한 논리게이트의 구현이 상호위상변조에 의한 방법보다 속도나 신호의 소광비측면에서 불리하지만, 구현이 매우 쉽기 때문에 복잡한 조합논리회로를 구현에 적합하기 때문이다. 뿐만 아니라 반도체 광 증폭기를 이용한 상호이득변조를 통해 모든 종류의 논리게이트들이 구현되어 있기 때문에 이러한 상호 이득 변조만을 이용해서 조합논리회로를 구현할 수 있다.

### II. 이단 단순화 방법을 통한 디자인

전자소자로 이단 단순화를 통해 그레이코드 이진코드 변환기를 디자인 하는 과정은 전자공학분야에 매우 잘 알려져 있으며 책으로도 잘 설명 되어 있다<sup>[13]</sup>. 광 소자를 이용해 전광 그레이코드 이진코드 변환기를 디자인 하기 위해 먼저 광 소자를 이용한 디자인에도 쓰일 수 있는 전자회로 디자인 방법을 간략히 소개한다. 그리고, 광 소자를 이용함에 따라 고려해야 할 요소들을 자세하게 설명한다.

<sup>†</sup>E-mail: slee@kist.re.kr

### 2.1 전광 그레이코드 이진코드 변환기 디자인을 위한 전자 회로이론

뒤에도 설명 하겠지만 NOR게이트의 구조의 단순성과 여러 개의 입력 신호를 수용할 수 있다는 점에서, 우리는 NOR 게이트를 기반으로 하는 NOR-NOR 이단 단순화 방법을 우리의 디자인 방법으로 선택 하였다. 그렇게 하기 위해 우리는 먼저 카르노맵을(Karnaugh map)<sup>[13]</sup> 표 1에 있는 진리표를 따라 그림 1과 같이 그렸다. 각각의 그레이코드 비트를 최상위 비트로부터(MSB: most significant bit) 최하위 비트까지 (LSB: lease significant bit) A에서 D라고 이름하고 각각의 이진코드의 최상위비트로부터 최하위 비트까지 W에서 Z라고 이름하였다.

위에서 그려진 카르노맵으로부터, 이단 단순화가 수행된 출력 신호의 각각의 불 대수 수식이(Boolean equation) 합일곱 형태로(AND of OR) 식 (1)과 같이 얻어졌다.

$$W = A \tag{1a}$$

$$X = \overline{A}B \tag{1b}$$

$$Y = \overline{A}(B+C)(\overline{B}+\overline{C}) \tag{1c}$$

$$Z = (B+C+D)(\overline{A}+C+D) \tag{1d}$$

$$(A+\overline{B}+C+\overline{D})(B+\overline{C}+\overline{D})(\overline{B}+\overline{C}+D)$$

그리고 식 (1)로부터, NOR-NOR 이단 단순화된 불 대수 수식은 식 (2)와 같이 드모르간의 정리(DeMorgan's theorem) 이용하여 얻어졌다.

$$W = A \tag{2a}$$

$$X = \overline{A+\overline{B}} \tag{2b}$$

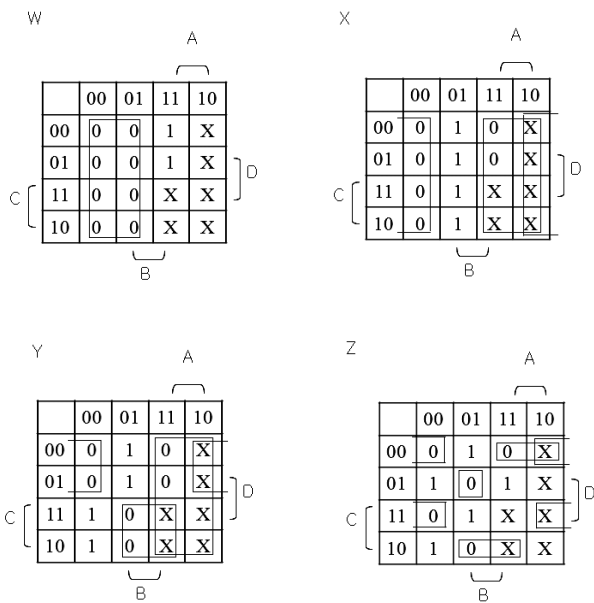


그림 1. 그레이코드 이진코드 변환기 디자인을 위한 NOR-NOR 이단 단순화 방법에 쓰인 카르노맵.

$$Y = \overline{\overline{A+(B+C)} + \overline{\overline{B}+\overline{C}}} \tag{2c}$$

$$Z = \overline{\overline{B+C+D} + \overline{\overline{A}+C+D}} \tag{2d}$$

$$+ \overline{\overline{A+\overline{B}+C+\overline{D}} + \overline{\overline{B}+\overline{C}+D}}$$

식 (2)로부터 NOT과 NOR게이트 이용한 회로 구조도가 그림 2와 같이 얻어졌다.

표 1. 그레이코드 이진코드 변환기에 대한 진리표

Decimal	Gray Code				BCD			
	A	B	C	D	W	X	Y	Z
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	1	0	0	1	0
3	0	0	1	0	0	0	1	1
4	0	1	1	0	0	1	0	0
5	0	1	1	1	0	1	0	1
6	0	1	0	1	0	1	1	0
7	0	1	0	0	0	1	1	1
8	1	1	0	0	1	0	0	0
9	1	1	0	1	1	0	0	1
10	x	x	x	x	x	x	x	x
11	x	x	x	x	x	x	x	x
12	x	x	x	x	x	x	x	x
13	x	x	x	x	x	x	x	x
14	x	x	x	x	x	x	x	x
15	x	x	x	x	x	x	x	x

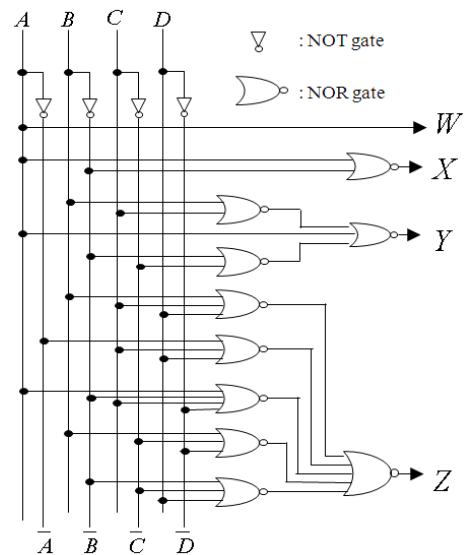
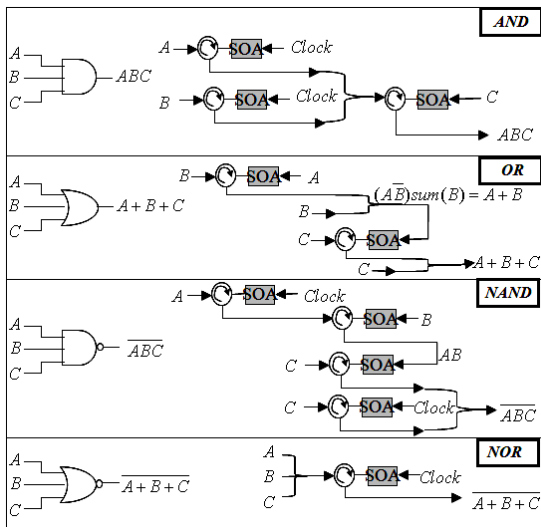


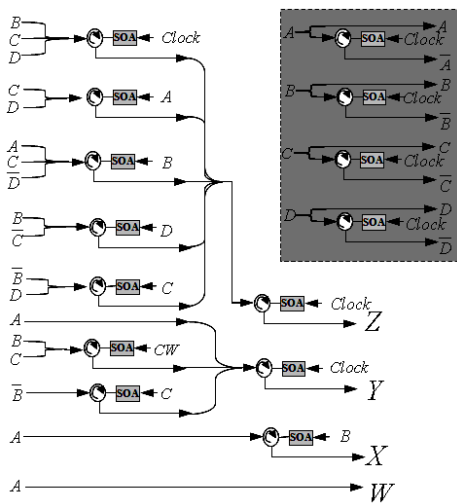
그림 2. NOR-NOR 이단 단순화 방법을 이용하여 디자인된 그레이 코드 이진코드 변환기의 구조도..

### 2.2 전광 회로 구현

이 회로를 전광으로 구현하기 위해서는 전광 NOT게이트와 NOR게이트가 필요하다. 잘 알려져 있듯이 NOR게이트는 구조가 가장 간단하기 때문에 우리는 그 구조를 나타내지 않았다. 그리고, 여러 개의 입력 신호를 가지는 다른 종류의 게이트들은 그 복잡성의 정도를 나타내기 위해 그림 3(a)에 나타내었다. 그림에서 알 수 있듯이 NOR게이트의 구조가 가장 단순하다는 것을 알 수 있다. 자세히 말하면 AND,<sup>[1]</sup> OR,<sup>[3]</sup> XOR,<sup>[4]</sup> NAND<sup>[5]</sup> 게이트들은 두 개의 입력 신호만을 수용할 때에도 두 개의 반도체 광 증폭기를 필요로 하는 반면에 NOR게이트는 세 개 이상의 입력 신호를 수용하면서도



(a) 다양한 전광 논리게이트들



(b) 디자인된 전광 그레이코드 이진코드 변환기

그림 3. (a) 반도체 광 증폭기내의 상호 이득변조를 이용한 세 개의 입력 포트를 가지는 다양한 전광 논리게이트들과 (b) NOR-NOR 이단 단순화 방법을 통해 디자인된 전광 그레이코드 이진코드 변환기.

한 개의 반도체 광 증폭기면 충분하다<sup>[6]</sup>. 이것이 NOR-NOR 이단 단순화 방법이 다양한 방법 중에서도 전광 조합논리 회로를 구현하는 방법으로 가장 적합한 이유이다(AND-OR 나 OR-AND 혹은 NAND-NAND 이단 단순화 방법 등도 있다<sup>[13]</sup>). 이와 같이 디자인된 전광 그레이코드 이진코드 변환기의 구조는 그림 3(a)에 소개된 전광 NOR게이트를 그대로 기본 소자로 이용하여 그림 3(b)와 같이 얻어졌다.

### III. 일단 단순화 방법의 제안

여기서 우리는 전광 회로에 더 적합한 일단 단순화 방법을 제안한다. 표 2에서와 같이 입력신호 A, B, C에 대해 임의의 기능을(불 대수  $F = (A+B)\bar{C}$ ) 수행하여 신호를 출력하는 시스템에 대한 예를 통해 일단 단순화 방법이 자세히 설명될 것이다.

표 2에서 제시한 예(불 대수  $F = (A+B)\bar{C}$ ) 기존의 NOR-NOR 이단 단순화 방법을 이용하여 디자인 한다면 그 과정은 앞장의 그레이코드 이진코드 변환기의 과정과 같은 과정을 거치게 된다. 그리고 이렇게 디자인된 회로와 표 3의 변수를 이용하여 127 비트 PRBS(Pseudo random bit sequence) 입력 신호에 대해 전산모사하여 얻은 eye-diagram 결과를 그림 4(a)에 나타내었다. 반도체 광 증폭기 안에서의 상호이득변조 과정 최적화를 한 이후에 20 dB 소광비를 가지는 RZ(return to zero) 형식의 2.5 Gbps 입력 신호에 대해 얻어진 Q값은 대략 3.8이었다(일단 단순화 이론에 초점을 맞추기 위해서 최적화 과정에 대한 부분은 다음 장에서 설명되므로 본 장에서는 생략되었다).

이제 논리게이트의 순차적인 연결을 줄이기 위해(순차적

표 2. 일단 단순화 방법을 설명하기 위한 임의의 함수에 대한 진리표

Input	A	0	0	0	0	1	1	1	1
	B	0	0	1	1	0	0	1	1
	C	0	1	0	1	0	1	0	1
Output	F	0	0	0	0	1	1	1	0

표 3. 전산모사를 위한 반도체 광 증폭기의 변수

Name	Value
Driving current	200 mA
Active region length	350 $\mu\text{m}$
Active region width	2.5 $\mu\text{m}$
Active region thickness	0.04 $\mu\text{m}$
ASE spectral width	1 THz
Transparent carrier density	$1.5 \times 10^{24} \text{ m}^{-3}$
Material gain coefficient	$3 \times 10^{-20} \text{ m}^2$
Internal loss	$3,000 \text{ m}^{-1}$
Group effective index	3.7
Facet reflectivity	0.0001

연결을 줄이면 신호의 질이 떨어지는 것을 막을 수 있다) 기존의 이단 단순화 방법은 전광 회로에 적합한 일단 단순화 방법으로 변형된다. 그림 4(b)는 일단 단순화 방법으로 구현된 시스템을 나타내고 있으며 eye-diagram 결과는 Q값을 5로 향상된 것을 보여준다. 그리고 다자인 방법은 다음과 같이 요약될 수 있다.

- (A) 주어진 연산/진리표에 대해 카르노맵을 그린다.
- (B) 카르노맵에서 “1”선택의 중복을 피하며(이렇게 함으로 “1” OR “1”의 연산이 생기는 것을 피하게 된다) 기존의 일반적인 AND-OR 일단 단순화 과정을 따라 회로를 디자인 한다.<sup>[14]</sup>
- (C) OR게이트를 광신호의 함으로 대체한다. 그리고 드모르간의 정리를 이용하여 AND게이트를 NOR게이트로 바꾸어주어 같은 연산이 수행되도록 한다.

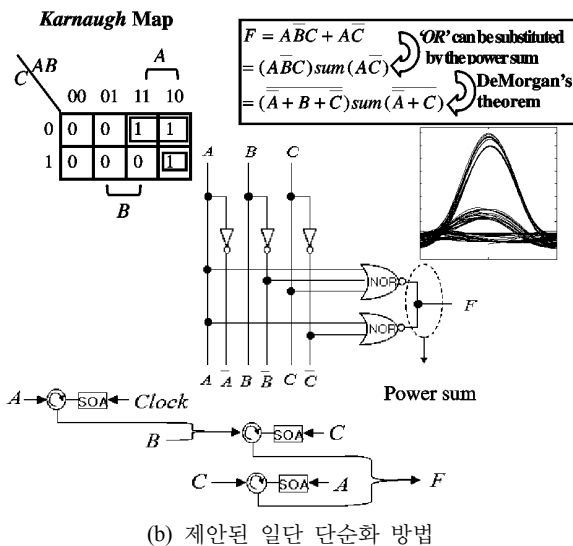
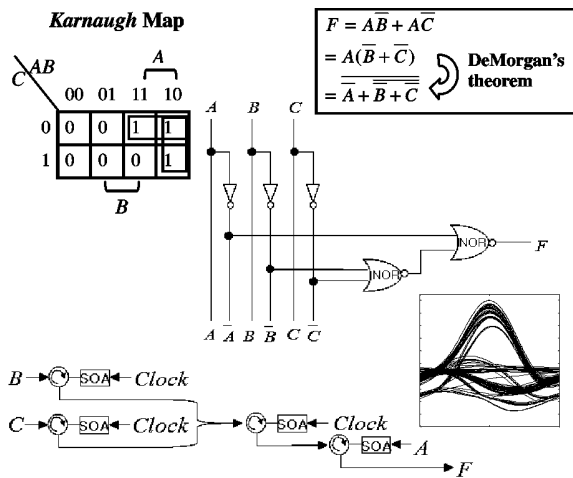


그림 4. 기존의 일단 단순화 방법과 제안하는 일단 단순화 방법으로 디자인된 구조와 성능의 비교. RZ 형식의 2.5 Gbps의 신호가 가정 되었다.

과정 (B)에서 선택의 중복을 피하여서 OR 게이트에 두 개 혹은 그 이상의 신호가 “1”로 입력 되는 것을 막게 되는 것을 주목할 필요가 있다. 즉, OR게이트가 단지 광신호의 함으로 바뀔 수 있는 이유가 되는 것이다. 따라서 이상적이지 못한 광 논리 게이트의 순차적인 연결로 인해 신호의 질이 떨어지는 것을 막을 수 있으며 더 단순하게 전광 회로를 구성할 수 있게 되는 것이다.

그림 4에서 볼 수 있듯이 일단 단순화 방법에서 NOR게이트의 순차적인 연결이 두 번 일어나는 것이 반해 일단 단순화 방법에서는 단순히 한번의 NOR게이트 만 통과하게 되어 소광비 손실의 축적을 피할 수 있다. 신호품질이 더 좋으면서도 순차적 NOR 게이트 연결을 줄여서, 같은 시스템을 구현할 수 있다는 사실을 알 수 있다. 그리고 어떤 종류의 조합논리회로 디자인에 대해서도, 일단 단순화 방법은 상호이득변조과정이 두 번 이하로 되며, 일단 단순화 방법은 세 번 이하라는 사실도 주목할 필요가 있다.

#### IV. 일단 단순화 방법을 통한 디자인

먼저 앞에서 언급한 순서 (A)와 (B)를 따라서 표 1의 진리표에 맞게 카르노맵을 그림 5와 같이 그렸다. 그리고 심볼의 선택은 일단 단순화 방법과는 다르게 중복을 피하면서 그림 5와 같이 선택되었다.

그려진 카르노맵으로부터 일단 단순화된 불 대수 수식은 식 (3)과 같이 곱의 합(OR of AND) 형태로 얻어졌다.

$$W = A \tag{3a}$$

$$X = \overline{AB} \tag{3b}$$

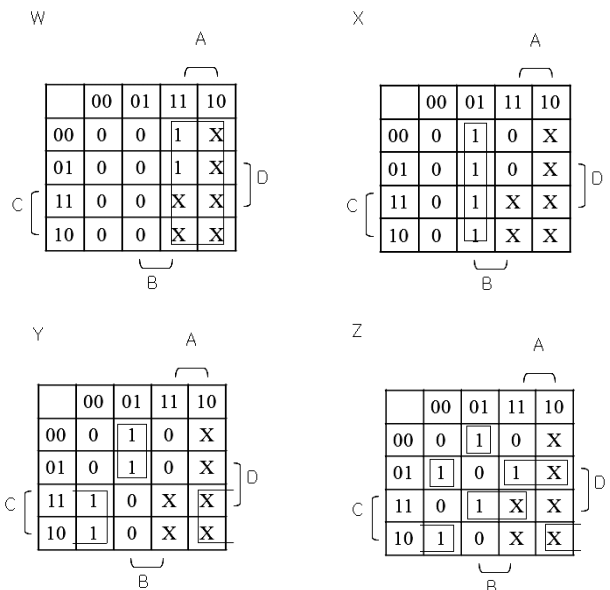


그림 5. 그레이코드 이진코드 변환기 디자인을 위한 일단 단순화 방법에 쓰인 카르노맵.

$$Y = \overline{ABC} + \overline{BC} \quad (3c)$$

$$Z = \overline{ABCD} + \overline{AB}CD + BCD + A\overline{CD} + \overline{BCD} \quad (3d)$$

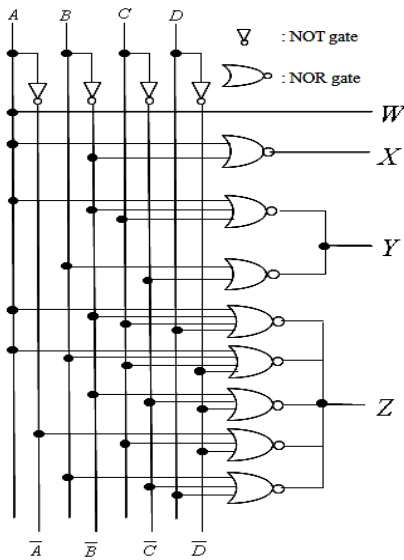
그리고 순서 (C)를 따라서 OR게이트를 광신호의 합으로 바꾸어주어 식 (4)와 같은 식을 얻었다.

$$W = A \quad (4a)$$

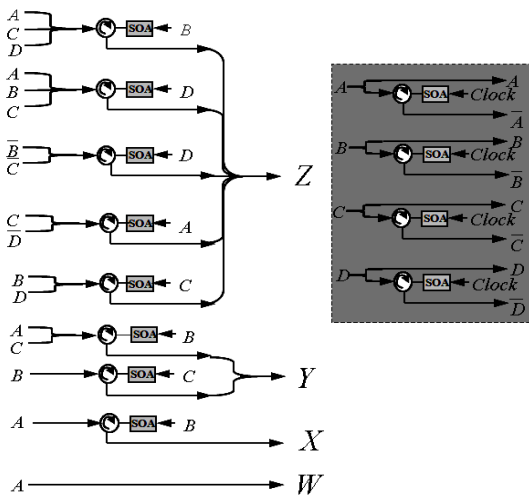
$$X = \overline{A+B} \quad (4b)$$

$$Y = (\overline{ABC})sum(\overline{BC}) \quad (4c)$$

$$Z = (\overline{ABCD})sum(\overline{ABCD})sum(BCD)sum(A\overline{CD})sum(\overline{BCD}) \quad (4d)$$



(a) 일단 단순화 방법을 통해 디자인된 구조도



(b) 일단 단순화 방법을 통해 디자인된 전광 그레이코드 이진코드 변환기

그림 6. 일단 단순화 방법을 통한 그레이코드 이진코드 변환기의 디자인 결과.

다음으로, 식 (4)의 AND 연산이 드모르간의 정리를 이용하여 식 (5)와 같이 NOR 연산으로 바꾸어 주었다.

$$W = A \quad (5a)$$

$$X = \overline{(A+B)} \quad (5b)$$

$$Y = \overline{(A+\overline{B}+C)sum(\overline{B+C})} \quad (5c)$$

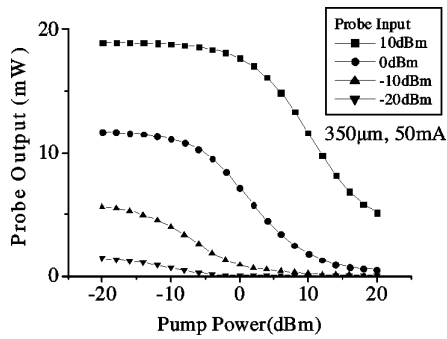
$$Z = \overline{(A+\overline{B}+C+D)sum(\overline{A+B+C+D})sum(\overline{B+C+D})sum(\overline{A+C+D})sum(\overline{B+C+D})} \quad (5d)$$

식 (5)로부터 전광 논리회로의 구조가 그림 6과 같이 디자인 되었다. 같은 볼 대수 연산에 대하여, 이단 단순화 방법은 14개의 반도체 광 증폭기를 필요로 하는데 비하여 일단 단순화 방법을 통한 디자인에서는 12개의 반도체 광 증폭기를 필요로 했다. 그리고 앞장에서 언급한 데로 연속해서 겪는 상호 이득변조는 많아야 두 번인 것을 알 수 있다.

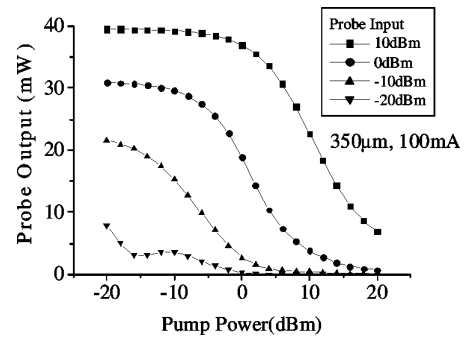
### V. 결 과

디자인된 전광 그레이코드 이진코드 변환기를 평가하기 위해서는 먼저 상호이득변조 과정이 최적화 되어야 한다. 일반적으로 입력되는 신호의 파워, 입력 펄스의 형태, 주입되는 구동 전류 등에 따라 조건이 결정되는 반도체 광 증폭기 내의 상호이득변조의 최적화를 위해서<sup>[15]</sup> 그림 3과 그림 6에는 생략 되었지만, 감광기와(attenuator) EDFA(erbium doped fiber amplifier)를 사용하여 반도체 광 증폭기로 유입되는 펌프광과 프루브광의 파워를 조절하였다. 최적의 조건은 다음과 같이 찾아졌다. 먼저 우리는 RZ형태의 입력 신호를 사용하였으며 그 펄스 길이는 비트길이의 대략 30% 정도로 해 주었다(RZ 형태의 신호가 일반적으로 NRZ 다시 말해 non-return to zero 형태보다 상호 이득변조에 대한 속도가 빠르다.<sup>[6]</sup> 이것은 RZ 형태의 신호를 이용하여 전자가 보충될 수 있는 시간을 보장해 줄 수 있기 때문이다. 그리고 RZ 형태의 신호는 static “1” hazard를 피할 수 있다.). 신호의 파워크기는 정상상태응답 곡선의(steady state response) 도움으로 결정하였다. 모든 전산모사에 있어서 반도체 광 증폭기의 변수는 앞의 연구에서와 같이 표 3 내용이 사용되었다. 그림 7(a), (b), (c)에 나타난 정상상태 응답을 참고로 하여 우리는 펌프광의 파워로 -10 dBm(“0”-파워)에서 10 dBm(“1”-파워) 그리고 프루브광 파워로 -20 dBm(“0”-파워)에서 0 dBm(“1”-파워)를 이용하였다. 그리고 반도체 광 증폭기의 구동 전류는 그림 7(d)의 상호 이득 변조의 과도응답을 참고하여 2.5 Gbps에서 200 mA를 주입하였다.

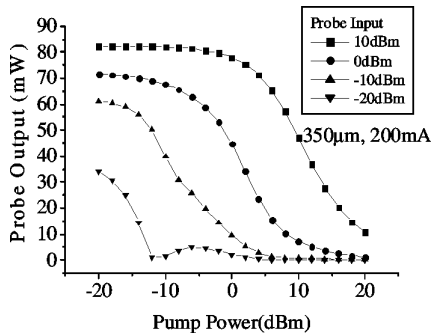
그림 8(b), (c)는 2.5 Gbps로 순서대로 들어오는 “0”에서 “9”까지의 그레이코드 입력 신호에(그림 8(a) 대해 그레이코드 이진코드 변환기의 출력신호결과를 나타내고 있다. 그리고 그림 9는 각각 A, B, C, D가 서로 다른 시드값(seed value) 가지는 127 비트 PRBS 입력 신호에 대한 eye-diagram 결과를 나타내고 있다. 그림 8에서 보는 바와 같이 이단 단



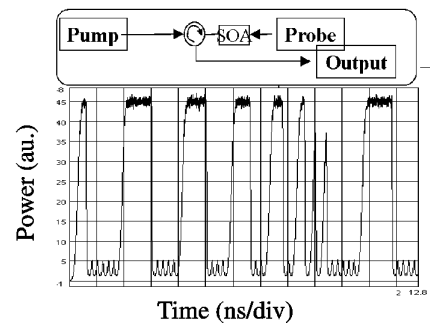
(a) 50 mA 전류에서 정상상태 응답



(b) 100 mA 전류에서 정상상태 응답

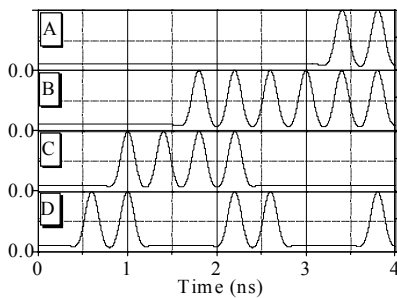


(c) 200 mA 전류에서 정상상태 응답

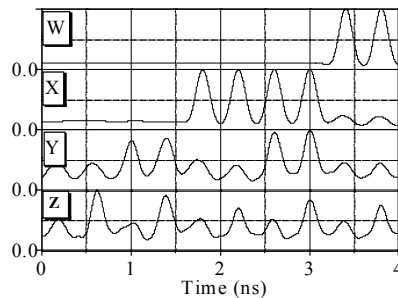


(d) 200 mA 전류에서 과도상태 응답

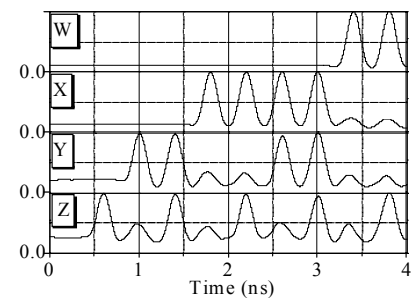
그림 7. 주어진 반도체 광 증폭기의 상호 이득변조에 대한 정상상태 응답과 (a), (b), (c) 과도응답 (d) 특성.



(a) 입력 그레이코드



(b) 이단 단순화를 통한 출력 이진코드



(c) 일단 단순화를 통한 출력 이진코드

그림 8. 이단 단순화 방법과 일단 단순화 방법으로 디자인된 그레이코드 이진코드 변환기의 출력 신호 트레이스.

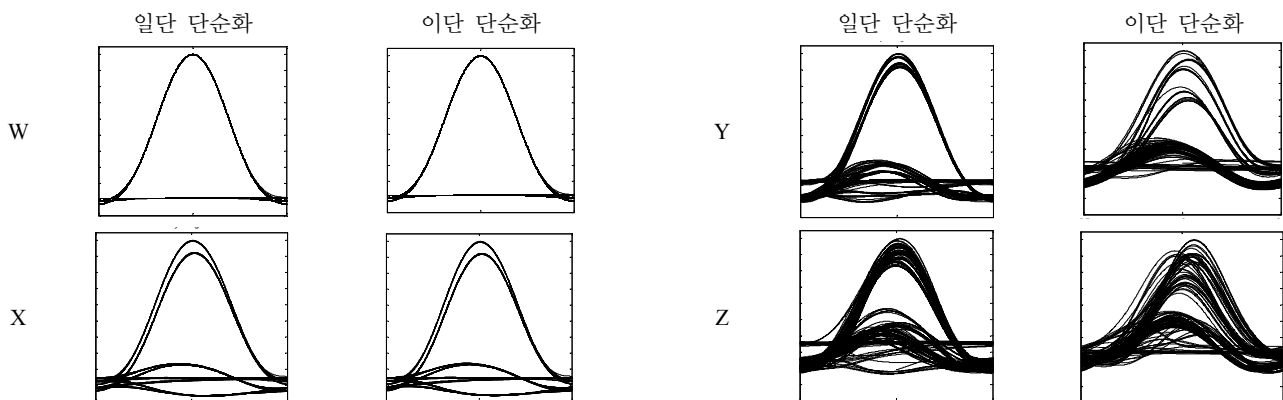


그림 9. 이단 단순화 방법과 일단 단순화 방법으로 디자인된 그레이코드 이진코드 변환기의 출력 신호 eye-diagram.

순화를 통해 디자인된 회로의 경우는 심한 신호 왜곡을 겪은 반면 일단 단순화 방법을 통한 디자인으로 좀 더 깨끗한 출력 신호를 얻을 수 있음을 알 수 있다. 측정된 Q값은 일단 단순화를 통한 디자인의 경우 X, Y, Z에 대해 각각 대략 7, 7, 4였으며, 이단 단순화를 통한 디자인의 경우는 각각 대략 7, 2.8, 2.4였다.

### 참고문헌

- [1] J. H. Kim, B. C. Kim, Y. T. Byun, Y. M. Jhon, S. Lee, D. H. Woo, and S. H. Kim, "All-optical AND gate using cross-gain modulation in semiconductor optical amplifiers," *Japanese J. Appl. Physics*, vol. 43, no. 2, pp. 608-610, 2004.
- [2] Zhi-Hong Zhu, Wei-Min Ye, Jia-Rong Ji, Xiao-Dong Yuan, Chun Zen, "High-contrast light-by-light switching and AND gate based on nonlinear photonic crystals", *Optics Express*, vol. 14, no. 5, pp. 1783-1788, 2006.
- [3] Y. T. Byun, K. S. Choi, Y. M. Jhon, D. H. Woo, S. Lee, S. H. Kim, and J. W. Park, "All-optical OR gate using cross gain modulation in semiconductor optical amplifier," *CLEO Europe*, pp. 493, June. 2005.
- [4] J. H. Kim, Y. M. Jhon, Y. T. Byun, S. Lee, D. H. Woo, and S. H. Kim, "All-optical XOR gate using semiconductor optical amplifiers without additional input beam," *IEEE Photonics Technology Letters*, vol. 14, no. 10, pp. 1436-1438, 2002.
- [5] S. H. Kim, J. H. Kim, B. G. Yu, Y. T. Byun, Y. M. Jeon, S. Lee, D. H. Woo, and S. H. Kim, "All-optical NAND gate using crossgain modulation in semiconductor optical amplifiers," *IEE Electronics Letter*, vol. 41, no. 18, pp. 1027-1028, 2005.
- [6] Y. T. Byun, J. H. Kim, Y. M. Jhon, S. Lee, D. H. Woo, and S. H. Kim, "High-speed all-optical NOR gate using semiconductor optical amplifier," *CLEO Europe*, pp. 536, Jun. 2003.
- [7] N. J. Doran and David Wood, "Nonlinear-optical loop mirror", *Optics Letter* vol. 13, no. 1, pp. 56-58, 1988.
- [8] J. P. Sokoloff, P. R. Prucnal, I. Glesk, and M. Kane, "A Terahertz Optical Asymmetric Demultiplexer (TOAD)", *IEEE Photonics Technology Letters*, vol. 5, no. 7, pp. 787-790 1993.
- [9] N. S. Patel, K. A. Rauschenbach, and K. L. Hall, "40-Gb/s Demultiplexing Using an Ultrafast Nonlinear Interferometer (UNIT)", *IEEE Photonics Technology Letters*, vol. 8. no. 12, pp. 1695-1697, 1996.
- [10] A. J. Poustie, K. J. Blow, A. E. Kelly, R. J. Manning, "All-optical full adder with bit-differential delay", *Optics Communications* vol. 168, no. 1-4, pp. 89-93, 1999.
- [11] Jitendra Nath Roy and Dilip Kumar Gayen, "Integrated all-optical logic and arithmetic operations with the help of a TOAD-based interferometer device-alternative approach" *Applied Optics*, vol. 46, no. 22, pp. 5304-5310, 2007.
- [12] S. H. Kim, J. H. Kim, J. W. Choi, C. W. Son, Y. T. Byun, Y. M. Jhon, S. Lee, D. H. Woo, and S. H. Kim, "All-optical half adder using cross gain modulation in semiconductor optical amplifiers," *Optics Express*, vol. 14, no. 22, pp. 10693-10698, 2006.
- [13] R. H. Katz and G. Borriello, *Contemporary Logic Design*, 2nd ed. Prentice Hall, 1993.
- [14] M. Karnaugh, "The map method for synthesis of combinational logic circuits," *AIEE Trans.*, 72 (part I), pp. 593-598, 1953.
- [15] Y. J. Jung, J. Park, and N. Park, "Wavelength-transparent nonlinear optical gate based on self-seeded gain modulation in folded tandem-SOA," *Optics Express*, vol. 15, no. 8, pp. 4929-4934, 2007.
- [16] F. Girardin, G. Guekos, and A. Houbavlis, "Gain recovery of bulk semiconductor optical amplifiers," *IEEE Photonics Technology Letters*, vol. 10, no. 6, pp. 784-786, 1998.

## All-Optical Gray Code to Binary Coded Decimal Converter

Young Jin Jung and Namkyoo Park

*School of EECS, Seoul National University, 599 Gwanangno, Gwanak-gu, Seoul, 151-742, South Korea*

Young Min Jhon, Deok Ha Woo, and Seok Lee<sup>†</sup>

*Korea Institute of Science and Technology, 5 Wolsong-gil, Seongbuk-gu, Seoul, 136-791, South Korea*

<sup>†</sup>*E-mail: slee@kist.re.kr*

(Received January 11, 2008, Revised manuscript January 12, 2008)

An all-optical 4-bit Gray code to binary coded decimal (BCD) converter by means of commercially available numerical analysis tool (VPI) was demonstrated, for the first time to our knowledge. Circuit design approach was modified appropriately in order to fit the electrical method on an all-optical logic circuit based on a cross gain modulation (XGM) process so that signal degradation due to the non-ideal optical logic gates can be minimized. Without regenerations, Q-factor of around 4 was obtained for the most severely degraded output bit (least significant bit-LSB) with 2.5 Gbps clean input signals having 20 dB extinction ratio. While modifying the two-level simplification method and Karnaugh map method to design a Gray code to BCD converter, a general design concept was also founded (one-level simplification) in this research, not only for the Gray code to BCD converter but also for any general applications.

OCIS codes: 200.3760, 200.4660, 250.5980.