

The design of the high efficiency DC-DC Converter with Dynamic Threshold MOS switch

Dynamic Threshold MOS 스위치를 사용한 고효율 DC-DC Converter 설계

Kasan Ha*, Yongseo Koo*, Jungman Son*, Jongki Kwon**, Junmo Jung*★

하가산*, 구용서*, 손정만*, 권종기**, 정준모*★

Abstract

The high efficiency power management IC(PMIC) with DTMOS(Dynamic Threshold voltage MOSFET) switching device is proposed in this paper. PMIC is controlled with PWM control method in order to have high power efficiency at high current level. DTMOS with low on-resistance is designed to decrease conduction loss. The control parts in Buck converter, that is, PWM control circuits consist of a saw-tooth generator, a band-gap reference circuit, an error amplifier and a comparator circuit as a block. The Saw-tooth generator is made to have 1.2 MHz oscillation frequency and full range of output swing from ground to supply voltage(VDD:3.3V). The comparator is designed with two stage OP amplifier. And the error amplifier has 70dB DC gain and 64° phase margin. DC-DC converter, based on Voltage-mode PWM control circuits and low on-resistance switching device, achieved the high efficiency near 95% at 100mA output current. And DC-DC converter is designed with LDO in stand-by mode which fewer than 1mA for high efficiency.

요약

본 논문에서는 DTMOS(Dynamic Threshold voltage MOSFET) 스위칭 소자를 사용한 고 효율 전원 제어 장치(PMIC)를 제안하였다. 높은 출력 전류에서 고 전력 효율을 얻기 위하여 PWM(Pulse Width Modulation) 제어 방식을 사용하여 PMIC를 구현하였으며, 낮은 온 저항을 갖는 DTMOS를 설계하여 도통 손실을 감소시켰다. 벡 컨버터(Buck converter) 제어 회로는 PWM 제어회로로 되어 있으며, 삼각파 발생기(Saw-tooth generator), 밴드갭 기준 전압 회로(Band-gap reference circuit), 오차 증폭기(Error amplifier), 비교기(Comparator circuit)가 하나의 블록으로 구성되어 있다. 삼각파 발생기는 그라운드부터 전원 전압(V_{dd}:3.3V)까지 출력 진폭 범위를 갖는 1.2MHz 발진 주파수를 가지며, 비교기는 2단 연산 증폭기로 설계되었다. 그리고 오차 증폭기는 70dB의 DC gain과 64° 위상 여유를 갖도록 설계하였다. Voltage-mode PWM 제어 회로와 낮은 온 저항을 스위칭 소자로 사용하여 구현한 DC-DC converter는 100mA 출력 전류에서 95%의 효율을 구현하였으며, 1mA이하의 대기모드에서도 높은 효율을 구현하기 위하여 LDO를 설계하였다.

Key words : DC-DC converter, PWM, DTMOS, PMIC

* 서경대학교 전자공학과

(Department of Electronics Engineering, Seogyoung University)

** 한국전자통신 연구원

(Electronics and Telecommunications Research Institute)

★ 교신저자 (Corresponding author)

※ 감사의 글 (Acknowledgment)

본 연구는 2008년도 「서울시 산학연 협력사업」의 「나노 IP/SoC 설계기술 혁신 사업단」의 지원으로 이루어졌습니다.

接受日:2008年 5月 13日, 修正完了日: 2008年 07月 14日 (176)

I. 서론

최근 정보통신 기술의 비약적인 발전과 교통수단의 발달에 따른 이동성의 증가는 개인 휴대용 첨단 전자 제품 시장의 급격한 증가를 가져왔다. 이동성 증가에 따른 휴대기기 시장의 증가는 또한 소형화 및 경량화

에 대한 요구로 이어졌으며, 그에 부응하여 전자제품의 충전기나 어댑터의 소형화 추세가 두드러지고 있다. 또한, 이러한 응용분야를 중심으로 기존의 Linear 방식의 전원장치가 SMPS(Switching Mode Power Supply)방식으로 빠르게 대체되어 가고 있으며, 전반적으로 그 활용범위가 확대되고 있다. SMPS는 기존의 선형 제어 방식의 파워 서플라이에 비해 고효율, 소형 및 경량이라는 특징이 있다. 이런 이유로 최근의 핸드폰, PDA, MP3 등과 같이 소형화가 필요한 휴대용 기기 등의 전원장치가 대부분 이러한 SMPS 방식으로 빠르게 대체되고 있다. SMPS는 두 개의 효율적인 상태를 빠르게 스위칭(Switching) 하는 방식으로 동작하게 된다. 두 동작 상태를 각기 차단(cut-off)과 포화(saturation)라 하는데, 차단 상태에서는 높은 전압이 pass unit 에 걸리게 되고, 전류는 거의 흐르지 않는다. saturation 상태에서는 높은 전류가 통과 장치(pass unit)를 통해 흐르고 전압은 거의 걸리지 않게 된다. 기본적으로 이 두 상태를 빠르게 스위칭 해 주는 방식으로 전압을 변환해 주게 된다. SMPS의 동작은 직류(입력)에서 직류(출력)로의 변환(DC-DC Conversion)을 기본으로 하고 있으며, SMPS를 DC-DC converter라고 부르기도 한다.

DC-DC converter는 스위칭 주파수를 높여 에너지 축적용 소자를 소형화함으로써 소형 경량화를 이룰 수 있는데 이를 위해서는 고속의 반도체 스위칭 소자의 개발이 필요하게 된다. 그러나 스위칭 주파수를 고주파화하면 스위칭 손실, 인덕터 손실, 도통 손실 등 손실이 증대하게 되므로 이에 대한 대비책이 별도로 강구되어야 한다.[1] 이러한 손실을 줄이기 위해 온 저항이 낮은 스위칭 소자를 사용하여 도통 손실을 줄였다.

기존의 저전압 DC-DC converter에서는 스위칭 소자로 CMOS 소자를 사용해 왔다. 그러나 CMOS 스위칭 소자로 매우 작은 온 저항을 얻기 위해서는 매우 큰 면적을 필요로 한다. 따라서 본 연구에서는 이러한 스위칭 소자의 문제를 개선 하고자 문턱전압을 낮추어 온 저항을 줄일 수 있는 DTMOS를 사용한 스위칭 소자를 제안하였다. 제안된 소자는 기존 CMOS 공정을 이용하면서 CMOS 소자 보다 더 적은 면적으로 보다 작은 온 저항을 갖는다.

따라서 본 논문에서는 DTMOS 스위칭 소자를 이용하여 동일한 면적에서 기존의 CMOS 스위칭 소자를 사용하는 SMPS보다 더 높은 전력 변환 효율을 갖는 DC-DC converter를 설계하였다. 본론 1절에서는 DTMOS 스위칭 소자의 기본 개념과 구현 방법 및 동작 특성을 설명하였으며, 2절에서는 DC-DC converter를 설계하였다. 3절에서는 저 전류에서 효율

이 급격히 떨어지는 PWM 방식을 보완할 LDO regulator에 대해서 설명하였으며, 4절에서는 본 논문이 제안한 DC-DC 컨버터의 Layout을 설명하였다. 마지막으로 설계 및 시뮬레이션 결과를 종합하여 결론을 맺는다.

II. 본론

1. DTMOS(Dynamic Threshold voltage MOS)

SMPS는 스위치를 차단과 도통 시킴으로써 교류펄스를 생성하고, 다시 이 교류펄스를 필터를 통해 직류로 바꾼다. 이때 스위치가 온오프 하면서 발생하는 손실은 스위치의 기생 커패시턴스(capacitance)에 의해 발생하는 스위칭 손실과 스위치가 도통했을 때 스위치의 온 저항에 의해 발생하는 도통 손실이 있다.

스위치의 기생 커패시턴스에 의해 발생하는 스위칭 손실은 스위치의 기생 커패시턴스와 스위칭 주파수에 비례한다. 한편 스위치의 크기는 최대 출력 전류에 의해 결정되고, 스위칭 주파수 역시 SMPS를 PWM(Pulse Width Modulation)방식으로 제어했을 때 고정된다. 이와 같이 스위칭 손실은 고정된 요인이지만, 스위치의 온 저항에 의한 도통 손실은 출력 전류가 커질수록 증가하게 된다.[1]

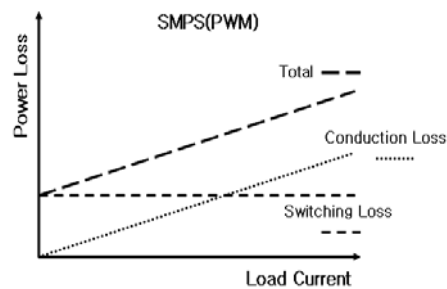


Fig. 1. DTMOS(Dynamic Threshold voltage MOS)
그림 1. DTMOS(Dynamic Threshold voltage MOS)

그림 1에서와 같이 출력전류가 커질수록 도통 손실은 점점 증가하여 높은 출력전류에서는 스위칭 손실보다 더 커지게 된다. 결국 SMPS의 효율을 높이기 위해 낮은 온 저항을 갖는 스위치의 개발은 필수적이다.

회로 성능의 손실 없이 저전력을 구현하려면 공급 전압의 축소에 따라 문턱전압도 줄여야 하는데, 이는 대기상태에서의 누설전류(leakage current)의 양 때문에 한계가 있다. 이 문제에 대한 해결책으로 동적 문턱전압(dynamic threshold) 기술이 있다. 동적 문턱전압 기술은 로직 천이(logic transition)시에는 낮은 문턱전압을, 대기상태에서는 높은 문턱전압을 가지게

하여 동작속도는 빠르게 하면서 대기상태의 전력 소모는 줄이는 기술이다.[3]

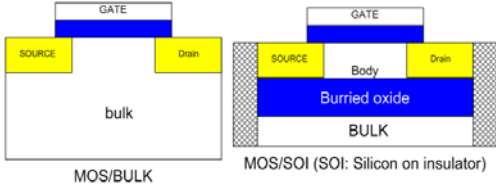


Fig. 2. Bulk NMOS and NMOS with SOI wafer
그림 2. Bulk NMOS와 SOI 기판에서의 NMOS

그림 2는 SOI 기판을 사용한 NMOS의 단면을 나타낸 것이다. 그림 SOI 기판을 사용한 NMOS 처럼 DTMOS는 gate와 body를 연결시켜 문턱전압이 낮아지도록 한 것이다. 이렇게 하여 낮아진 문턱전압으로 인해 동일한 면적과, V_{gs} 에서 더 많은 전류를 흘릴 수 있게 되어 스위칭 소자에서 향상된 효율을 기대 할 수 있게 된다. 하지만 이 경우 body로 흐르는 leakage current가 커지게 된다. Body로 흐르는 전류를 제어하기 위해서 그림 3과 같은 회로구성을 택하였다.

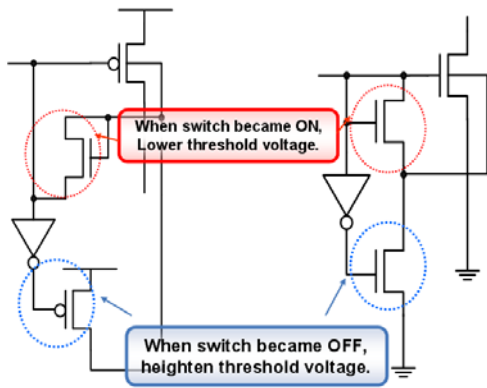


Fig. 3. Leakage current control method in DTMOS
그림 3. DTMOS에서 누설전류 제어기법

제안된 DTMOS는 스위치가 On 됐을 때, diode connection nMOS에 의해 스위치 MOS의 body 전압을 제어하여 문턱전압을 낮추고, 스위치가 Off 됐을 때, 각각 pMOS와 nMOS의 body 전압을 전원전압과 ground로 만들어 문턱전압을 높인다.

제안된 DTMOS는 스위치가 On 상태에서 낮은 문턱전압으로 인해 기존의 CMOS 스위치 보다 낮은 온 저항을 가진다. 또한, diode connection MOS의 사이즈를 조정하여 높은 전원전압에서도 body 쪽 누설전류를 최소화 하여, 기존 DTMOS의 단점인 누설 전류에 의한 전원전압

의 제한을 극복하였으며, mediaci와 hspice를 통한 시뮬레이션 결과 source와 body의 forward bias로 인한 latch-up 또한 발생하지 않았다.

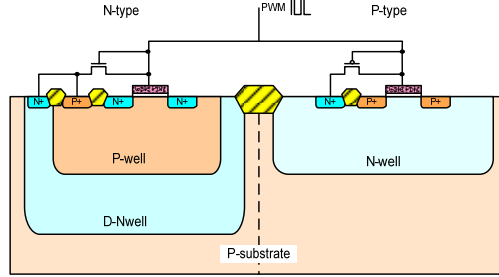


Fig. 4. The design of DTMOS in Bulk CMOS
그림 4. Bulk CMOS에서의 DTMOS 구현

한편 본 논문에서는 SOI 기판을 사용하는 DTMOS를 PWM 제어회로와 One-chip화 시키기 위해 CMOS 공정을 통하여 DTMOS를 구현하였다. 그림 2의 MOS/SOI와 같이 SOI 기판에 구현을 하던 것과 달리 그림 4에서는 일반적인 실리콘 기판에 Deep-Nwell을 사용하여 substrate와 body를 격리시켜 소자를 구현하였다. 이렇게 함으로써 스위칭 소자와 PWM 제어를 One-Chip으로 구현할 수 있게 되었다.

가. DTMOS 스위치의 특성 분석

본 논문에서 제안한 DTMOS 스위치와 CMOS 스위치의 문턱 전압과 I-V 특성을 비교해 보았다.

특성 비교에 앞서 시뮬레이션에 적절한 스위치의 크기를 정하기 위하여 CMOS 스위치 크기에 따른 SMPS의 효율 변화를 시뮬레이션 하였다.

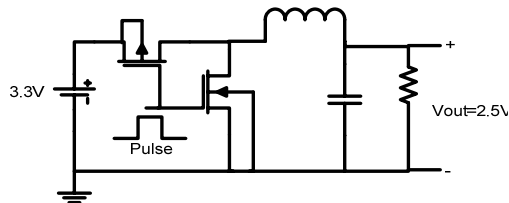


Fig. 5. Buck converter
그림 5. Buck 컨버터

회로는 그림 5처럼 구성한 후 CMOS 스위치의 크기를 키워 가면서 효율을 측정 하였다. 출력 전류를 100mA로 하고, 인덕터와 캐패시터의 ESR은 고려하지 않았다. 입력을 3.3V로 하고 스위치에 입력되는 Pulse의 폭을 조정하여 2.5V의 출력을 만들었다. 이때 인덕터와 캐패시터는 각각 6uH와 6uF로 하였다.

표 1. 스위치 크기 변화에 따른 SMPS 효율 변화
Table 1. SMPS Efficiency change by size change of switch

PMOS(M)	10	20	30	40	50	60	70	80	90	100
NMOS(M)	5	10	15	20	25	30	35	40	45	50
(100u/ 350n)										
효율 (%)	86	91.9	94.1	95.2	95.8	96.2	96.5	96.7	96.9	97

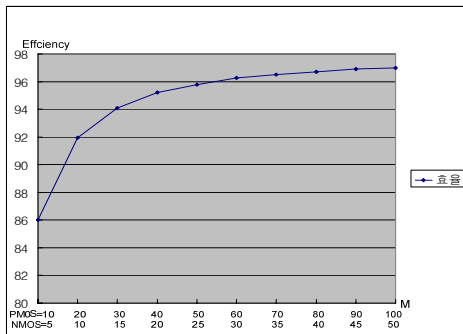


Fig. 6. Switching characteristic simulation circuit
그림 6. Switching 특성 시뮬레이션 회로

표 1과 그림 6을 보면, PMOS와 NMOS의 사이즈가 증가함에 따라서 효율이 증가하는 것을 볼 수 있다. 이때 효율 증가 대비 가장 적절한 스위치의 크기로 PMOS의 M 값 60, NMOS의 M 값을 30으로 결정하였다.

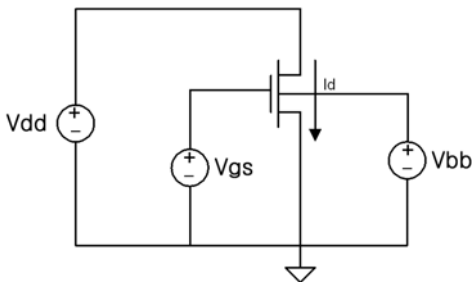


Fig. 7. Switching characteristic simulation circuit
그림 7. Switching 특성 시뮬레이션 회로

I-V 특성 분석을 위하여 그림 7처럼 회로를 구성하여 동일한 W/L (Width/Length)을 갖는 DTMOS 스위치와 CMOS 스위치를 각각 적용한 후 입력 전압을 증가시켜가면서 문턱전압과 I-V 특성을 측정하였다.

문턱전압은 Vdd의 입력을 3.3V로 하고 Vgs를 증

가시켜가면서 측정하였다.

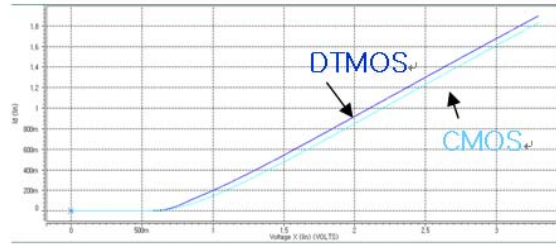


Fig. 8. Threshold voltage comparison of DTMOS and CMOS
그림 8. DTMOS와 CMOS의 문턱전압 비교

그림 8에서 보듯이 DTMOS가 CMOS보다 문턱전압이 낮아짐으로써 같은 전압에서 더 많은 전류의 도통이 가능함을 확인 할 수 있다.

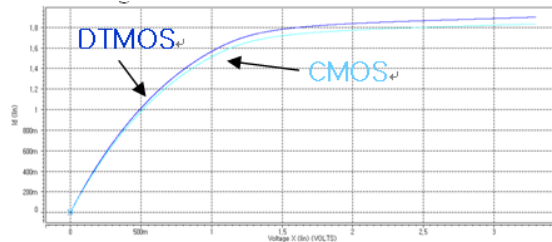


Fig. 9. I-V characteristics of DTMOS and CMOS
그림 9. DTMOS와 CMOS의 I-V 특성

그림 9는 Vds 증가에 따른 DTMOS와 CMOS 스위치의 I-V 특성 출력 그래프로서, 그림에서 보듯이 DTMOS가 CMOS보다 같은 전압에서 더 많은 전류의 도통이 가능함을 확인 할 수 있다.

나. DTMOS 스위치의 효율 분석

Buck converter를 시뮬레이션하여 DTMOS와 일반적인 CMOS 스위치의 효율을 비교해 보았다. 시뮬레이션 회로는 그림 5처럼 구성하였다.

CMOS 스위치를 이용한 Buck 컨버터의 효율과 DTMOS를 이용한 Buck converter의 효율을 비교하기 위해 Load 전류의 값을 비교시켜 가며 효율을 비교해 보았다.

로드 전류를 최소 0.1mA부터 최대 300mA로 변화를 시켰을 때, 10mA까지는 CMOS의 효율이 더 높지만, 50mA를 넘어서게 되면서 DTMOS의 효율이 더 높아 지는 것을 그림 9를 통해 알 수 있다.

100mA의 출력 전류를 기준으로 하여 결과를 살펴보면 CMOS의 효율이 96.25%인데 비하여 DTMOS의 효율은 97%이다. 만약 CMOS로 97% 정도의 효율을 내려면 CMOS의 사이즈는 약 2배가 되기 때문에 사

이즈가 매우 커지게 된다.

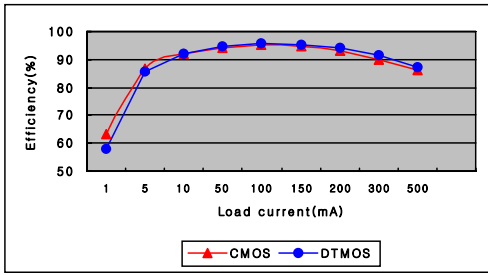


Fig. 10. The efficiency of Buck converter with load current variation

그림 10. DT MOS와 CMOS 스위치를 이용한 Buck 컨버터의 로드 에 따른 효율 변화

2. DC-DC converter 설계

가. PWM(Pulse Width Modulation) 설계
 그림 11은 PWM 제어 회로를 포함하는 DC-DC converter의 전체 블록도를 나타낸다. PWM 제어 회로는 출력 전압과 기준 전압(Vref)를 비교하여 생긴 오차를 오차 증폭기(Error Amp)로 증폭하고, 이 증폭된 전압은 비교기(comparator)에서 톱니파(saw tooth wave)와 비교되어 오차에 상응한 구형파 펄스를 생성하여 DC-DC converter의 스위치를 구동시켜 출력 전압을 안정시킨다.

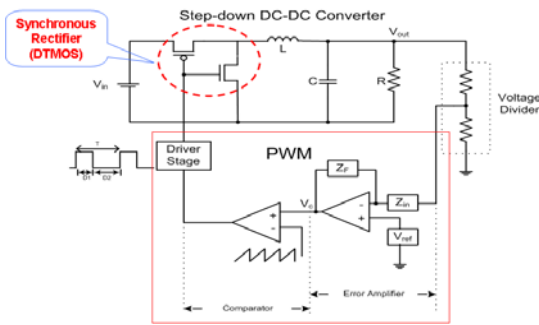


Fig. 11. Whole block diagram of DC-DC converter
 그림 11. DC-DC converter 전체 블록도

(1) 기준전압 발생회로 설계

기준전압 발생회로는 전원전압과 온도의 변화에 무관하게 기준전압을 만들어주는 블록으로 band-gap reference 회로를 이용하여 설계하였다.

기준전압 발생기는 DC-DC converter에서 출력전압의 최소 범위를 결정한다. 따라서 넓은 출력범위를 갖기 위해 기존의 1.2V를 출력하는 기준전압 발생기가 아닌 저전압(555mV) 기준전압 발생기를 설계하였다.

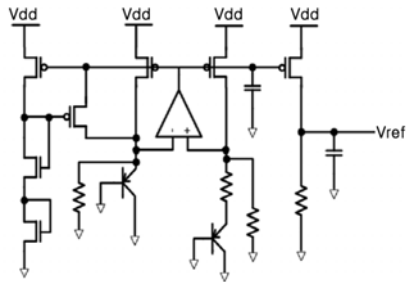


Fig. 12. Low voltage reference generator circuit

그림 12. 저전압 기준전압 발생기 회로도

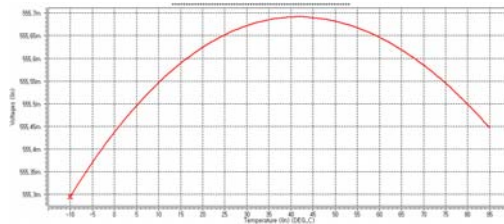


Fig. 13. Reference voltage change with temperature

그림 13. 온도변화에 따른 기준전압 변화

그림 12는 저전압 기준전압 발생기의 회로도이고, 그림 13은 기준전압 발생기의 시뮬레이션 결과이다. 온도변화에 따른 기준전압의 변화는 약 5ppm/C 이다.

(2) 오차 증폭기 설계

오차 증폭기는 DC-DC converter의 출력 전압과 기준 전압 발생회로의 555mV를 비교하여 그 오차만큼을 증폭시키는 역할을 한다. 높은 DC gain을 갖기 위해 folded cascode 방식을 사용하였고, 저항을 구동해야 하므로 출력단을 common source로 구성하였다. 그림 14는 오차 증폭기의 회로도를 나타내고, 그림 15는 오차증폭기의 AC 시뮬레이션 결과이다.

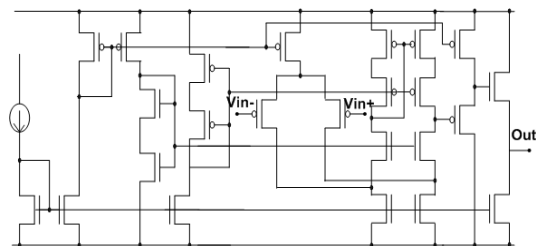


Fig. 14. Error Amplifier circuit

그림 14. 오차증폭기 회로도

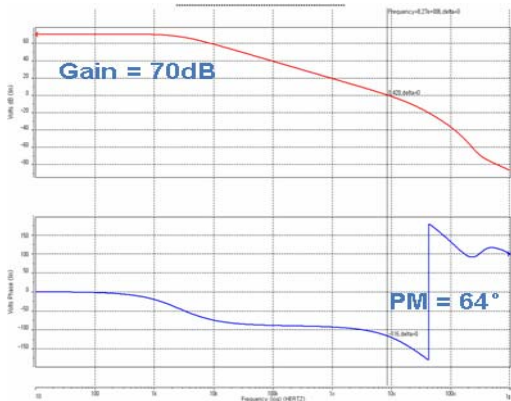


Fig. 15. The AC simulation result of the error amplifier

그림 15. 오차증폭기의 AC 시뮬레이션 결과

(3) 삼각파 발생기

삼각파 발생기는 오차증폭기의 출력과 비교하여 원하는 PW (Pulse Width)를 만들어내는데 쓰인다. 그림 16은 삼각파 발생기의 시뮬레이션 결과이다.

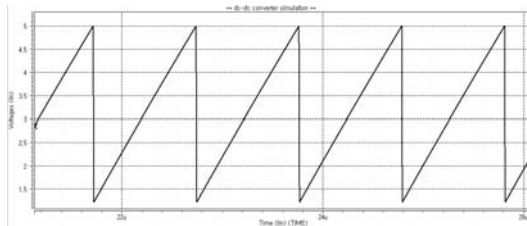


Fig. 16. Simulation result of saw tooth wave generator

그림 16. 삼각파 발생기 시뮬레이션

(4) 비교기

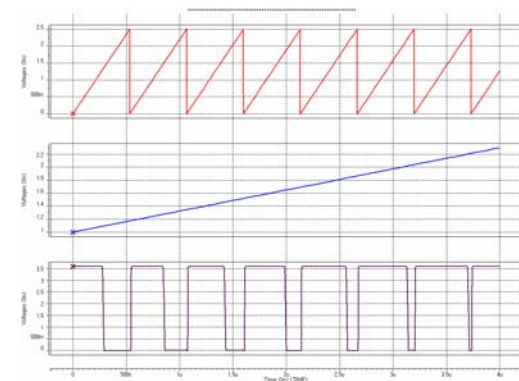


Fig. 17. Simulation result of comparator

그림 17. 비교기 시뮬레이션

비교기는 오차 증폭기의 출력과 삼각파가 비교기에서 비교되어 구형파 펄스를 생성한다. 여기서 삼각파의 주파수가 DC-DC converter의 스위칭 주파수를 결정하고, 비교기는 스위칭 주파수를 커버하는 충분한 대역폭을 가지고 있어야 한다. 본 논문에서는 2단 증폭기를 이용하여 비교기를 간단히 구현하였다. 그림 17은 비교기의 시뮬레이션 결과이다.

나. DC-DC converter 설계

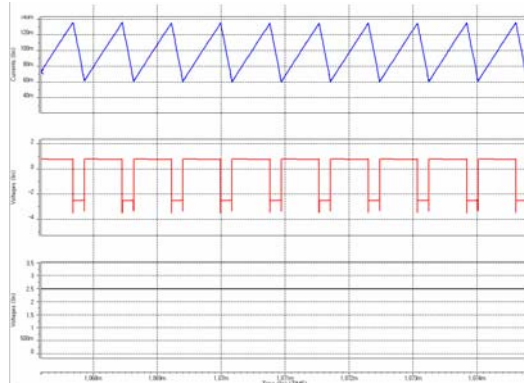


Fig. 18. Simulation result of DC-DC converter

그림 18. DC-DC converter의 시뮬레이션 결과

앞서 설계한 PWM 제어 회로를 바탕으로 그림 11과 같이 Step-down DC-DC converter 를 설계하였다. Buck converter의 입력전압은 3.3V 출력전압은 2.5V 최대 출력전류 100mA, 스위칭 주파수 1.2MHz, 인덕터와 캐패시터의 ESR(Equivalent Series Resistance)를 100mΩ으로 시뮬레이션 했을 시 최대 95%의 효율을 가지고, 리플전압은 12mV를 가진다. DT MOS를 사용하여 시뮬레이션 한 결과, CMOS 스위치를 사용할 때 보다 약 0.5% 정도 효율이 개선되었다.

그림 18은 DC-DC converter의 인덕터 전류, 인덕터 전압, 출력전압을 차례대로 나타낸다.

3. LDO regulator MODE 구현

그림 19를 보는 것과 같이 PWM 방식의 SMPS는 높은 출력전류에서 높은 전력변환 효율을 갖지만 출력전류가 낮아지면 효율이 급격히 떨어진다. 오늘날 휴대용 기기들은 대기모드에서 매우 적은 전류를 소모한다. 대기 전류가 점점 작아지는 추세로 가면서, 대기모드에서 PWM 방식의 SMPS로 전원을 공급하는 것은 매우 비 효율적이다. 반면에 LDO(Low Drop Out) regulator는 로드 변화에 따라 효율이 크게 변하지 않는다. 즉, 매우 낮은 대기 전류에서도 일정 이상의 효율을 보장할 수 있다.

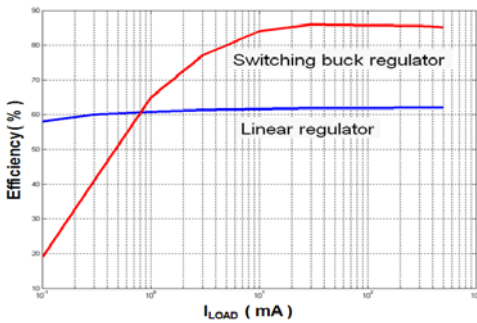


Fig. 19. Efficiency comparison of LDO and SMPS
 그림 19. LDO와 SMPS의 효율 비교

휴대용 단말기의 대기모드에서도 일정한 효율을 보장하기 위해 본 논문에서는 대기모드에서 LDO를 이용하여 전원을 공급하였다.

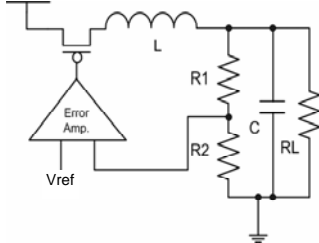


Fig. 20. Block diagram of LDO
 그림 20. LDO의 블록도

그림 20은 LDO의 블록도이다. 다바이더 저항과 로드 캐패시터, 기준전압 발생기는 기존의 Buck converter에 있는 것을 그대로 사용하였고, 오차 증폭기만 하나 추가 하여 Buck 컨버터에서 추가되는 외부 소자 없이 LDO 동작을 구현하였다. LDO 모드 추가에 따른 면적 증가는 4mm²으로서 전체 동작 면적 232mm²에서 적은 면적 증가로 저전류에서 높은 효율을 구현하였다.

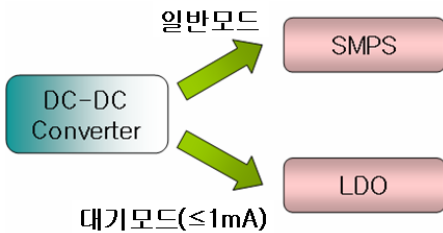


Fig. 21. Operation mode of DC-DC converter
 그림 21. DC-DC converter 동작모드

그림 21처럼 DC-DC converter는 일반모드에서는 SMPS(Buck converter)로 동작하다가 단말기가 대기모드로 되면 두 개의 스위치가 차단되고 LDO가 동작하게 된다. 일

반모드와 대기모드는 외부의 제어에 의해서 동작하도록 설계하였다. 1mA의 로드전류 조건에서 Buck converter는 약 28%의 효율을 갖지만, 본 논문에서 설계한 LDO는 약 60%의 효율을 가짐으로써, 단말기가 대기모드에서도 일정 이상의 효율을 유지하도록 하였다.

4. Layout

그림 22는 DC-DC converter의 Layout이다. 효율 비교를 위하여 왼쪽 회로는 본 논문에서 제안한 DTMOS 스위치를 내장한 DC-DC converter를, 그리고 오른쪽 회로는 기존의 CMOS 스위치를 내장한 DC-DC converter를 Layout 하였다.

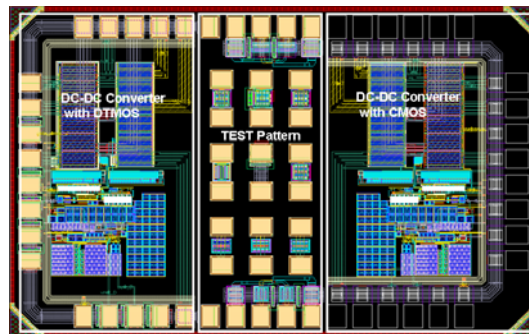


Fig. 22. Layout of DC-DC converter
 그림 22. DC-DC 컨버터 배치도

III 결론

본 논문에서는 DTMOS를 이용하여 낮은 온 저항을 갖는 스위칭 소자 내장형 DC-DC converter를 설계하였다.

모바일 기기에 응용되는 DC-DC converter의 경우 소형화와 장시간 사용을 위한 고 효율화가 큰 이슈가 되는데, 본 논문에서는 기존의 CMOS 스위치 대신 DTMOS 스위치를 사용하여 동일면적대비 고효율을 구현하였다. 입력 전압 3.3V, 출력 전압 2.5V, 출력 전류 100mA, 인덕터와 캐패시터의 ESR(Equivalent Series Resistance)를 100mΩ으로 시뮬레이션 했을 시 최대 95%의 효율이 나왔으며, 1.2MHz의 높은 스위칭 주파수를 사용하여 DC-DC converter에서 가장 큰 면적을 차지하는 인덕터의 크기를 줄일 수 있게 하였고, LDO regulator를 사용하여 출력전류 1mA 이하의 대기모드에서도 60% 이상의 효율을 보장하였다.

마지막으로 TSMC 130nm 공정을 사용하여 DC-DC converter를 설계하고 Layout 하였다.

참고문헌

- [1] 김희준, "스위치 모드 파워 서플라이" 성인당, 3p-61p
- [2] Baker, "CMOS Circuit Design and layout", Wiley, 900p
- [3] Chris Toumazou, "Trade-Offs in analog Circuit Design" Kluwer Academic Publishers, 139p-2004p
- [4] Fariborz Assaderaghi, "A Dynamic Threshold Voltage MOSFET for Ultra Low Voltage Operation", IEEE, 33.1.1p
- [5] K. Mark Smith, Jr., "A Comparison of Voltage-Mode Soft-Switching Methods for PWM Converters" IEEE Trans-Power Electronic, Vol. 12, No. 2 (1997)
- [6] Atsuo Fukui,, "Design Consideration for a 2 MHz Synchronous Buck Converter in CMOS", Proceedings of 2004 International Symposium on Power Semiconductor Devices & ICs, WSI-7
- [7] A. Djemouai,, "New CMOS Integrated Pulse Width Modulator for Voltage Conversion Applications", IEEE 0-7803-6542-9(2000)
- [8] Lu Chen,, "Design and Test of a Synchronous PWM Switching Regulator System", IEEE 0-7803-6253-5(2000)

저 자 소 개

하 가 산 (학생회원)



2008년 : 서경대학교 전자공학과 졸업 (공학사)
 2008년 3월~현재 : 서경대학교 대학원 전자컴퓨터공학과 (공학석사)
 <주관심분야> DC-DC converter, Power Management IC, etc.

구 용 서 (정회원)

전기 전자 학회 논문지 (Journal of IKEEE) Vol. 8, No. 1 참조

손 정 만 (학생회원)



2007년 : 서경대학교 전자공학과 졸업 (공학사)
 2007년 ~ 현재: 서경대학교 석사 과정
 <주관심분야> Power Device, ESD Protection,

권 중 기 (정회원)

전기 전자 학회 논문지 (Journal of IKEEE) Vol. 10, No.2 참조

정 준 모 (정회원)



1985년 한양대학교 전자공학과 학사졸업
 1987년 한양대학교 전자공학과 석사졸업
 1992년 한양대학교 전자공학과 박사졸업

1991년~1995년 부천대학 전자계산기과 조교수
 1995년~현재 서경대학교 전자공학과 부교수
 <주관심분야> 반도체회로 설계 및 테스트, 마이크로프로세서