

논문 2008-45SD-12-8

# PC향 SSD의 성능 분석을 위한 트랜잭션 수준 시뮬레이터

( A Transaction Level Simulator for Performance Analysis of Solid-State Disk (SSD) in PC Environment )

김 동\*, 방 관 후\*, 하 승 환\*, 정 성 우\*\*\*, 정 의 영\*\*

( Dong Kim, Kwanhu Bang, Seung-Hwan Ha, Sung Woo Chung, and Eui-Young Chung )

## 요 약

본 연구는 전송 수준 모델링 기법을 이용하여 SSD가 장착된 PC 시스템의 성능 분석 및 구조 탐색을 위한 시스템 수준 환경 구축을 제안한다. 구축된 시뮬레이션 환경은 SSD가 장착된 PC 시스템의 관점에서 다양한 구조적 변화에 대한 정량적인 성능 분석을 제공할 뿐만 아니라, 기존의 레지스터 전송 수준 모델링 기법보다 매우 빠른 시뮬레이션 속도를 제공한다. 구축된 시뮬레이터의 유용성을 보이기 위하여, PC 수준의 구조 탐색과 SSD 수준의 구조 탐색을 수행하였다. 특히 SSD 수준의 구조 탐색에서는 캐시 버퍼에서 저장된 데이터의 캐시 적중률에 따른 성능 변화와 NAND 플래시 메모리의 성능 변화가 전체 시스템 성능에 미치는 영향을 분석하였다. 이러한 실험 결과는 제안된 시뮬레이터가 PC 환경하에서 SSD 및 PC 구조의 성능 분석 및 구조 개선에 효율적으로 활용될 수 있음을 보여주었다.

## Abstract

In this paper, we propose a system-level simulator for the performance analysis of a Solid-State Disk (SSD) in PC environment by using TLM (Transaction Level Modeling) method. Our method provides quantitative analysis for a variety of architectural choices of PC system as well as SSD. Also, it drastically reduces the analysis time compared to the conventional RTL (Register Transfer Level) modeling method. To show the effectiveness of the proposed simulator, we performed several explorations of PC architecture as well as SSD. More specifically, we measured the performance impact of the hit rate of a cache buffer which temporarily stores the data from PC. Also, we analyzed the performance variation of SSD for various NAND Flash memories which show different response time with our simulator. These experimental results show that our simulator can be effectively utilized for the architecture exploration of SSD as well as PC.

**Keywords :** SSD (Solid-State Disk), NAND Flash, TLM (Transaction Level Modeling), Architecture exploration

## I. 서 론

최근 휴대용 내장형 시스템 및 PC 시스템에 대한 요구의 증가에 따라 NAND 플래시 메모리를 이용한 SSD

(Solid-State Disk)는 기존 HDD (Hard Disk Drive)의 대안으로 떠오르고 있다. 더욱이 NAND 플래시 메모리는 황의 법칙에 따라 매년 그 집적도가 2배씩 증가하며 점차 가격 경쟁력까지도 확보하고 있는 중이므로, 향후 SSD의 보급은 점차 증가할 것으로 기대된다. SSD란 플래터, 헤드 그리고 스핀들 모터 등으로 구성되는 기계적 성향의 HDD 대신 비휘발성 메모리인 NAND 플래시 메모리로 구성하여 내구성, 전력소모, 속도, 무게 등의 측면에서 HDD 대비 우수한 특징을 지닌 차세대 대용량 저장장치를 말하며, 이와 관련된 업체들은 SSD의 연구 개발에 박차를 가하고 있다. 그러나 현재 채용되고 있는 대부분의 SSD는 기존의 HDD를 단순히 대

\* 학생회원, \*\* 평생회원, 연세대학교 전기전자공학부 (School of Electrical and Electronic Engineering, Yonsei University)

\*\*\* 정희원, 고려대학교 컴퓨터통신공학부 (Division of Computer and Communication Engineering, Korea University)

※ 이 논문은 2007년도 정부재원(교육인적자원부 학술 연구조성사업비)으로 한국학술진흥재단의 지원을 받아 연구되었음 (KRF-2007- 313-D00578).

접수일자: 2008년9월1일, 수정완료일: 2008년12월1일

체하는 방식으로 설계되고 있고, 성능 역시 기존의 HDD 속도를 크게 상회하지 못하는 등 전반적으로 만족스럽지 못한 수준에 머무르고 있다.

SSD 및 NAND 플래시 메모리 기반 저장장치의 성능을 향상시키기 위해 많은 관련 연구가 있어왔는데 스트라이핑, 인터리빙, 파이프라이닝과 같은 기법들을 이용한 다중 채널 (channel) 구조의 SSD가 제안되었고<sup>[1]</sup>, 호스트 인터페이스와 NAND 플래시 인터페이스 사이에 전용 데이터 버스를 두어 내장 프로세서의 중재 없이 빠른 데이터 전송이 가능하도록 한 구조도 제안되었다<sup>[2]</sup>. 또한 다중 채널과 웨이 (way)를 이용하고 SRAM을 캐시 버퍼로 사용함으로써 SSD의 성능을 향상시키는 방법이 제안되기도 하였다<sup>[3]</sup>. 지금까지 언급한 관련 연구들은 SSD의 내부 구조 자체에만 초점이 맞춰졌으며 또한 하드웨어적인 구현을 통한 성능을 보여주었다. 그러나 이러한 접근 방식은 효율적이지 못할 수 있으며, 아래와 같은 두 가지 관점에서 접근해야 한다. 첫째, SSD 내부 구조 뿐 만 아니라 SSD가 장착되는 시스템 전체의 관점에서 성능 분석이 가능해야 하며, 둘째, 개발된 시스템의 성능 분석 및 예측이 시간과 비용을 최소화 하는 방향으로 진행되어야 한다는 것이다.

이에 본 연구에서는 SSD 설계 플로우 변화에 대한 중요성을 인식하여, 고성능 설계 구조 개발 및 성능 예측을 효율적으로 하기 위한 시스템 수준에서의 모델링 및 그 환경을 구축하였다. 또한 구축된 환경을 이용하여 PC형 SSD의 다양한 구조에 따른 성능 변화를 관찰해 봄으로써 레지스터 전송 수준(RTL)의 모델링 수고를 덜어주며, 동시에 빠른 시간 안에 구조 변화에 대한 성능 예측이 가능하도록 하였다.

II. 배경 지식

1. PC 시스템 구조

80x86 기반의 PC 시스템은 그림 1에서 보이는 것과 같이 크게 North bridge와 South bridge로 나뉜다. North bridge에는 일반적으로 CPU, 시스템 메인 메모리 그리고 비디오 어댑터와 같은 고속의 장치들이 연결되며, South bridge에는 일반적으로 HDD 또는 SSD, 프린터, USB, LAN과 같은 비교적 저속의 장치들이 연결된다. 또한 양 bridge간의 연결을 위한 DMI (Direct Media Interface)가 존재하여 둘 사이의 통신이 가능하도록 하며, 각 bridge의 내부는 PCI 또는 PCI-express 버스 프로토콜을 사용한다. CPU는 North bridge를 통

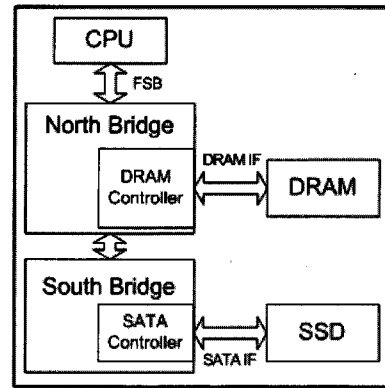


그림 1. SSD가 장착된 PC 시스템 구조  
Fig. 1. PC architecture with SSD.

해 South bridge에 접근하여 HDD 또는 SSD와 메인 메모리간의 데이터를 주고받을 수 있도록 하는데, 일반적으로 데이터 전송의 쓰기 모드에서는 요청된 메인 메모리의 데이터가 South bridge의 DMA 컨트롤러를 거쳐 SSD에 완전하게 쓰인 다음 이상이 없다는 신호를 받은 후 그 다음 요청된 데이터가 SSD에 쓰이는 연속적인 방식으로 전송되며, 읽기 모드에서는 다음 요청되는 데이터를 SSD에서 South bridge의 DMA컨트롤러로 읽어 들이는 동시에 첫 번째 요청된 데이터를 South bridge에서 메인 메모리로 전송하는 일종의 파이프라이닝 방식 전송된다. 이러한 전송 방식 때문에 일반적으로 쓰기 모드에 비해 읽기 모드에서 더 높은 데이터 전송 속도를 갖게 된다.

2. SSD 내부 구조

SSD의 내부 구조는 제조사마다 상이하지만, 일반적인 내부 구조는 그림 2와 같다. SSD 내부의 프로세서는 시스템 전체의 제어를 수행하는 역할과 SRAM과 더불어 NAND 플래시 메모리의 수명을 늘리기 위해 호스

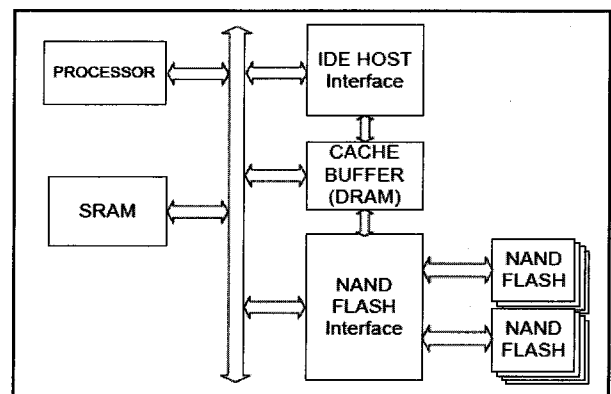


그림 2. SSD의 블록다이어그램  
Fig. 2. Block diagram of SSD.

트로부터 전달되는 논리적 주소를 NAND 플래시 메모리의 물리적 주소로 변화시키는 wear-leveling을 위한 플래시 변환 계층(FTL)을 구동시키는 역할을 한다. 호스트 인터페이스는 PATA 또는 SATA 인터페이스 프로토콜을 이용하여 호스트(PC)와 데이터를 주고 받으며, 휘발성 메모리로 구성된 캐시 버퍼는 SSD의 빠른 접근을 돕는다. 즉 캐시 버퍼에 저장된 데이터가 캐시 적응이 일어나거나, 또는 캐시 실패가 일어나는 경우에 따라 SSD의 데이터 접근 시간은 현격하게 차이가 날 수 있다. 또한 NAND 플래시 인터페이스는 넓은 전송 대역폭을 갖기 위해 다수의 채널과 웨이를 지원할 수 있다.

### III. 시스템 모델링

#### 1. 모델링의 범위 및 정확도

SSD가 장착된 PC 시스템의 모델링을 위해 본 연구에서는 전송 수준 방식의 모델링 기법을 이용하였으며, 이러한 방식에 적합한 언어인 SystemC<sup>[4]</sup>를 이용하여 모델링이 수행되었다. 매우 복잡한 구조를 가지고 있는 PC 시스템과 SSD의 모델링을 효율적으로 하기 위해 기본적으로 아래와 같은 모델링 전략을 토대로 수행되었다. 첫째, 모델링의 범위는 관심이 있는 부분만으로 제한되며, 그렇지 않은 컴포넌트나 기능은 생략하도록 하는 것이다. 둘째, 타이밍 정확도 측면에서는 요구되는 정확도 수준에 따라 3가지로 분류하여 모델링을 수행하는 것이다. 즉 높은 수준의 정확도가 요구되는 메모리 제어기들은 그들의 타이밍 정확도를 최대한 만족시키도록 모델링 하며, 데이터 전송과 관련된 부분들은 요구되는 처리량(throughput)을 만족시키는 수준에서 모델링을 수행하는 것이다. 또한 제어 신호와 같은 동작들은 지연이 없는 수준에서 모델링을 한다. 표 1은 각 컴포넌트에 따라 모델링된 타이밍 정확도 수준으로 분류해놓은 것이다.

#### 2. PC 시스템 모델링

앞 절의 모델링 범위에서 언급한 바와 같이 North bridge의 경우에는 이를 구성하는 여러 컴포넌트들 중 SSD의 성능 측정을 위해 필요한 부분만을 모델링하였다. 즉 메인 메모리 (DRAM) 제어기, 메인 메모리 (DRAM), DMI 그리고 PCI-express 버스와 같이 SSD의 접근에 관여하는 컴포넌트들이 그것이다. 반면 SSD의 접근에 영향을 미치지 못하는 그래픽 장치와 관련된

표 1. 타이밍 정확도에 따라 분류된 컴포넌트 별 모델링

Table 1. Modeling classification in accordance with timing accuracy.

타이밍 정확도 수준	컴포넌트
높은 정확도 수준	주 메모리 제어기, NAND 플래시 메모리 제어기
처리량 만족 수준	DMI, PCI-express, SATA 호스트 인터페이스, 메모리 디바이스
지연 없는 수준	제어 신호

부분의 구체적인 모델링은 생략되었다. 타이밍 정확도 관점에서 볼 때 데이터 전송에 직접적으로 관련이 있는 메인 메모리 제어기나 내부의 FIFO는 높은 수준의 타이밍 정확도를 만족시키도록 모델링 되었으며, DMI 또는 PCI-express<sup>[9]</sup>와 같은 나머지 컴포넌트들은 그들의 요구되는 처리량을 만족시키도록 모델링 되었다.

South bridge의 경우도 North bridge의 모델링 전략과 마찬가지로 SSD의 성능 측정과 관련된 부분만을 추출하여 모델링을 수행하였다. 이를 위해 SSD의 접근에 관여하는 SATA 제어기와 DMI 그리고 PCI-express에 대하여 모델링이 되었으며, SSD 접근과 직접적인 관련이 없는 나머지 I/O 장치들 역시 그 연결에 따른 효과만을 고려하고 구체적인 모델링은 생략되었다. 또한 각각의 컴포넌트들은 그들의 처리량을 만족시키는 수준에서의 타이밍 정확도로 모델링 되었다.

본 PC 시스템의 모델링을 위해 North bridge로는 인텔의 965 칩셋(MCH)<sup>[5]</sup>과 South bridge로는 인텔의 ICH8 칩셋<sup>[6]</sup>스펙들이 참고 되었다.

#### 3. SSD 모델링

SSD 모델링은 삼성전자의 SSD 스펙<sup>[7]</sup>을 참고 하였으며, PC 시스템과 연결되는 호스트 인터페이스 프로토콜은 SATA2(300MB/s)<sup>[8]</sup>로 채택하여 호스트와 SSD 간 transport layer 및 application layer 수준에서 전송이 가능하도록 하였으며, physical layer와 link layer는 단순히 그 지연 정도만을 고려하였다. 호스트와 SSD간의 전송 방식은 현재 거의 사용되지 않는 PIO (Programmed Input Output) 모드를 제외하고 널리 사용되고 있는 DMA (Direct Memory Access) 전송만을 지원 가능하도록 하였다. 전송 되는 데이터는 에러가 없는 것으로 가정하여 CRC 확인이나 ECC 수행을 위한 모델링 역시 생략되었으며, SSD의 제어와 관련된 모듈들은 지연이 없는 모델로 구현이 되었다. 또한

표 2. DMA 전송 측정을 위한 구간 별 설명

Table 2. Operation description for DMA transfer steps.

구 간	설 명
DMA command	CPU에서 DMA 전송 명령을 내림
PRD fetching	DMA 전송을 위한 물리적 메모리 영역의 정보를 읽어들이임
SSD internal	SSD 내부 전송
SSD interface	SSD 인터페이스 전송
Memory access	SATA 컨트롤러 또는 메모리 컨트롤러에서(으로부터) 메인 메모리로 전송

FTL의 경우 모든 NAND 플래시 메모리의 페이지는 이미 삭제(erase)가 된 상태로 가정한 상태에서 그 수행 시간이 어떤 고정된 상수값으로 파라미터화 되어 NAND 플래시 메모리의 쓰기 동작 시 그 수행 시간만큼의 지연이 반영되도록 하였다. 특히 NAND 플래시 인터페이스 부분의 경우, 채널 수, 웨이 수, NAND 플래시 메모리의 종류(SLC/MLC) 및 그 용량을 각각 파라미터화 하여 내부 구조 변경에 대한 성능의 변화를 쉽게 알아 볼 수 있도록 하였다.

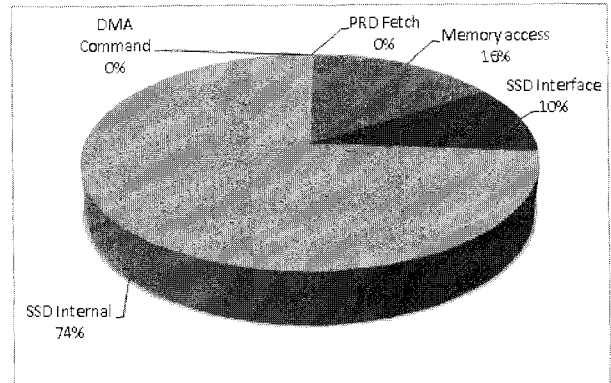
#### 4. 모델링 평가

구축된 시스템 모델링 환경을 아래와 같이 시뮬레이션 속도와 타이밍 정확도 관점에서 평가하였다.

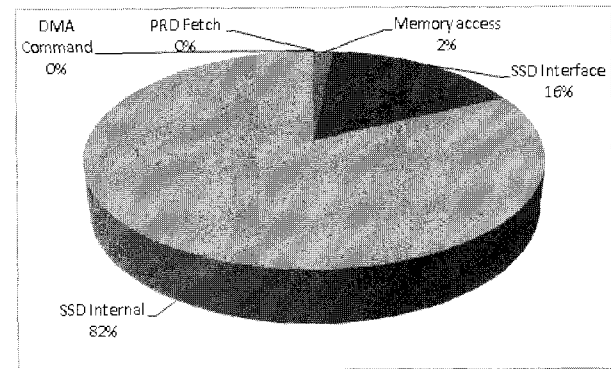
- 시뮬레이션 속도는 100K CPS로 측정되었다. 이러한 속도는 일반적인 RTL 시뮬레이션에 비해 수백 배 이상 빠른 속도이며 TLM 시뮬레이션 방식의 특징이기도 하다.
- 일반적으로 타이밍 정확도는 RTL 모델링 시뮬레이션과의 비교를 통해서 수행되어지나, PC 시스템과 SSD의 제조사마다 서로 다른 성능을 제공하고 또한 상세한 내부 타이밍 정보가 공개되지 않기 때문에 그들의 스펙에서 요구하는 최대의 처리량(MB/s)를 기준으로 하여 타이밍 정확도를 측정하였다. 처리되는 데이터의 크기에 따라 정확도는 조금씩 달라지나 평균적으로 약 99%의 정확도를 만족시켰다.

#### IV. 성능 분석

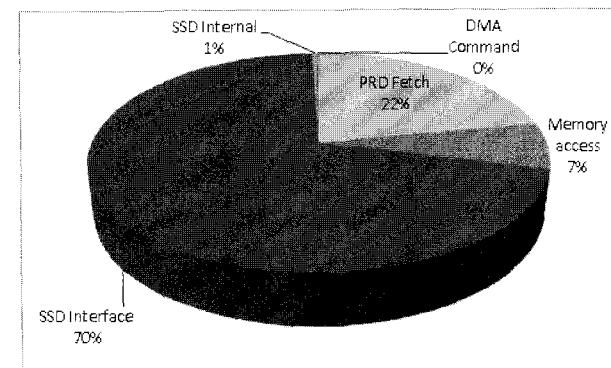
구축된 시뮬레이션 환경을 이용하여 메인 메모리와 SSD간의 데이터 전송 시간을 측정 하였다. 그림 3은



(a)



(b)



(c)

그림 3. 기본 시스템에서의 64KB DMA 전송 시 성능 분석 (a) 쓰기, (b) 캐시 버퍼 읽기 실패, (c) 캐시 버퍼 읽기 적중

Fig. 3. Performance analysis of 64KB DMA transfer in baseline system (a) write, (b) cache buffer read miss, (c) cache buffer read hit.

64KB DMA 전송에 대한 실험 결과로 각각 SSD로의 쓰기, 캐시 버퍼 읽기 실패, 캐시 버퍼 읽기 적중에 대한 데이터 전송 시간 및 각 구간 별 차지하는 전송 시간의 비율을 보여준다. 특히 DMA 읽기 전송 측정에서는 극단적인 성능 정도를 보여주기 위해 100% 캐시버퍼 적중과 실패인 경우를 측정하였으며, 데이터 전송 과정의 각 단계를 보이기 위해 총 5개의 전송 구간을

표 3. 64KB DMA 전송 시간  
Table 3. 64KB DMA transfer time.

구조	쓰기	읽기 실패	읽기 적중
기존 시스템	2171 $\mu$ s	1330 $\mu$ s	309 $\mu$ s
제안된시스템	1446 $\mu$ s	1144 $\mu$ s	35 $\mu$ s

두었으며 각각의 전송구간은 표 2와 같다. 쓰기 모드(그림 3(a))와 캐시 버퍼 읽기 실패 모드(그림 3(b))에서는 반드시 NAND 플래시 메모리를 접근해야하기 때문에 SSD의 내부에서 차지하는 데이터 전송 시간의 비율이 각각 74%, 82%로 64KB DMA 전송 시간의 대부분을 차지하여 전체 전송 시간을 지체시키는 주요 원인을 잘 보여준다. 그러나 캐시 버퍼 읽기 적중의 경우(그림 3(c)) 전체 전송 시간 중 SSD 내부에서 차지하는 데이터 전송 시간의 비율은 약 1%로 낸드 플래시 메모리까지의 접근 없이 캐시 버퍼를 통해서 빠른 속도로 읽기가 가능한 것을 볼 수 있다. 단 읽기 모드의 경우 앞서 설명한 것처럼 파이프라이닝 방식으로 전송이 진행되기 때문에 데이터의 메모리 전송 시간이 SSD 내부 전송 중에 일어나 감춰지는 효과를 가져 오게 되어, SSD 내부에서 차지하는 비율이 쓰기 모드에 비해 훨씬 높은 것처럼 보여 진다.

### V. 구조 탐색

#### 1. PC 시스템 수준 구조 탐색

기존의 SSD는 HDD와의 호환성을 위해 PATA 또는 SATA를 인터페이스 프로토콜로 사용하게 되며 이는 South bridge에서 운용되어 진다. 그러나 빠른 동작을 특징으로 하는 SSD와 추후 NAND 플래시 메모리의 성능 향상을 고려해 본다면 현재 PATA(SATA)가 제공하는 최대 전송대역폭 133MB/s(300MB/s)으로는 요구되는 처리량을 만족시키지 못하는 상황이 발생할 수 있다. 게다가 North bridge를 거쳐 South bridge로 데이터 전송이 이루어지는 기존의 구조는 South bridge라는 데이터 전송 통로를 하나 더 거치면서 지연이나 병목 현상 등 시스템의 전반적인 성능 저하를 야기하며 이러한 구조는 매우 비효율적일 수 있다. 따라서 기존의 SSD가 채택하고 있는 PATA(SATA) 인터페이스 방식 대신 DRAM 인터페이스 방식을 채택하여 North bridge에 연결함으로써 넓은 인터페이스 전송대역폭과 변경된 데이터 전송 구조로 인한 PC 시스템 전체 관점

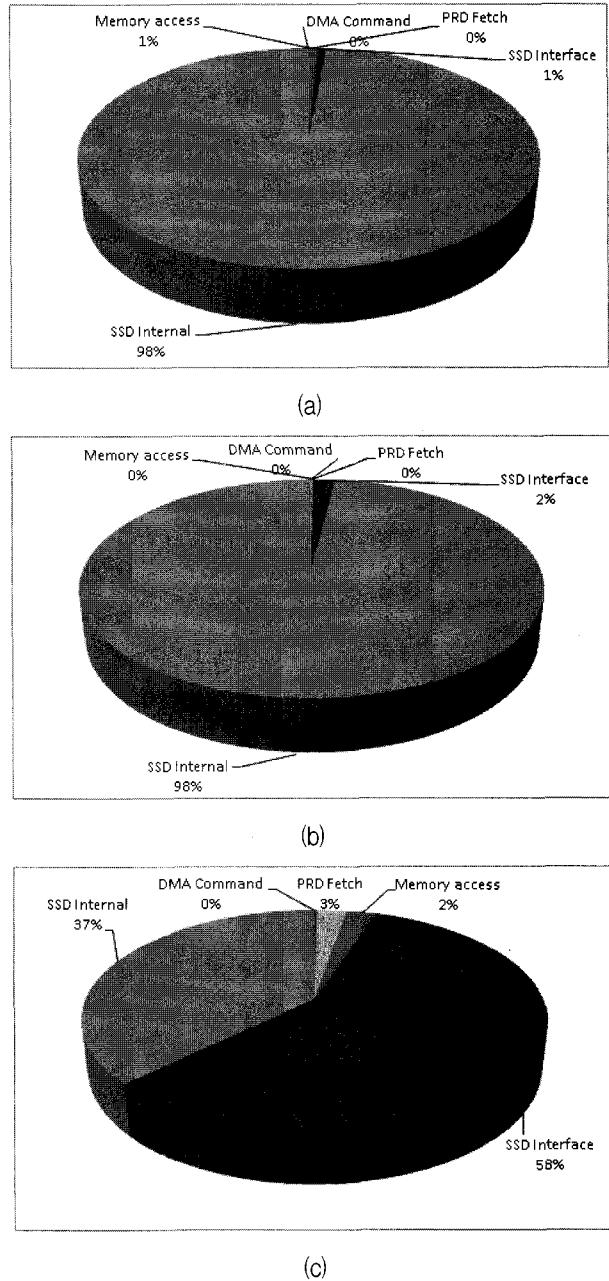


그림 4. 제안된 시스템에서의 64KB DMA 전송 (a) 쓰기, (b) 캐시 버퍼 읽기 실패, (c) 캐시 버퍼 읽기 적중

Fig. 4. 64KB DMA transfer in proposed system. (a) write, (b) cache buffer read miss, (c) cache buffer read hit

에서의 성능 향상을 기대할 수 있다. 이에 구축된 시스템 수준 환경을 이용하여 South bridge에 SSD가 연결된 기존의 PC 시스템 구조와 North bridge에 SSD가 장착된 PC 시스템 구조를 갖추고 같은 조건하에서 이들 사이에 따른 성능을 비교하였다. 쓰기 모드의 경우 제안된 구조에서는 기존 구조 대비 약 50%의 성능 향상을 보여주었으며(표 3), 특히 개선된 PC 시스템 구조

로 인해 SSD 내부 이외에서의 전송 시간의 비율은 단지 2% 만을 차지한다(그림 4(a)). 캐시 버퍼 읽기 실패의 경우 제안된 구조에서는 약 16% 정도의 전송 속도 향상을 보여주었으며(표 3), SSD 내부 이외에서 차지하는 전송 시간의 비율은 쓰기 모드와 마찬가지로 동일하다(그림 4(b)). 또한 캐시 버퍼 읽기 적중의 경우에는 기존 구조 대비 약 870%의 상당한 전송 속도 향상을 보여주었으며(표 3), SSD 인터페이스 구간에서 가장 높은 58%의 데이터 전송 시간 점유율을 보여주었다(그림 4(c)). 특히 캐시 버퍼 읽기 실패에 비해 쓰기 모드에서 더욱 개선된 결과를 보여주는데, 그 이유는 앞서 설명했던 PC 시스템에서의 쓰기 방식이 연속적인 방식으로 이루어지기 때문이다. 즉 South bridge 구간을 제거함으로써 매우 큰 전송속도의 개선 효과를 볼 수 있다. 반면에 캐시 읽기 모드에서는 파이프라이닝 방식으로 전송이 이루어지기 때문에 SSD 내부의 전송 시간이 데이터가 메인 메모리로 전송되는 시간에 감춰져 South bridge의 제거로 인한 개선 폭은 크지가 않다.

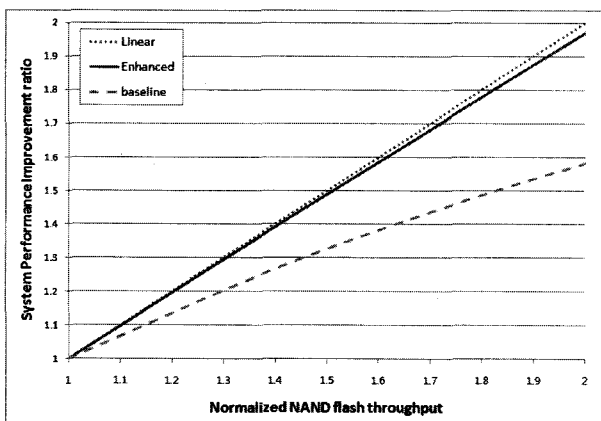
## 2. NAND 플래시 성능 변화가 시스템 성능에 미치는 영향

그림 5는 SSD에 장착되는 NAND 플래시 메모리의 개선(처리량 증가)에 따라 PC 시스템 전체의 관점에서는 어느 정도의 개선이 이루어지는지를 실험한 결과이다. 실험은 16KB DMA 쓰기/읽기를 수행하였으며, 6MB/s의 처리량을 갖는 NAND 플래시 메모리를 기준으로 정규화하여 점차적으로 그 처리량을 증가시켰다. 기존의 구조에서는 SSD의 성능 증가가 PC 시스템 전

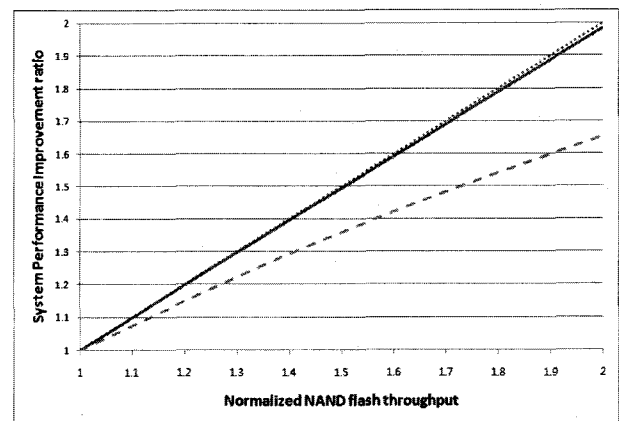
체의 성능향상 정도에 점차적으로 기여를 하지 못하나, 제안된 구조의 경우 거의 선형적으로 PC 시스템의 성능 향상을 보여주고 있다. 그 이유는 NAND 플래시 메모리의 성능 향상은 곧 SSD 내부의 성능 향상을 의미하며, 이러한 구조는 그림 3 또는 4에서 볼 수 있듯이, SSD의 내부가 DMA 데이터 전송 시간의 대부분을 차지하는 개선된 구조에서 그 효과를 볼 수 있기 때문이다. 반면 기존의 구조에서는 NAND 플래시 메모리의 성능이 향상된다고 하더라도 South bridge와 인터페이스 전송 구간에서의 오버헤드가 발생하기 때문에 PC 시스템의 성능 향상에 점진적인 효과를 보기 어렵다.

## 3. 메인 메모리 성능 변화가 시스템 성능에 미치는 영향

그림 6은 제안된 PC 구조 환경 하에서 메인 메모리의 개선(동작 클럭 증가)에 따라 PC 시스템 전체의 관점에서는 어느 정도의 개선이 이루어지는지를 실험한 결과이다. 실험은 위와 마찬가지로 16KB DMA 쓰기/캐시 읽기 실패를 수행하였으며, 400MHz 클럭에서 동작하는 DRAM 인터페이스를 기준으로 정규화하여 점차적으로 클럭을 증가시켰다. 쓰거나 캐시 버퍼 읽기 실패의 경우 메인 메모리의 개선에 따른 시스템 성능은 거의 개선 사항이 없으며, 점차적으로 포화 상태가 됨을 확인할 수 있는데 이는 SSD의 내부가 DMA 전송의 대부분을 차지하는데 기인한다. 그러나 캐시버퍼 읽기 적중의 경우는 SSD의 캐시 버퍼가 DRAM 인터페이스의 속도로 동작하기 때문에 메인 메모리의 개선에 따라 PC 시스템 전체의 성능도 거의 선형적으로 증가함을 볼 수 있다.



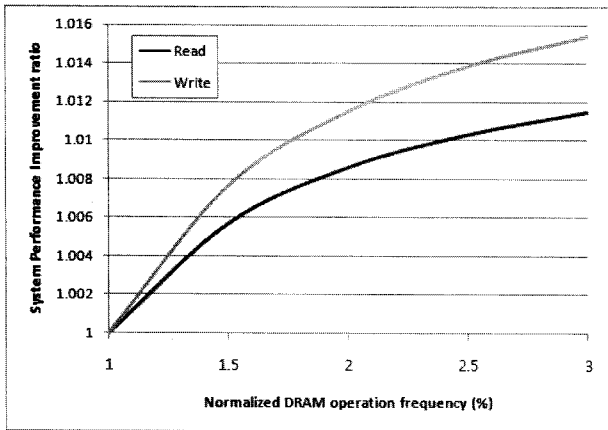
(a)



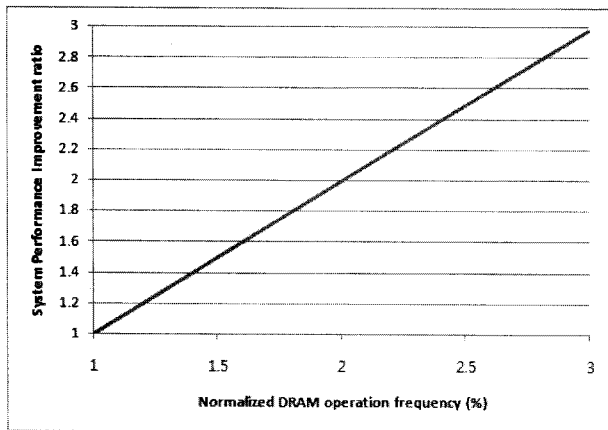
(b)

그림 5. NAND 플래시 개선에 따른 시스템 성능 향상 정도 (a) 쓰기, (b) 캐시버퍼 읽기 실패

Fig. 5. System performance improvement following NAND Flash improvement (a) write, (b) cache buffer read miss.



(a)



(b)

그림 6. 제안된 구조 하에서 메인 메모리 개선에 따른 시스템 성능 향상 정도 (a) 쓰기/캐시버퍼 읽기 실패 (b) 캐시버퍼 읽기 적중

Fig. 6. System performance improvement following main memory improvement under the proposed architecture (a) write/cache buffer read miss, (b) cache buffer read hit.

## VI. 결 론

본 연구에서는 PC형 SSD의 시스템 수준 환경을 구축하여 SSD 그 자체 뿐 만 아니라 PC 시스템의 다양한 구조들의 변화가 시스템 전체의 성능에 어떠한 영향을 미치는지에 관한 탐색이 가능하도록 하였다. 특히 사례연구로써 진행한 North bridge에 연결된 SSD와 그에 따른 변경된 PC 시스템 구조에서의 탐색을 통해 여러 가지 흥미로운 결과들을 도출해 내었으며, 이를 통해 시스템의 개선에 따른 성능 향상 정도를 쉽게 예측할 수가 있었다.

구축된 시스템 수준 환경은 PC형 SSD의 다양한 구조 변화에 대해 비교적 빠른 시간 안에 그 성능을 예측

할 수 있도록 도와줌으로서 개발에 들이는 시간과 노력을 덜어주며 지속적인 성능 향상 인프라 환경으로서의 역할을 수행해 나갈 수 있다.

## 참 고 문 헌

- [1] J.-U. Kang, J.-S. Kim, C. Park, H. Park, J. Lee, "A multi-channel architecture for high-performance NAND Flash-based storage system", *Journal of Systems Architecture*, Vol. 53, pp. 644-658, September 2007
- [2] 배영현, "고성능 플래시 메모리 SSD (Solid State Disk) 설계 기술". *정보과학회지* 제25권 제6호, pp. 18-28, 2007
- [3] C. Park, P. Talawar, D. Won, M. Jung, J. Im, S. Kim, Y. Choi, "A High Performance Controller for NAND Flash-based Solid State Disk", *IEEE NVSMW 2006*, pp. 17 - 20, 21st 2006
- [4] IEEE Standard SystemC Language Reference Manual: <http://www.systemc.org>.
- [5] Intel corporation: "Intel 965 Express Chipset Family", datasheet, July 2006
- [6] Intel corporation: "Intel I/O Controller Hub 8 (ICH8) Family" data sheet, July 2006
- [7] Samsung Electronics Company: "Nand Flash-based SSD preliminary specification" datasheet, July 2007
- [8] SATA Specification (Revision 1.0a): <http://www.seralata.org>
- [9] PCI-express Base Specification (Revision 1.0a): <http://www.pcisig.com>

저 자 소 개



**김 동**(학생회원)  
 2007년 연세대학교 전기전자 공학부 학사 졸업.  
 2007년~현재 연세대학교 전기 전자공학과 석사과정.  
 <주관심분야 : 내장형 시스템, 컴퓨터구조, 반도체 스토리지>



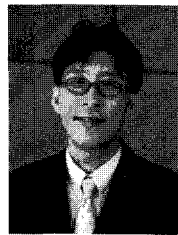
**방 관 후**(학생회원)  
 2006년 연세대학교 기계·전자 공학부 학사 졸업.  
 2008년 연세대학교 전기전자 공학과 석사 졸업.  
 2008년~현재 연세대학교 전기 전자공학과 박사과정.  
 <주관심분야 : 내장형 시스템, 저전력 시스템, 생물정보 시스템>



**하 승 환**(학생회원)  
 2008년 연세대학교 전기전자 공학부 학사 졸업.  
 2008년~현재 연세대학교 전기 전자공학과 석사과정.  
 <주관심분야 : 내장형 시스템, 컴퓨터구조, 반도체 스토리지>



**정 성 우**(정회원)  
 1996년 서울대학교 컴퓨터공학과 학사 졸업.  
 1998년 서울대학교 컴퓨터공학과 석사 졸업.  
 2003년 서울대학교 전기컴퓨터 공학부 박사 졸업.  
 2003년~2005년 삼성전자 책임연구원  
 2005년~2006년 University of Virginia, Research Scientist  
 2006년~현재 고려대학교 컴퓨터통신공학부 조교수.  
 <주관심분야 : 컴퓨터 구조, 마이크로프로세서, System on Chip>



**정 의 영**(평생회원)  
 1988년 고려대학교 전자공학과 학사 졸업.  
 1990년 고려대학교 전자공학과 석사 졸업.  
 2002년 Electrical Engineering Stanford University 박사 졸업.

1990년~2005년 삼성전자 수석연구원.  
 2005년~현재 연세대학교 전기전자공학부 부교수.  
 <주관심분야 : 저전력 시스템, 내장형 시스템 VLSI CAD, 컴퓨터구조>