

논문 2008-45SD-12-1

단층 입력 구조의 Magnetic-Tunnel-Junction 소자를 이용한 임의의 3비트 논리회로 구현을 위한 자기논리 회로 설계

(Design of 3-bit Arbitrary Logic Circuit
based on Single Layer Magnetic-Tunnel-Junction Elements)

이 현 주*, 김 소 정*, 이 승 연*, 이 승 준**, 신 형 순**

(Hyunjoo Lee, Sojeong Kim, Seungyeon Lee, Seungjun Lee, and Hyungsoon Shin)

요 약

Magnetic Tunnel Junction (MTJ) 는 비휘발성 소자로서 그간 기억소자분야에 국한되어왔으나, 최근 다양한 연구들에 의하여 자기논리 (magneto-logic) 회로에 사용되면서 기존 트랜지스터 기반의 논리연산자를 대체할 수 있는 가능성을 보이고 있으며, 논리 회로까지 확장 적용되어 스핀전자공학 분야의 새로운 장을 열 것으로 기대되어지고 있다. 자체 저장 능력을 갖는 MTJ 소자로 구현된 자기논리 회로는 전원이 꺼져도 정보가 그대로 유지되고, 또한, 불 (Boolean) 연산 수행 시 단순한 입력변화만으로 다양한 논리 연산자 구현이 가능한 구조적인 유연성을 보이므로, 물리적으로 완성된 회로 내에서 얼마든지 재구성이 가능한 자기논리 회로를 구현할 수 있다. 본 논문에서는 단순한 조합논리나 순차논리 회로의 동작을 넘어서, 임의의 3비트 논리회로 동작을 모두 수행할 수 있는 자기논리 회로를 제안한다. 이를 위해 3비트 논리회로 중에서 최대의 복잡성을 갖는 논리회로를 MTJ 소자를 사용하여 설계하였고, 그 동작을 이전 논문에서 제안된 바 있는 macro-model을 보완 적용하여 검증하였다. 제안된 회로는 3비트로 구현할 수 있는 가장 복잡한 논리회로의 동작을 수행할 뿐만 아니라, 전류구동회로의 게이트 신호들을 변화시킴으로써 임의의 3비트 논리 회로의 동작을 모두 수행하는 것이 가능하다.

Abstract

Magnetic Tunneling Junction (MTJ) has been used as a nonvolatile universal storage element mainly in memory technology. However, according to several recent studies, magneto-logic using MTJ elements show much potential in substitution for the transistor-based logic device. Magneto-logic based on MTJ can maintain the data during the power-off mode, since an MTJ element can store the result data in itself. Moreover, just by changing input signals, the full logic functions can be realized. Because of its programmability, it can embody the reconfigurable magneto-logic circuit in the rigid physical architecture. In this paper, we propose a novel 3-bit arbitrary magneto-logic circuit beyond the simple combinational logic or the short sequential one. We design the 3-bit magneto-logic which has the most complexity using MTJ elements and verify its functionality. The simulation results are presented with the HSPICE macro-model of MTJ that we have developed in our previous work. This novel magneto-logic based on MTJ can realize the most complex logic function. What is more, 3-bit arbitrary logic operations can be implemented by changing gate signals of the current driver circuit.

Keywords : magneto-logic, single-layer MTJ, write driver, macro-model, 3-bit arbitrary logic

I. 서 론

Magnetic tunnel junction (MTJ) 소자가 Magnetic Random Access Memory (MRAM)의 효과적인 정보 저장 소자로서의 잠재력을 보이면서 근래에 들어 이를 논리 회로에 확장하여 적용하는 자기논리 (magneto-logic) 회로에 대한 연구들이 활발히 진행되고 있다.^[1~6]

* 학생회원, ** 정회원, 이화여자대학교 전자공학과
(Department of Electronics Engineering, Ewha Womans University)

※ 본 연구는 정보통신부 및 정보통신연구진흥원의 대학IT연구센터지원사업 (IITA-2008-C1090-0801-0012)과 과학기술부에서 추진하는 21세기 프론티어 사업 중 테라급나노소자 개발사업단 지원으로 수행되었음.

접수일자: 2008년8월7일, 수정완료일: 2008년12월1일

기존의 CMOS 기반 논리회로는 복잡한 논리 회로 구현 시 부울 대수의 조합 등에 인가된 입력에 따라 즉시 결과를 출력하는 조합논리 (combinational logic) 회로의 결과를, 래치와 같은 정보저장소를 두고 순차적으로 진행하여 최종 결과를 내는 순차논리 (sequential logic) 회로에 저장하는 방식을 사용하여 왔다. 따라서 불 (Boolean) 연산을 수행할 수 있을 뿐만 아니라 자체 저장 능력을 갖는 MTJ 소자로 논리 회로를 구현하게 되는 경우, 회로의 효율을 증가시킬 수 있다. 최근 MTJ 소자를 이용한 자기논리 회로를 사용하여 CMOS 기반의 조합논리 회로를 대체하는 연구가 진행된 바 있다.^[3] MTJ 소자의 이점을 최대한 활용하면, 자기논리 회로는 조합논리 회로뿐만 아니라, 순차논리 회로까지도 대체할 수 있다.^[4] 한걸음 더 나아가 단순한 조합논리 혹은 순차논리 회로의 동작을 넘어서, 임의의 논리회로 동작을 수행할 수 있는 MTJ 소자용 자기논리 회로가 제안 및 검증된다면, 자기논리 회로의 종래기술 대체가능성과 그 잠재력은 한층 실효성을 발휘할 수 있게 된다.

기존의 자기논리 회로에서 MTJ 소자는 세 개의 입력 선을 갖는 다층 입력 구조를 가지고 사용되어왔다.^[4] 그림 1은 이전 논문에서 제안된 바 있는 한 개의 입력 선을 갖는 단층 입력 구조의 MTJ 소자를 보여준다.^[5] 단층 입력 구조를 통해서도 다층 입력 구조와 같은 full logic 연산이 가능하여 기존 수 개의 트랜지스터로 구성되었던 논리 연산자를 한 개의 MTJ 소자만으로 구현 가능하도록 할 뿐만 아니라, 단순히 입력을 바꾸는 것만으로 회로를 재구성할 수 있는 불 연산에의 유연성을 그대로 유지하면서 다층 입력 구조보다 공정이 용이하다는 등의 장점을 갖는다.^[6-7]

디지털 논리 회로는 회로의 복잡성을 줄이기 위하여 논리최적화 (logic optimization)를 통해 논리합성 (logic synthesis)을 필요로 한다. 어떠한 논리 회로의 부울 함수가 애초에 논리최적화를 거칠 수 없는 형태를 갖는 동시에 최대의 복잡성을 갖고 있다면, 해당 논리 회로는 가장 복잡한 논리 회로의 동작을 구현할 수 있는 동시에 논리최적화를 거친 뒤 같은 부울 함수를 갖는 다른 어떤 논리 회로들보다 간결한 회로가 된다. 논리최적화를 거치게 되는 경우 논리 회로의 복잡성은 상당부분 감소하게 되기 때문이다. 논리최적화를 거칠 수 없는, 즉, 처음부터 논리최적화를 최대한 거친 뒤의 포맷을 지니고 있는 부울 함수는 곱의 합 (sum of product) 형태 혹은 합의 곱 (product of sum) 형태로 나타내어져야 한다. 이 경우 논리최적화는 거칠 수 없

지만 최대의 복잡성이 증명될 수 없다. 해당 부울 함수가 최대의 복잡성을 위한 조건 또한 충족시키기 위해서는 이들 텀이 민텀 (min term) 혹은 맥스텀 (max term)들만으로 이루어진 형태이면서 그 개수가 최대여야 한다. 부울 함수가 곱의 합 형태로 표현되는 경우, 각 항을 이루는 곱의 텀들은 각각 모든 입력들의 곱으로 이루어진 민텀이어야 하고, 각 민텀들의 합의 개수는 해당 논리 회로가 가질 수 있는 최대의 개수여야 한다. 민텀과 맥스텀, 그리고 곱의 합 형태와 합의 곱 형태는 서로가 쌍대성(dualistic)을 가지므로 바꾸어 표현될 수 있다. 이와 같은 부울 함수를 갖는 논리 회로는 그 복잡성이 최대화되어 구현할 수 있는 가장 복잡한 논리 회로 동작을 수행할 수 있는 동시에, 같은 동작을 수행할 수 있는 다른 어떤 논리 회로들의 부울 함수보다 간결하다. 즉, 가장 복잡한 동작을 수행하는 논리 회로를 가장 적은 비용을 통해 구현할 수 있게 된다.

임의의 3비트 논리회로 구현을 위한 본 논문에서 초점은 3비트에서 구현할 수 있는 최대의 복잡성을 갖는 논리회로이다. 앞서 말한 조건들을 충족하는 논리 회로의 부울 함수를 카르노 맵을 사용하여 표현하면, 카르노 맵은 체크보드 형태와 같이 서로 겹치는 것이 단 한 개도 존재하지 않는 바둑판 형태의 모양을 하게 된다. 이에 해당하는 논리회로를 부울 대수로 나타내면 ($A \text{ XOR } B \text{ XOR } C$)이다. 이를 MTJ 소자를 사용하여 구현하는 경우, 3비트로 구성할 수 있는 가장 복잡한 논리 회로 동작이 가능할 뿐만 아니라, 전류구동회로의 게이트 신호들을 변화시킴으로써 임의의 3비트 논리회로의 동작을 모두 수행하는 것이 가능하다. 이외의 모든 논리 회로 동작은 MTJ 소자의 불 연산 유연성에 기인할 때 물리적으로 이와 같은, 혹은 이보다 더 적은 면적에서 수행될 수 있다. 따라서 본 논문에서는 3비트 내에서 최대의 복잡성을 갖는 동시에 임의의 3비트 논리 회로 동작을 수행할 수 있는 자기논리 회로를 제안하고, 단층 입력 구조를 갖는 네 개의 MTJ 소자와 한 개의 Sense Amplifier (S/A)를 사용하여 이를 구현하였다.

본 논문의 구성은 다음과 같다. 서론에 이어 본문의 I 장에서는 단층 입력 구조의 MTJ 소자로 구현한 자기 논리 연산자의 기본 개념을 간략히 살펴본다. II 장에서는 본 논문에서 제안하는 자기논리 회로의 구현 과정과 함께 입력 재조합에 따른 임의의 3비트 논리회로 동작에 관하여 서술하고, III 장에서는 MTJ 소자의 특성을 고려한 macro-model을 이용하여 II 장에서 제안한

논리회로의 동작 결과를 HSPICE 시뮬레이션을 통해 검증한 후 결론을 맺는다.

II. 본 론

1. 단층 입력 구조의 MTJ를 사용한

자기논리 연산자의 기본 개념

단층 입력 구조의 MTJ 소자는 그림 1(a)과 같은 구조를 갖는다. MTJ 구조는 하나의 입력선 아래로 두 개의 magnetic layer가 dielectric tunnel barrier에 의해 상하로 분리되어있고, 두 층의 극 방향이 같은 평행상태이면 MTJ 소자는 작은 저항 값 (R_L)을 갖고, 극 방향이 다른 반평행상태이면 큰 저항값 (R_H)을 가지며, 이때 이 저항 값들은 논리적으로 각각 "0"과 "1"로 정의된다. 극 방향이 고정되어있다고 보는 하단의 fixed layer와는 달리, 상단의 free layer의 극 방향은 소자에 인가되는 전류에 의해 변하게 되고, 이러한 극 방향은 일정 임계값 이상의 자기장에 의해 배열되어 전원이 꺼

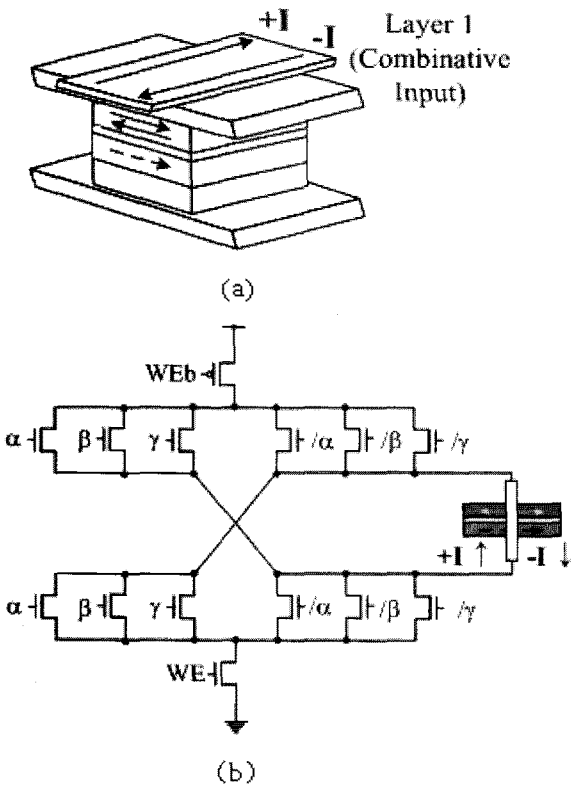


그림 1. (a) 단층 입력 구조의 MTJ 소자 (b) 단층 입력 구조의 MTJ를 구동하는 전류 구동 회로의 설계도
 Fig. 1. (a) Schematic of a single layer MTJ element (b) Schematic of write driver with a single-layer MTJ element.

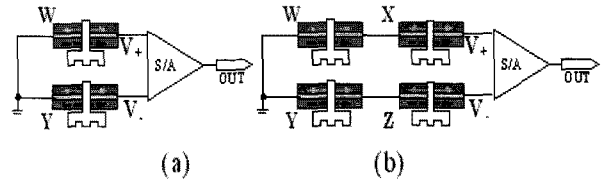


그림 2. Sense amplifier 회로도
 (a) MTJ 2개 사용 (b) MTJ 4개 사용
 Fig. 2. Schematic of sense amplifier.
 (a) for 2 MTJs and (b) for 4 MTJs

저도 정보 값을 유지하는 비휘발성을 띠게 된다. Free layer 극 방향은 입력조합에 따라 전류구동회로에 의해 결정되게 된다. 만일 세 개의 입력 중 두 개 이상이 '1'일 경우, MTJ 소자의 저항 값은 R_H 가 되고, 논리 '1'의 정보가 저장된다. 소자의 하단 fixed layer의 극 방향은 편의상 오른쪽으로 자화되어있고, 이처럼 fixed layer의 극 방향을 고정함으로써 종래의 연구에서 필요로 했던 초기화 과정 없이도 MTJ 소자의 불 연산 동작이 가능하다.^[6-7] 또한, 입력 정보를 양방향 입력을 사용함으로써 fixed layer의 극 방향을 한 방향으로 고정하고도 한 MTJ 소자로 모든 논리 연산자를 구현할 수 있게 된다. 단층 입력 소자의 입력이 각각 A, B, C일 경우 불 연산은 수식 (1)을 따른다. 입력 조합의 한 예로, α, β, γ 를 각각 A, B, C 라고 했을 경우이다.^[5]

$$OUT = (A \cdot B) + (B \cdot C) + (C \cdot A) \quad (1)$$

입력 선 'layer 1'에 흐르는 전류 구동 회로가 결정하고, 그 회로도에는 그림 2(a)과 같다. 각 트랜지스터에 흐르는 전류량은 +I 가 되도록 설계되었다. 입력 α, β, γ 가 모두 '1'일 경우 'layer 1'으로 +3I 가 흐르고, 세 개의 입력 중 두 개 이상이 '1'일 경우 +I가 흐르며, 두 개 이상이 '0'일 경우 -I가, 모두 '0'일 경우 -3I가 흐르게 된다.

그림 2는 MTJ 소자의 저항 값을 비교하는 Sense Amplifier (S/A)의 회로도이다. V_s 단자의 저항 값이 V_s 의 저항 값보다 클 경우 S/A의 출력은 논리 '1'이 되고, 그렇지 않을 경우 S/A의 출력은 논리 '0'이 된다. 이를 만족하기위해 S/A V_s 단자의 offset 전압 (V_{OS})는 $0 < V_{OS} < I_{SENSE} \cdot \Delta R$ ($\Delta R = R_H - R_L$)을 만족해야한다. 이때 S/A OUT은 수식 (2)와 같이 표현 가능하다. 두 개씩 직렬 연결된 MTJ를 사용할 경우 더욱 복잡한 불 연산을 수행할 수 있다. 이 경우 수식 (3)과 같은 불 연산을 따른다.

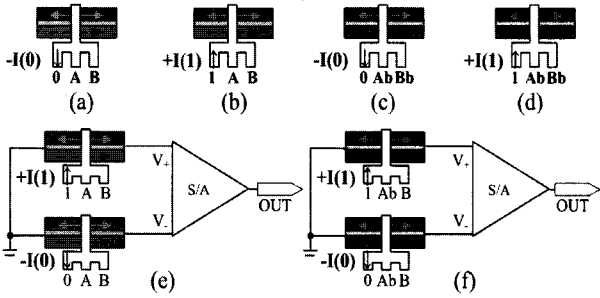


그림 3. (a)자기논리 소자를 이용한 논리 연산자 (a) AND (b) OR (c) NOR (d) NAND (e) XOR (f) XNOR

Fig. 3. Magneto-logic gate (a) AND (b) OR (c) NOR (d) NAND (e) XOR (f) XNOR

$$OUT = V_+ \cdot \bar{V}_- \quad (2)$$

$$OUT = (W + X) \cdot \bar{Y} \cdot \bar{Z} + (\bar{Y} + \bar{Z}) \cdot W \cdot X \quad (3)$$

그림 3의 (a)에서 (d)까지는 단층 입력 구조의 MTJ 소자로 구현한 AND, OR, NOR, NAND의 논리 연산자 회로도이다. 이들의 경우 S/A의 V₊ 단자에 각 MTJ 소자가 연결되고, V₋ 단자에는 R_L 값을 갖는 MTJ 소자가 연결된다. 하나의 MTJ 소자의 세 입력을 적절히 가해 주어 해당 논리 연산자를 구현할 수 있다. 그림 3(e)와 (f)는 두 개의 MTJ 소자와 S/A를 사용해 구현한 XOR와 XNOR 논리 연산자이다. 이처럼 적은 개수의 MTJ 소자를 연결하고, 전류 구동 회로의 입력 게이트 신호를 바꾸는 것만으로 초기화 과정 없이 모든 논리 연산자의 구현이 가능하다. MTJ 소자 특유의 유연한 함수 구현 능력으로 배선과 관계없이 자기 논리 회로 구현 후에도 그 유연성을 유지할 수 있게 된다. 이는 물리적으로 완성된 회로 내에서 재구성이 가능한 자기논리 회로를 구현할 수 있음을 의미한다.

2. 3비트 임의의 논리회로 구현을 위한 자기논리 회로의 동작 원리

본 절에서는 네 개의 MTJ만으로 3비트 임의의 논리 회로 동작이 가능한 자기논리 회로를 제안한다. 일반적으로 디지털 논리 회로는 논리합성 과정에서 논리 회로가 갖는 부울 함수의 복잡성을 최대한 줄임으로써 주어진 기능상의 필요조건들을 효율적으로 만족시키기 위해 논리최적화를 거치게 된다.^[8] 논리 회로의 복잡성은 게이트 입력의 개수를 줄이거나, 게이트의 개수를 줄이거나, 혹은 게이트 레벨 수를 줄임으로써 이루어질 수 있

다. 게이트 입력선의 개수나 게이트 개수를 줄일 경우 그에 따른 속도 향상과 제작비용 절감효과를 수반할 수 있고, 게이트 레벨 수를 낮출 경우 propagation delay를 줄일 수 있다. 대부분의 경우 논리최적화를 거치게 되면 이에 따른 성능 향상을 상당부분 이루어낼 수 있다. 바꾸어 말하면, 논리 최적화 과정을 거친 후에도 위의 세 가지 면에서 최대의 복잡성을 갖는 논리 회로는 구현할 수 있는 가장 복잡한 회로라고 할 수 있고, 동시에 논리 회로가 갖는 부울 함수가 처음부터 논리최적화를 거칠 수 없는 형태로 존재하는 경우, 그 간결성은 최대화 되어 논리 회로를 구현하는 데 들어가는 비용은 최소화 된다.

조합논리 회로에 따른 논리최적화의 경우, 일반적으로 어떠한 논리회로가 갖는 부울 함수를 간결화 시키기 위하여 두 단위 최적화 (two-level optimization)를 거치게 되고, 이를 거쳐 더 간결화 될 수 있는 경우 다 단위 최적화 (multi-level optimization)를 거친다.^[8] 후자의 경우, 구현 시 게이트와 입력선의 개수는 줄어들 수 있으나 게이트 레벨이 커진다. 따라서 같은 동작을 수행함에 있어서 두 단위 최적화 포맷을 갖고 있는 부울 함수가 성능의 효과성과 비용의 효율성 면에서 우수하다. 이 경우 부울 함수는 곱의 합 형태 혹은 합의 곱 형태로 나타내어질 수 있다. 부울 함수를 이루는 해당 합들의 요소를 항이라 하고, 항을 구성하는 개별 입력들을 문자라고 한다. 모든 입력변수가 보수나 보수가 아닌 상태로 정확히 한번 나타나는 논리곱 항을 민텀이라고 하고, 모든 변수가 보수나 보수가 아닌 상태로 정확히 한번 나타나는 논리합 항을 맥스텀이라고 한다.^[9] 최종 부울 함수의 형태는 부울 함수의 쌍대성 원리에 의하여 곱의 합 형태나 합의 곱으로 표현될 수 있다. 각 항들이 민텀 혹은 맥스텀들로 구성되어 있는 경우, 게이트 입력의 개수는 최대가 되어 더 복잡한 논리 회로의 동작이 가능해진다. 따라서 만일 최종 부울 함수가 논리적으로 간략화 될 수 없는 민텀들의 합 형태이면서 민텀의 개수가 해당 논리 회로가 가질 수 있는 최대의 개수일 경우, 혹은 맥스텀들의 곱 형태이면서 마찬가지로 맥스텀들의 개수가 최대일 경우, 더 이상 논리형태는 간결화 될 수 없는 최대의 복잡성을 갖기 위한 선결 조건을 충족하게 된다.

논리 회로의 부울 함수가 위의 조건을 충족하면서 더 이상 간략화 될 수 없는 상태인지 검증하기 위해서 카르노 맵 상에서 같은 정보들을 묶어내는 직관적인 간략화 방법을 사용할 수 있다. 민텀 카르노 맵 방식을 고려

할 경우, 최종 부울 함수를 구성하는 요소들을 최대한 줄이기 위해 카르노 맵 상에서 상하좌우로 인접한 '1'을 함께 묶어내는 방법이 사용된다. 기본적으로 함수가 논리곱의 모든 최소 항에 대해 1값을 가지면 논리곱은 함수의 항 (implicant)이라 하고, 어떤 항이 가지고 있는 어떤 문자를 제거할 때 항이 아닌 논리곱 항을 얻게 되는 경우 이를 주항 (prime implicant)이라고 한다. 이때, 함수의 최소 항이 오직 하나의 주항에 포함되어 카르노 맵 상에서 '1'을 포함하는 정사각형이 주항을 나타내는 단 하나의 사각형에만 있게 되는 경우, 이를 필수주항 (essential prime implicant)이라고 한다.^[8-9] 어떠한 논리회로가 가질 수 있는 최대의 필수주항의 개수는 일정 개수로 한정되어있다. 3비트 내에서 이 개수는 네 개이다. 만일 논리 회로가 앞서 말한 조건을 충족하여 민텀들의 합 형태로 이루어져있으면서 민텀들의 개수가 최대라고 하여도, 이들 각각이 필수주항들로 이루어져있지 않다면, 카르노 맵 간략화 과정에 의해 논리 회로의 부울 함수는 어떠한 형태로든 최적화 과정을 필요로 하게 되기 때문에 부울 함수가 갖고 있던 복잡성은 최대라고 할 수 없다.

3비트 내에서 이들 조건을 모두 만족하는 부울 함수를 3변수 맵으로 카르노 맵 상에 표현하면, 표 1과 같이 서로 겹치는 것이 단 하나도 없는 체크보드 형태를 갖게 된다. 단 하나라도 '1'이 더 많은 경우, 같은 정보가 묶여져 부울 함수가 간략화 될 수 있다. 단 하나라도 '1'이 적은 경우, 인접하는 '1'의 개수가 늘어나 간략화 되지는 않더라도 '1'의 개수가 하나라도 적은 다른 모든 경우들과 비교하였을 때 동작에 필요한 게이트 수가 가장 많게 되어 복잡성은 극대화된다. 표1로부터 끌어낼 수 있는 부울 함수는 모두 민텀들이면서 동시에 필수주항임을 확인할 수 있다.

해당 부울 함수를 정리하여 부울 대수로 표현하면 (A XOR B XOR C) 이고, 이는 3비트로 구성할 수 있는 가장 복잡한 논리회로가 된다. 단층 입력 구조의

표 1. 3비트 내에서 최대의 복잡성을 갖는 논리 회로의 카르노 맵
Table 1. Carnaugh Map of the most complicate 3-bit logic circuit.

	BA	00	01	11	10
C					
0		0	1	0	1
1		1	0	1	0

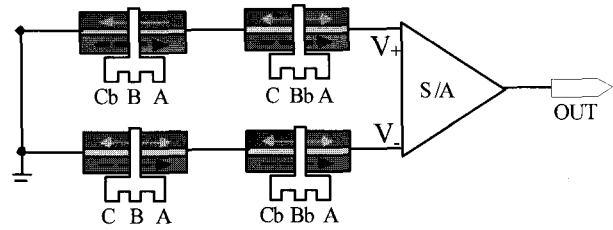


그림 4. MTJ 소자를 이용한 3비트 임의의 논리회로 구현을 위한 자기논리 회로
Fig. 4. Schematic of 3-bit arbitrary logic circuit using MTJ element.

MTJ 소자를 사용한 자기논리 회로로 이를 구현하는 경우, MTJ 소자의 함수 유연성은 대단히 매력적인 장점이 된다. 3비트로 구현할 수 있는 가장 복잡한 논리회로 동작을 수행하는 자기논리 회로 안에서 전류구동회로의 게이트 신호들을 변화시킨다면, 단지 (A XOR B XOR C) 의 불 연산뿐만이 아닌 임의의 3비트 논리회로의 동작을 모두 수행할 수 있게 된다. 해당 부울 함수보다 조금이라도 낮은 복잡성을 갖는 논리 동작을 수행하는 모든 경우, 이미 구성된 네 개 혹은 그보다 적은 개수의 MTJ 소자를 통하여 해당 논리 동작은 수행될 수 있다.

A, B, C 세 개의 입력을 가지고 3비트 임의의 논리회로를 구현할 수 있는 자기논리 회로를 네 개의 MTJ 소자와 한 개의 S/A를 사용하여 그림 4와 같이 구현하였다. 결과 값은 수식 (4)의 불 연산을 따르며, OUT을 구현하기 위해 그림 2(b)와 수식 (3)에서 표현된 W, X, Y, Z를 그림 4의 조합으로 구성하였다. W는 {(A AND B) OR (B AND Cb) OR (Cb AND A)}, X는 {(A AND Bb) OR (Bb AND C) OR (C AND A)}, Y는 {(A AND B) OR (B AND C) OR (C AND A)}, Z는 {(A AND Bb) OR (Bb AND Cb) OR (Cb AND A)}로 놓고, 그 불 연산 계산을 진행하면 수식 (4)와 같다.

$$\begin{aligned}
 W &= A \cdot B + B \cdot \bar{C} + \bar{C} \cdot A \\
 X &= A \cdot \bar{B} + \bar{B} \cdot C + C \cdot A \\
 Y &= A \cdot B + B \cdot C + C \cdot A \\
 &\leftrightarrow \bar{Y} = \bar{A} \cdot \bar{B} + \bar{B} \cdot \bar{C} + \bar{C} \cdot \bar{A} \\
 Z &= A \cdot \bar{B} + \bar{B} \cdot \bar{C} + \bar{C} \cdot A \\
 &\leftrightarrow \bar{Z} = \bar{A} \cdot B + B \cdot C + C \cdot \bar{A}
 \end{aligned}$$

$$\begin{aligned}
 OUT &= (W + X) \cdot \bar{Y} \cdot \bar{Z} + (\bar{Y} + \bar{Z}) \cdot W \cdot X \\
 &= (A + B \cdot \bar{C} + \bar{B} \cdot C) \cdot (\bar{A} \cdot \bar{B} + \bar{B} \cdot \bar{C} \\
 &\quad + \bar{C} \cdot \bar{A}) \cdot (\bar{A} \cdot B + B \cdot C + C \cdot \bar{A}) \\
 &\quad + (\bar{A} + \bar{B} \cdot \bar{C} + B \cdot C) \cdot (A \cdot B + B \cdot \bar{C} \\
 &\quad + \bar{C} \cdot A) \cdot (A \cdot \bar{B} + \bar{B} \cdot C + C \cdot A) \\
 &= \bar{A} \cdot B \cdot \bar{C} + \bar{A} \cdot \bar{B} \cdot C + A \cdot \bar{B} \cdot \bar{C} \\
 &\quad + A \cdot B \cdot C
 \end{aligned}$$

$$\begin{aligned}
 &= C \cdot \overline{(A \oplus B)} + \overline{C} \cdot (A \oplus B) \\
 &= A \oplus B \oplus C
 \end{aligned}
 \tag{4}$$

임의의 3비트 논리 회로 동작이 가능한 자기논리 회로는 메모리 분야의 MRAM 정보저장 소자로 사용되어 오던 MTJ 소자가 비메모리 분야의 논리회로에 사용될 수 있을 뿐만 아니라, 단순한 조합논리 혹은 순차논리 회로의 구현만이 아닌 임의의 논리 회로 동작을 가능하게 함으로써 기존의 CMOS 논리회로를 대체할 수 있는 가능성을 입증하는 좋은 예이다. 제안된 회로는 3비트 논리 회로 중 최대의 복잡성을 갖는 논리 회로를 비회 발성으로 구현할 뿐만 아니라, 이를 위해 구성된 네 개의 MTJ 소자와 한 개의 S/A의 제한된 물리구조 안에서 전류구동 회로의 게이트 신호들을 변화시킴으로써 3비트로 구성할 수 있는 모든 논리회로의 동작을 수행할 수 있다는 점에서 주목할 만하다.

3. HSPICE macro-model을 이용한 시뮬레이션 결과

MRAM의 기억소자 셀로 사용되는 MTJ 소자의 다양한 특성을 고려한 macro-model은 본 연구진에 의해 제안된 바 있다.^[10] 본 논문에서는 HSPICE 시뮬레이션을 위해 고안한, 자기논리 소자를 CMOS 논리회로와 함께 연결한 자기논리 회로용 macro-model을 사용하여 제안된 자기논리 회로의 동작을 검증한다.^[11] 그림 5(a)에서 볼 수 있듯이, 자기논리 소자용 macro-model 블록도는 총 4개의 외부 단자와 digit line 저항 (R_{dg})으로

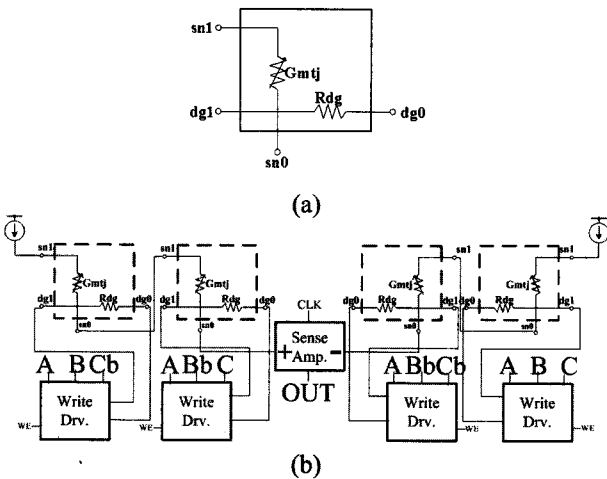


그림 5. (a) 자기논리 소자용 macro-model의 블록도와 (b) 임의의 3비트 자기논리 테스트 회로도
 Fig. 5. (a) Block diagram of macro-model for magneto-logic and (b) schematic of the test circuit for 3-bit arbitrary magneto-logic

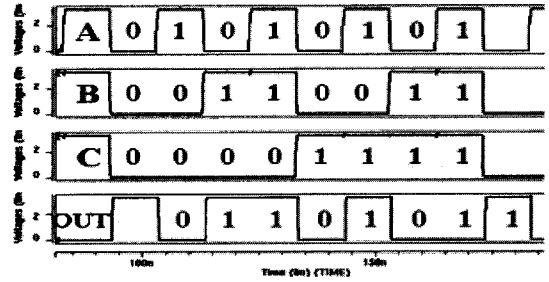


그림 6. 임의의 3비트 자기논리회로 동작 중 (A XOR B XOR C) 논리 동작의 HSPICE 시뮬레이션 결과
 Fig. 6. HSPICE simulation results of the (A XOR B XOR C) logic operation in the 3-bit arbitrary magneto-logic circuit.

구성되어있고, R_{dg} 에 흐르는 전류에 의하여 소자 정보가 쓰여 진다. 앞서 설명한 바 있는 전류 구동 회로가 입력 신호들의 조합을 통해 결정된 하나의 입력 전류를 macro-model 내부로 공급하고, 이렇게 연결된 전류 구동 회로의 게이트 입력 신호를 변화를 통해 각 MTJ 논리 소자에 해당하는 불 연산은 수행된다. 임의의 3비트 자기논리 회로의 macro-model 테스트 회로는 그림 5(b)와 같다. 이를 적용한 HSPICE 시뮬레이션 결과는 그림 6에 나타나있다. 시뮬레이션의 출력 파형을 보면, 입력 신호에 따라 결과 값이 수식 (4)를 만족하며 적절히 변하는 것을 볼 수 있다.

III. 결 론

MTJ 소자기술을 기반으로 한 자기논리 회로는 비회 발성, 현존하는 실리콘 기술과의 호환성, 고속 동작, 저 전력, 고집적도 등의 잠재력으로 인해 다양한 가능성을 보이며 연구되고 있다. 본 연구진은 이전 논문들을 통해 조합논리 회로뿐 아니라 순차논리 회로까지의 대체 가능성을 입증한 바 있다. 본 논문에서는 단순한 조합 논리 혹은 순차논리 회로의 동작을 넘어서, 임의의 3비트 논리회로 동작을 수행하는 자기논리 회로를 제안하였다. 민첩들의 함으로 이루어져 있는 동시에 개별 민첩들이 3비트 내에서 그 개수가 최대이면서 네 개의 필 수주항들로 이루어져 있는 부울 함수는 3비트 내에서 논리회로의 복잡성을 극대화시킨다. 해당 부울 함수 동작을 수행하는 자기논리회로를 네 개의 MTJ 소자와 한 개의 S/A를 사용하여 구현하였고, 이를 이전 논문에서 제안한 바 있는 자기논리소자용 macro-model을 적용하여 검증하였다. 제안된 회로는 3비트로 구현할 수 있는 가장 복잡한 논리회로의 동작을 수행할 뿐만 아니

라, MTJ 소자의 함수 유연성으로 인해 임의의 3비트 논리회로 동작을 모두 수행하는 것이 가능하다.

참고 문헌

[1] R. Koch, "Morphware", Scientific American, p. 56, August 2005.

[2] W. Black, Jr. and B. Das, "Programmable Logic using Giant Magneto Resistance and Spin Dependent Tunneling Devices(invited)", Journal of Applied Physics. Vol. 87, No. 9, p. 6674, 2000.

[3] H. Meng, J. Wang and J. Wang, "A Spintronics Full Adder for Magnetic CPU", IEEE Electron Device Letters, Vol. 26, No. 6, p. 360, June 2005.

[4] S. Lee, J. Kim, H. Yang, G. Lee, S. Lee and H. Shin, "3-bit Gray Counter based on Magnetic-Tunnel Junction Elements", Joint MMM-INTERMAG Conf., abstracts, p. 48, 2007.

[5] S. Lee, S. Choa, S. Lee and H. Shin, "Magneto-Logic Device Based on a Single-Layer Magnetic Tunnel Junction", IEEE Electron Device Letters, Vol. 54, No. 8, p. 2040, 2007.

[6] A. Ney, C. Pampuch, R. Koch and K. H. Ploog, "Programmable Computing with a Single Magnetoresistive Element," Nature, Vol. 425, p. 485, October 2003.

[7] J. Wang, H. Meng and J. Wang, "Programmable Spintronics Logic Device based on Magnetic Tunnel Junction Element", Journal of Applied Physics, Vol. 97, No. 10, p. 10D509, May 2005.

[8] G. D. Micheli, "Synthesis and optimization of digital circuits", McGraw-Hill, p. 276, 1994.

[9] Roth, H. Charles, Jr, "Fundamentals of Logic Design", Thomson, p. 87, 2003.

[10] S. Y. Lee, S. J. Lee, H. S. Shin, and D. J. Kim, "Advanced HSPICE macromodel for magnetic tunnel junction," Jpn. J. Appl. Phys., vol. 44, no. 4B, p. 2696, 2005.

[11] Star-HSPICE Users Manual, Meta-Software, Inc., Burlington, MA, 1996. Version 96.1 for HSPICE Release 96.1.

저자 소개



이 현 주(학생회원)
2007년 이화여자대학교
정보통신학과 학사 졸업.
2008년 현재 이화여자대학교
정보통신학과 석사 2년차.
<주관심분야 : 메모리 설계, 반도체>



김 소 정(학생회원)
2008년 이화여자대학교
정보통신학과 학사 졸업.
2008년 현재 이화여자대학교
정보통신학과 석사 1년차.
<주관심분야 : 메모리 설계, 반도체>



이 승 연(학생회원)
2002년 이화여자대학교
정보통신학과 학사 졸업.
2004년 이화여자대학교
정보통신학과 석사 졸업.
2008년 현재 이화여자대학교
정보통신학과 박사 과정.
<주관심분야 : 메모리 설계, 반도체>



이 승 준(정회원)
1986년 서울대학교 전자공학과
졸업 (학사)
1986년 6월 미국 University of
California at Berkeley
졸업 (석사)
1993년 12월 미국 University of
California at Berkeley
졸업 (박사)
1992년~1998년 현대전자 근무
1999년~현재 이화여자대학교 공과대학
정보통신학과 부교수
<주관심분야: SoCS 설계, 차세대 메모리>



신 형 순(정회원)
1982년 2월 서울대학교
전자공학과 졸업 (학사).
1984년 12월 미국 University of
Texas at Austin 졸업
(석사).
1990년 5월 미국 University of
Texas at Austin 졸업
(박사).
1990년~1994년 LG 반도체 근무.
1995년~현재 이화여자대학교 공과대학
정보통신학과 교수.
<주관심분야 : 반도체 소자구조, 모델링.>