

RS(23,17) 리드-솔로몬 복호기 설계

강 성 진*

Design of a RS(23,17) Reed-Solomon Decoder

Sung-Jin Kang*

요 약

본 논문에서는 MB-OFDM(Multiband-Orthogonal Frequency Division Multiplexing) 시스템에서 사용되는 RS(23,17) 부호에 대한 복호기의 최적 구조를 제안하고, 설계하였다. 제안된 복호기 구조는 파이프 라인 구조를 갖는 수정된 유클리드(Modified Euclidean) 알고리즘을 사용하며, MB-OFDM 시스템에 최적화되어 작은 복호 지연(latency) 및 하드웨어 복잡도를 가진다. 제안된 복호기는 Verilog HDL을 사용하여 구현되었고, 삼성 65nm library를 이용하여 합성하였다. 350MHz로 합성했을 때 timing violation이 발생하지 않았기 때문에, 실제 ASIC을 제작해도 250MHz까지 동작하며, gate count는 20,710로 나타났다.

ABSTRACT

In this paper, we design a RS(23,17) decoder for MB-OFDM(Multiband-Orthogonal Frequency Division Multiplexing) system, in which Modified Euclidean(ME) algorithm is adopted for key equation solver block. The proposed decoder has been optimized for MB-OFDM system so that it has less latency and hardware complexity. Additionally, we have implemented the proposed decoder using Verilog HDL and synthesized with Samsung 65nm library. From synthesis results, it can operate at clock frequency of 250MHz, and gate count is 20,710.

키워드

리드-솔로몬 복호기, MB-OFDM, 수정된 유클리드 알고리즘, KES

I. 서 론

미국 연방 통신 위원회(FCC)는 UWB(Ultra Wide-Band)를 '중심주파수의 20% 이상의 점유대역폭을 가지거나 500MHz 이상의 점유대역폭을 차지하는 무선전송 기술'로 정의하였으며, 최근에는 광대역을 사용하여 짧은 거리에서 고속의 데이터를 전송할 수 있는 WPAN(Wireless Personal Area Network) 기술로 주목을 받고 있다. 2007년 3월에 MB-OFDM 기술을 사용하는 UWB 시스템이 ISO/IEC의 국제 표준으로 채택되었다[1]. 현재

세계적으로 10여개의 업체에서 UWB 칩셋을 개발하고 있으며, 상용화가 가능하도록 보완하고 있다. 이와 동시에 UWB 칩셋들이 탑재된 응용제품 개발도 활발히 진행 중에 있다.

MB-OFDM UWB의 프레임(PPDU)은 크게 PLCP(Physical Layer Convergence Protocol) preamble, PLCP header, PSDU(PHY Service Data Unit)로 구성되며, PLCP header는 PHY header, MAC header, HCS, tail bit, RS parity로 구성된다. MB-OFDM UWB에서는 PHY header와 MAC header는 송수신시에 사용되는 중요한 정보들이

포함되어있기 때문에, 컨볼루션 부호와 Reed-Solomon (RS) 부호를 사용하여 PLCP 헤더를 보호하고 있다[1]. 본 논문에서는 PLCP 헤더에서 사용되는 RS 부호의 복호기 설계에 관하여 다룬다.

RS 부호는 연립 오류에 대하여 우수한 오류 정정 능력을 가지고 있어서, 많은 통신시스템에서 널리 사용되고 있다. 일반적인 RS(n,k) 부호에서 $t = (n-k)/2$ 는 RS 부호의 오류 정정 능력을 나타낸다[2]. RS 복호기는 그림 1과 같이 신드롬 연산(syndrome computation), 키 방정식 연산(KES, Key Equation Solver), Chien 탐색, Forney 알고리즘, 오류 정정 블록 및 FIFO(First Input First Output)로 구성된다[3-6]. 이 중에서 오류 위치 다항식(error locator polynomial)과 오류 크기 다항식(error value polynomial)을 찾기 위한 KES 블록이 가장 많은 연산을 필요로 하며, 하드웨어 복잡도가 가장 높다. RS 복호기에 관한 연구는 대부분 KES 알고리즘에 관한 것이며, 많은 복호 알고리즘과 복호기 구조가 연구되어 왔다[3-8]. 이 중에서 수정된 유클리드(ME: Modified Euclidean) 알고리즘이 하드웨어의 규칙성이 구현에 적합하기 때문에 많이 사용된다[8].

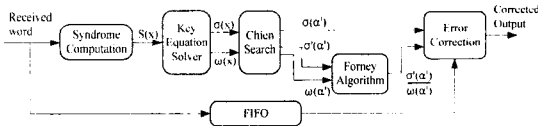


그림 1. RS 복호기의 블록도
Fig. 1 Block diagram of RS decoder

본 논문에서는 [4-6]에서와 같이 파이프라인 구조를 사용하는 Modified Euclidean(ME) 알고리즘을 사용하여 RS 복호기를 구성하고, UWB 시스템에 최적인 RS 복호기 설계 방안을 제안한다. 첫 번째로 [4-6]에서 제안된 ME 알고리즘의 processing element를 수정하여 최종단의 Q(x)에서 항상 error value polynomial이 출력되고, U(x)가 항상 error locator polynomial을 출력하도록 하여 최종 출력단에서 차수 비교를 하지 않는 구조를 제안한다. 다음으로 Chien 탐색 알고리즘, Forney 알고리즘, 오류 정정 블록 및 FIFO를 UWB 규격에 최적화시킨다. 마지막으로 제안된 복호기의 성능 평가 및 Verilog HDL(Hardware Description Language)을 사용하여 구현한 결과를 제시한다.

본 논문의 구성은 2장에서 제안된 ME 알고리즘 블록 구조에 관하여 기술하고, 3장에서 UWB 시스템을 위한 RS 복호기 최적 설계 방안을 다룬다. 4장에서는 복호기의 성능 평가 및 verilog HDL를 이용하여 구된 결과를 제시하고, 5장에서 결론을 맺는다.

II. 제안된 ME 알고리즘 블록 구조

2.1 UWB 시스템의 RS(23,17) 부호

UWB 시스템에서는 RS(255,249)의 축약 형태인 Systematic RS(23,17)부호를 사용한다. Systematic RS(255,249) 부호의 발생다항식은 다음과 같다[1].

$$g(x) = \prod_{i=1}^6 (x - \alpha^i) = x^6 + 126x^5 + 4x^4 + 158x^3 + 58x^2 + 49x + 117 \quad (1)$$

RS(255,249)부호는 RS 부호기에 249byte가 입력된 후, 식(2)와 같은 연산을 수행하여 RS 패리티 6byte를 구한다.

$$p(x) = \sum_{i=0}^5 p_i x^i = x^6 m(x) \bmod g(x) \quad (2)$$

여기에서 $m(x)$ 는 정보 다항식(Information polynomial)이며, 아래 식 (3)과 같다.

$$m(x) = \sum_{i=0}^{248} m_i x^i, \quad \text{where } \mathbf{m} = (m_{248}, m_{247}, \dots, m_0) \quad (3)$$

RS(23,17) 부호는 식 (3)의 입력 정보 벡터에서 식 (4)와 같이 $m_{248} \sim m_{17}$ 을 0으로 하여 계산된다.

$$\mathbf{m} = (0, \dots, 0, m_{16}, \dots, m_0) \quad (4)$$

따라서, UWB시스템의 RS(23,17)부호기의 출력 코드워드(codeword)는 식 (5)와 같이 정의된다.

$$\mathbf{c} = (c_{22}, c_{21}, \dots, c_0) = (m_{16}, m_{15}, \dots, m_0, p_5, p_4, \dots, p_0) \quad (5)$$

여기에서, c_i 는 8bit이며, Galois Field GF(28)의 원소

이다.

2.2 ME 알고리즘

일반적인 RS 복호기의 구조는 앞서 설명한 바와 같이, 그림 1의 구조를 가지며, KES 블록에 사용되는 알고리즘은 하드웨어의 규칙성이 우수하여 구현하기 쉬운 수정된 유클리드(ME) 알고리즘을 많이 사용한다. ME 알고리즘을 사용하는 KES 블록은 아래 식(7)~(10)을 이용하여 키 방정식 $S(x)\sigma(x) = \omega(x) \bmod x^{2t}$ 을 계산하여, 오류위치 다항식 $\sigma(x)$ 와 오류값 다항식 $\omega(x)$ 을 얻을 수 있으며, 초기치는 식 (6)과 같다[4,5]. $S(x)$ 는 복호기의 신드롬 계산 블록에서 계산된 신드롬 다항식을 나타내며, t 는 RS 부호의 오류 정정 능력을 나타내며, RS(23,17) 부호 일 때, $t = \lfloor (n - k) / 2 \rfloor$ 이다. $r(x)$ 는 수신된 코드워드 다항식이다.

$$S(x) = \sum_{i=0}^{2t-1} s_i x^i = s_{2t-1} x^{2t-1} + \dots + s_1 x + s_0 \quad (6)$$

where, $s_i = r(\alpha^i)$, $r(x) = r_{n-1} x^{n-1} + \dots + r_0$

$$R_0(x) = x^{2t}, Q_0(x) = S(x), L_0(x) = 0, U_0(x) = 1 \quad (7)$$

$$R_i(x) = [\sigma_{i-1} b_{i-1} R_{i-1}(x) + \bar{\sigma}_{i-1} a_{i-1} Q_{i-1}(x)] - x^{l_i} [\sigma_{i-1} a_{i-1} Q_{i-1}(x) + \bar{\sigma}_{i-1} b_{i-1} R_{i-1}(x)] \quad (8)$$

$$Q_i(x) = \sigma_{i-1} Q_{i-1}(x) + \bar{\sigma}_{i-1} R_{i-1}(x) \quad (9)$$

$$L_i(x) = [\sigma_{i-1} b_{i-1} L_{i-1}(x) + \bar{\sigma}_{i-1} a_{i-1} U_{i-1}(x)] - x^{l_i-1} [\sigma_{i-1} a_{i-1} U_{i-1}(x) + \bar{\sigma}_{i-1} b_{i-1} L_{i-1}(x)] \quad (10)$$

$$U_i(x) = \sigma_{i-1} U_{i-1}(x) + \bar{\sigma}_{i-1} L_{i-1}(x) \quad (11)$$

여기에서, a_{i-1} , b_{i-1} 는 각각 $R_{i-1}(x)$ 와 $Q_{i-1}(x)$ 의 leading coefficients이다. 그리고, l_{i-1} 과 σ_{i-1} 는 다음과 같다.

$$l_{i-1} = \deg(R_{i-1}(x)) - \deg(Q_{i-1}(x)) \quad (12)$$

$$\sigma_{i-1} = \begin{cases} 1, & \text{if } l_{i-1} \geq 0 \\ 0, & \text{if } l_{i-1} < 0 \end{cases} \quad (13)$$

여기에서, $\deg(\cdot)$ 는 다항식의 차수이다. ME 알고리즘은 $\deg(R_i(x)) < t$ 가 만족될 때 까지 반복된다.

2.3 제안된 ME 알고리즘 블록 구조

UWB 시스템에서 사용되는 RS(23,17)부호에 대하여 ME 알고리즘을 구현하기 위한 하드웨어 구조는 [6]에

제안되었다. [6]에서는 작은 복호 지연을 얻을 수 있는 파이프라인 구조로 구현하기 위해, PE1 ~ PE6까지 6개의 PE(processing element)를 사용하였다. 최종단의 PE6의 출력에서는 식 (14),(15)와 같이 R_6 와 Q_6 를 비교하여, $\sigma(x)$ 와 $\omega(x)$ 를 얻는다.

$$\sigma(x) = \begin{cases} U_6(x), & \text{if } \deg(R_6(x)) > \deg(Q_6(x)) \\ L_6(x), & \text{otherwise} \end{cases} \quad (14)$$

$$\omega(x) = \begin{cases} Q_6(x), & \text{if } \deg(R_6(x)) > \deg(Q_6(x)) \\ R_6(x), & \text{otherwise} \end{cases} \quad (15)$$

각 PE의 출력에서 항상 $\deg(R_i(x)) > \deg(Q_i(x))$ 가 만족되도록 PE의 구조를 바꾼다면, 식(14)와 (15)로부터 $\sigma(x) = U_6(x)$, $\omega(x) = Q_6(x)$ 가 항상 성립하기 때문에 마지막 PE 출력 신호의 차수 비교 및 MUX(multiplexer)가 필요없게 된다. [6]의 PE 셀에서는 입력되는 $\deg(R_{i-1}(x))$ 과 $\deg(Q_{i-1}(x))$ 를 비교하여 다항식 스위치를 한 후에, 다항식 연산을 수행하기 때문에, 식(14)와 (15)의 과정을 통해 $\sigma(x)$ 와 $\omega(x)$ 를 얻는다. 본 논문에서는 각 PE의 출력에서 항상 $\deg(R_i(x)) > \deg(Q_i(x))$ 을 만족하도록 하기 위해, $R_{i-1}(x)$, $Q_{i-1}(x)$, $L_{i-1}(x)$, $U_{i-1}(x)$ 로부터, 식(8)~(11)의 다항식 연산을 한 이후에, $\deg(R_i(x))$ 와 $\deg(Q_i(x))$ 를 비교하여 출력 다항식을 스위칭할지 여부를 결정한다. 이러한 구조를 그림 2에 나타내었고, \otimes 는 GF(2⁸) 곱셈기, \oplus 는 GF(2⁸) 덧셈기를 나타낸다.

그림 2에서 leadR, leadQ는 각각 $R_{i-1}(x)$ 와 $Q_{i-1}(x)$ 의 leading coefficient를 나타내며, stopout 신호는 식 (16)과 같다. PE cell 내부 제어신호 sw, cntrA, cntrB는 식 (17)에 정의되어 있다.

$$stopout = \begin{cases} 1, & \text{if } (\deg(R_i) < t) \text{ or } (\deg(Q_i) < t) \\ 0, & \text{otherwise} \end{cases} \quad (16)$$

$$sw = \begin{cases} 1, & \text{if } \deg(R_i) < \deg(Q_i) \\ 0, & \text{otherwise} \end{cases} \quad (17)$$

$$zq = \begin{cases} 1, & \text{if } \leq adQ = 0 \\ 0, & \text{otherwise} \end{cases}$$

$$cntrA = stopi \text{ or } zq \\ cntrB = stopi \text{ or } (zq)$$

III. RS(23,17) 복호기 최적 설계

3.1 KES 블록 최적 설계

UWB 시스템에서 사용되는 RS(23,17)부호는 오류정정 능력 $t=3$ 이므로, PE cell이 PE1 ~ PE6까지 6개가 필요하며, 각 PE 블록에서 2clock이 지연되기 때문에, KES 블록에서 총 12clock의 지연이 발생한다[6]. PE1의 입력 신호는 식(18)과 같은 초기치를 사용한다.

$$\begin{aligned} \deg(R_0(x)) &= 6, \deg(Q_0(x)) = 5, \\ R_0(x) &= x^6, \\ Q_0(x) &= xS(x) \\ &= s_5x^6 + s_4x^5 + s_3x^4 + s_2x^3 + s_1x^2 + s_0x, \\ L_1(x) &= 0, \\ U_1(x) &= x \end{aligned} \quad (18)$$

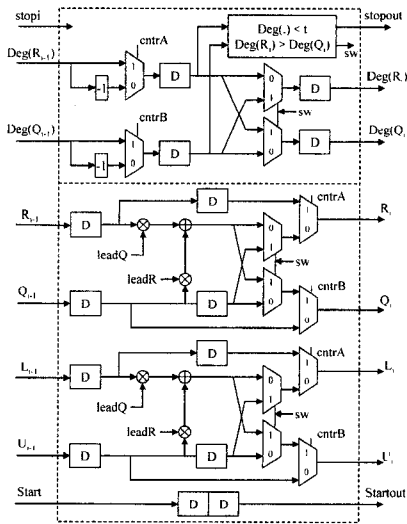


그림 2. 제안된 PE cell 구조
Fig. 2 The proposed PE cell structure

그림 2와 같은 구조를 갖는 PE1의 출력 신호는 $Q_0(x)$ 의 leading coefficient(s_5)가 0인지 아닌지에 따라 PE1의 출력 신호는 다음과 같이 표현할 수 있다.

$$\begin{aligned} \text{if } s_5 = 0, \text{ then} \\ \deg(R_1(x)) &= 6, \deg(Q_1(x)) = 4, \\ R_1(x) &= x^6, \\ Q_1(x) &= s_4x^4 + s_3x^3 + s_2x^2 + s_1x^1 + s_0, \\ L_1(x) &= 0, U_1(x) = 1 \end{aligned}$$

lse

$$\begin{aligned} \deg(R_1(x)) &= 5, \deg(Q_1(x)) = 5, \\ R_1(x) &= s_1x^5 + s_3x^4 + s_2x^3 + s_1x^2 + s_0x, \\ Q_1(x) &= S(x), \\ L_1(x) &= x, U_1(x) = 1 \end{aligned}$$

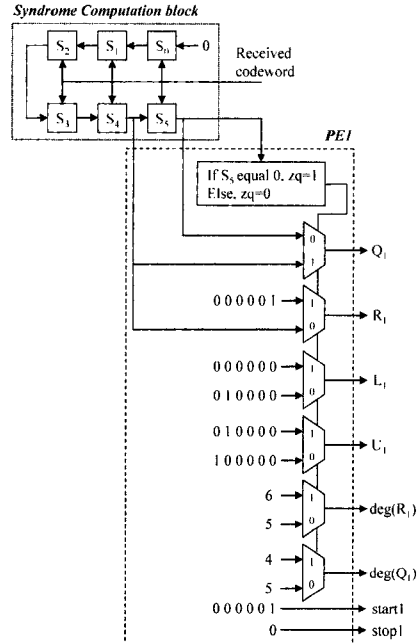


그림 3. 신드롬 계산 블록과 PE1 구조
Fig. 3 Syndrome computation block and PE1 structure

따라서, PE1은 그림 3과 같이 MUX로 구현할 수 있으며, KES 블록은 PE2~PE6까지 5개만 필요하기 때문에, 지연이 2clock이 줄어들어 10clock에 KES 블록 연산을 마칠 수 있 뿐 만아니라, gate count도 줄어들게 된다.

3.2 Chien 탐색 및 Forney 알고리즘 최적설계

KES 블록은 오류위치 다항식 $\sigma(x)$ 과 오류값 다항식 $\omega(x)$ 를 출력한다. 수신된 코드워드의 오류를 정정하기 위해서는 $\sigma(x)$, $\omega(x)$ 로부터 정확한 오류 위치와 오류값을 계산해야하는데, Chien 탐색 알고리즘과 Forney 알고리즘이 가장 효율적인 방법이며, 식(19)와 같다[2-9].

$$\alpha_{255-i} = \begin{cases} r_{255-i} + \frac{\omega(\alpha^i)}{\sigma'(\alpha^i)}, & \text{if } (\sigma(\alpha^i) = 0) \\ r_{255-i}, & \text{otherwise} \end{cases} \quad (19)$$

여기에서, α_i 는 오류가 정정된 i 번째 코드워드 심볼이며, RS(255,249)에 대하여 $i=1, \dots, 255$ 이다. $\sigma'(x)$ 는 $\sigma(x)$ 의 미분을 나타낸다. RS(23,17) 부호는 $t=3$ 이므로, $\sigma(x) = \sigma_3 x^3 + \sigma_2 x^2 + \sigma_1 x + \sigma_0$, $\omega(x) = \omega_2 x^2 + \omega_1 x + \omega_0$ 로 주어진다. 식(4),(5)에서 알 수 있듯이, RS(23,17) 부호에서는 $c_{235} \sim c_{23}$ 은 전송되지 않고, parity 비트 $c_5 \sim c_0$ 는 오류를 정정할 필요가 없기 때문에, 식(19)의 Chien 탐색과 Forney 알고리즘은, $i=233, \dots, 249$ 에 대해서만 수행하면 된다. 따라서, Chien 탐색 알고리즘 그림 4와 같은 구조로 설계할 수 있고, Forney 알고리즘은 그림 5와 같이 설계할 수 있다. 그림 4와 그림 5에서 네모 박스 안의 다항식은 각 알고리즘 블록이 동작할 때 초기값을 나타낸다.

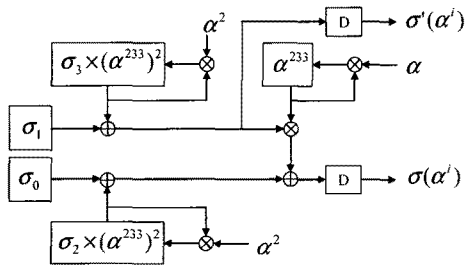


그림 4. Chien 탐색 블록
Fig. 4 Chien search block

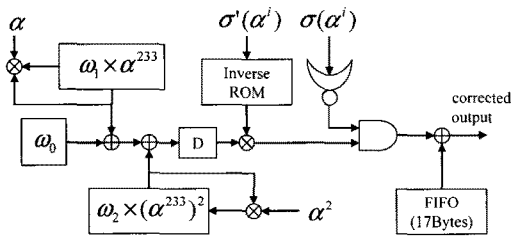


그림 5. Forney 알고리즘 및 오류정정 블록
Fig. 5 Forney algorithm and error correction block

일반적인 RS 복호기에서는 복호기 전체 지연에 해당하는 크기 만큼의 FIFO를 가지고 있어야 하지만, UWB 시스템에서는 PLCP header에서만 RS 부호를 사용하고 다른 곳에서는 사용되지 않기 때문에 전체 지연만큼의 FIFO 대신, 그림 5와 같이 정보 심볼의 길이인 17Byte FIFO만 있으면 된다.

IV. 성능 평가

그림 6은 본 논문에서 제안된 RS(23,17) 리드-솔로몬 복호기의 비트 오류 확률 성능을 나타낸다. C++언어를 이용한 시뮬레이션 프로그램을 작성하여 성능 평가를 하였으며, BPSK(Binary Phase Shift Keying) 변조를 사용했을 때, AWGN(Additive White Gaussian Noise) 채널에서 복호기 성능이다. RS 부호기의 성능을 비교하기 위하여, 부호화되지 않은 BPSK 변조 방식의 성능곡선을 같이 표시하였다. RS(23,17)부호는 비트오류확률 10^{-5} 기준에서 약 2dB의 부호이득을 가진다.

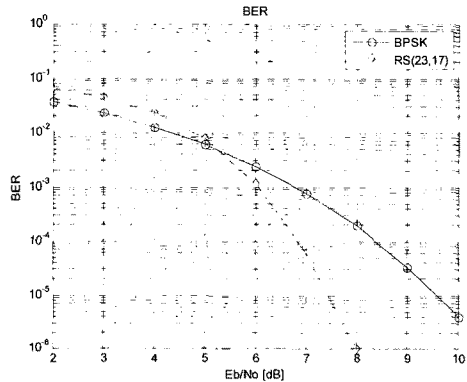


그림 6. AWGN채널에서 RS(23,17) 부호의 비트오류확률

Fig. 6 Bit error probability of RS(23,17) code under AWGN Channel

그림 7은 Verilog로 구현된 RS(23,17) 복호기의 입출력 신호를 나타내고, 그림 8은 입력 신호의 타이밍을 그림 9는 출력신호의 타이밍을 나타낸다. 그림 8에서 t1은 수신된 코드워드가 디코더에 입력되는 시작되는 시점을 나타내며, t2는 23byte의 수신된 코드워드가 디코더에 입력되는데 걸리는 시간을 의미하며, t1에 23 클럭을 더한 값이 된다. 그림 9의 t3는 RS 복호기가 복호된 데이터의 출력 시작점을 의미하며, 그림 8의 t2에 복호 지연 15 클럭을 더한 값이 된다. 그림 10은 구현된 복호기의 functional simulation결과이고, ModelSim을 이용하여 시뮬레이션을 수행하였다. 이 결과로부터 알 수 있듯이, 구현된 복호기는 수신 심볼 23byte가 신드롬 계산 블록에 입력되고 나서, 15clock 뒤에 오류 정정된 정보 심볼이 출력되는 것을 볼 수 있다.

본 논문에서 제안된 RS(23,17)의 복호기는 17byte FIFO를 가지며, PE1을 그림 3과 같이 줄임으로써, KES 블록이 [6]에 비해 gate count가 약 1/6=16% 줄어드는 효과를 가지며, 전체 latency도 줄어드는 것을 알 수 있다. FIFO는 17Byte이므로 register로 구현하였다. Xilinx FPGA인 XC5VLX110-3FF676을 타겟으로 하여 ISE 9.1i에서 합성한 경우에는 동작주파수가 약 138.5MHz이며, 그림 11에서 볼 수 있듯이 total equivalent gate count는 17,721이다. 또한, 삼성 65nm library를 이용하여 합성한 결과, 350MHz로 합성했을 때 timing violation이 발생하지 않았기 때문에 실제 ASIC을 제작해도 250MHz까지 동작한다고 볼 수 있으며, gate count는 20,710로 나타났다.

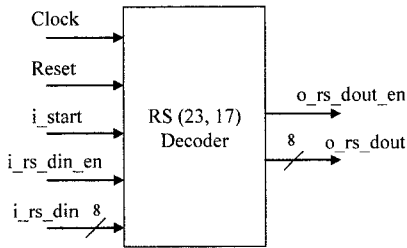


그림 7. RS decoder 모듈의 핀 할당
Fig. 7 Pin assignment of RS decoder module

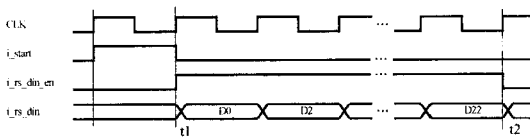


그림 8. 복호기 입력 타이밍도
Fig. 8 Input timing for decoder

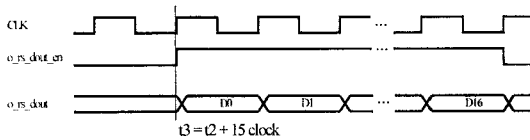


그림 9. 복호기 출력 타이밍도
Fig. 9 Output timing for decoder

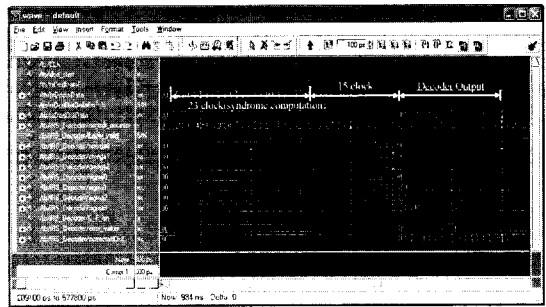


그림 10. ModelSim 시뮬레이션 결과
Fig. 10 ModelSim simulation result

Device Utilization Summary				
Slice Logic Utilization	Used	Available	Utilization	Note(s)
Number of Slice Registers	806	69,120	1%	
Number used as Flip Flops	806			
Number of Slice LUTs	1,620	69,120	2%	
Number used as logic	1,609	69,120	2%	
Number using O6 output only	1,609			
Number used as exclusive route-thru	11			
Number of route-thrus	11	138,240	1%	
Number using O6 output only	10			
Number using O5 and O6	1			
Slice Logic Distribution				
Number of occupied Slices	472	17,280	2%	
Number of LUT Flip Flop pairs used	1,708			
Number with an unused Flip Flop	902	1,708	52%	
Number with an unused LUT	88	1,708	5%	
Number of fully used LUT-FF pairs	718	1,708	42%	
I/O Utilization				
Number of bonded I/OBs	21	442	4%	
Specific Feature Utilization				
Number of BUFG/BUFGCTRLs	2	32	6%	
Number used as BUFGs	2			
Total equivalent gate count for design	17,721			
Additional JTAG gate count for IOBs	1,008			

그림 11. Xilinx FPGA(XC5VLX110) 합성 결과
Fig. 11 Synthesis results for Xilinx FPGA(XC5VLX110)

V. 결론

본 논문에서는 MB-OFDM 시스템에서 사용되는 RS(23,17)부호의 복호기를 설계하였다. 제안된 복호기는 파이프라인 구조를 사용하는 Modified Euclidean(ME) 알고리즘을 사용하며, UWB 시스템에 최적화되었다. 첫 번째로 [4-6]에서 제안된 ME 알고리즘의 processing element를 수정하여 최종단의 Q(x)에서 항상 오류값 다항식이 출력되고, U(x)가 항상 오류 위치 다항식을 출력하도록 하여 최종 출력단에서 차수 비교를 하지 않는 구

조를 제안하였다. 다음으로 Chien 탐색 알고리즘, Forney 알고리즘, 오류 정정 블록 및 FIFO를 UWB 규격에 최적화하였다.

본 논문에서 제안된 RS(23,17)의 복호기는 17byte FIFO를 가지며, KES 블록이 [6]에 비해 gate count가 약 1/6=16%줄어드는 효과를 가지며, 전체 latency도 줄어드는 것을 알 수 있다.

참고문헌

- [1] International Standard, ISO/IEC 26907:2007(E), "Information technology - Telecommunications and information exchange between systems - High Rate Ultra Wideband PHY and MAC Standard"
- [2] S. B. Wicker, Error Control Systems for Digital Communication and Storage, Englewood Cliffs, NJ, Prentice-Hall, 1995.
- [3] H. M. Shao, T. K. Truong, L. J. Deutsch, J. H. Yuen, and I. S. Reed, "A VLSI design of a pipeline Reed-Solomon decoder", IEEE Trans. Comput., vol. C-34, no. 5, pp. 393-403, May 1985.
- [4] H. Lee, "Modified Euclidean algorithm block for high-speed Reed-Solomon decoder", Electron. Lett., 37, pp. 903-904, 2001.
- [5] H. Lee, "High-speed VLSI architecture for parallel Reed-Solomon decoder", IEEE Trans. Very Large Scale (VLSI) Integr. Syst., vol. 11, no. 2, pp. 288-294, Apr. 2003.
- [6] S. W. Choi, S. S. Choi, H. Lee, "RS decoder architecture for UWB," IEEE ICACT 2006, pp. 805-808, 2006.
- [7] J. H. Baek and M. H. SunWoo, "New degree computationless modified Euclid's algorithm and architecture for Reed-Solomon decoder", IEEE Trans. Very Large Integr. (VLSI) Syst., vol. 14, no. 8, pp. 915-920, Aug. 2006.
- [8] Hyeong-Ju Kang, In-Cheol Park, "A high-speed and low-latency Reed-Solomon decoder based on a dual-line structure", IEEE International Conference on Acousitics, Speech, and Signal Processing, vol. 3, pp. 3180-3183, May. 2002.
- [9] S. Lin, D. J. Costello, Error Control Coding: Fundamentals and Applications, Prentice-Hall, 1983.

저자소개



강 성 진 (Sung-Jin Kang)

1992년 2월 연세대학교 전자공학과
공학사

1994년 8월 연세대학교 전자공학과
공학석사

1998년 8월 연세대학교 전자공학과 공학박사

1998년 12월 ~ 2000년 1월 ETRI 무선방송기술연구소
선임연구원

2000년 2월 ~ 2002년 8월 (주)이노텔리텍 기술이사

2002년 9월 ~ 2007년 2월 전자부품연구원 통신네트워
크연구센터 책임연구원

2007년 3월 ~ 현재 한국기술교육대학교 정보기술공학
부 조교수

※ 관심분야: WPAN, WLAN, MODEM SoC