

메모리 시스템의 고속 인터페이스 설계 및 측정 기술

전정훈
성균관대학교

요약

멀티코어 프로세서의 등장과 다량의 그래픽 연산을 필요로 하는 모바일 어플리케이션의 등장으로 광대역의 메모리 시스템과 이의 저전력 구현의 중요성이 더해지고 있다. 본고에서는 메모리 시스템 인터페이스의 고속 저전력 설계와 측정 기술 개발의 최근 동향에 대해 기술한다. 500GB/s 이상의 SoC 메모리 대역폭을 실현하기 위해 필요한 기술들과 ~2mW/Gb/s의 전력 소모를 갖는 저전력 고속 IO 설계 방법 등을 소개한다.

1. 서론

본장에서는 광대역 메모리 시스템의 설계 기술을 설명하기에 앞서, 현재 어떠한 응용 분야가 광대역 혹은 저전력의 메모리 시스템을 필요로 하는지, 그 배경에 대해서 먼저 기술한다.

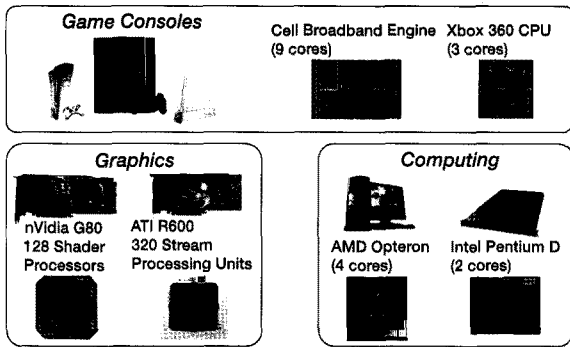
수년 전부터 CPU의 클럭 스피드의 향상 속도가 1980-1990년대의 증가 속도와 비교하여 확연하게 감소하고 있으며, 이는 주로 전력 소모의 증가에 의한 시스템 구축의 어려움에 기인한다. CPU 클럭 속도의 향상이 둔화된 반면, 트랜지스터의 집적도는 지속적으로 향상되어 왔는데, 이러한 경향을 (그림 1)에서 확인할 수 있다. 2002년 Pentium® 4 이후 클럭 속도의 향상이 미미한 반면, 트랜지스터의 집적도의 증가는 계속 빠르게 진행되어 왔다. (그림 1)에서 주목해야 하

는 요소는 바로 전력 소모인데, Pentium® 4의 경우 100W 이상의 전력을 소모하면서 열 전달과 냉각을 위한 비용 증가가 크게 문제시됐다. 단일 CPU의 연산 속도와 전력 소모간의 트레이드 오프를 완화 시켜주는 해결책으로 멀티 코어를 통한 병렬 처리 연산을 들 수 있겠다 [1].

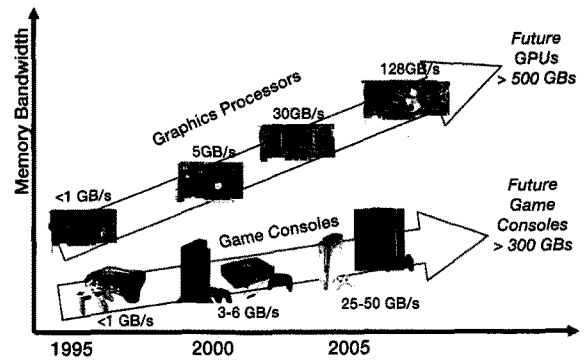
	Pentium® 1994	Pentium®III 1999	Pentium®4 with HT 2002	Pentium®4 EE 2004
Transistors	3.3M	9.5M	55M	178M
Clock Speed	75MHz	600MHz	3GHz	3.46GHz
Power	8W	20W	84W	111W

(그림 1) CPU내의 트랜지스터 숫자, 클럭 속도, 전력 소모의 변천 [1]

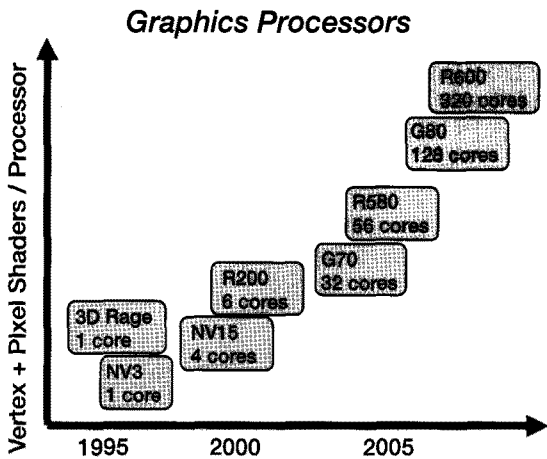
(그림 2)의 예와 같이 Intel Pentium® D가 2개의 코어 프로세서, AMD Opteron이 4개의 코어를 사용하는 등 Computing 응용을 비롯하여, 게임 콘솔과 그래픽 프로세서 등 응용 부분 전반에 걸쳐 멀티코어가 광범위하게 사용되고 있다. 이들 중 특히 게임 콘솔과 그래픽 프로세서가 동시에 많은 데이터를 처리하며 연산을 수행해야 하기 때문에 특히 넓은 메모리 대역폭을 요구한다. 또한 그래픽 처리의 특성상 병렬 연산의 구현이 용이하게 때문에 그래픽 프로세서의 멀티 코어의 개수가 (그림 3)에서 보여지는 바와 같이 빠르게 증가하는 추세이다. 현재 100개 이상의 코어를 채용하는 그래픽 프로세서가 사용되고 있다.



(그림 2) 멀티코어 어플리케이션의 사례



(그림 4) 메모리 대역폭의 증가[1]



(그림 3) 그래픽 프로세서의 멀티 코어의 개수 변화

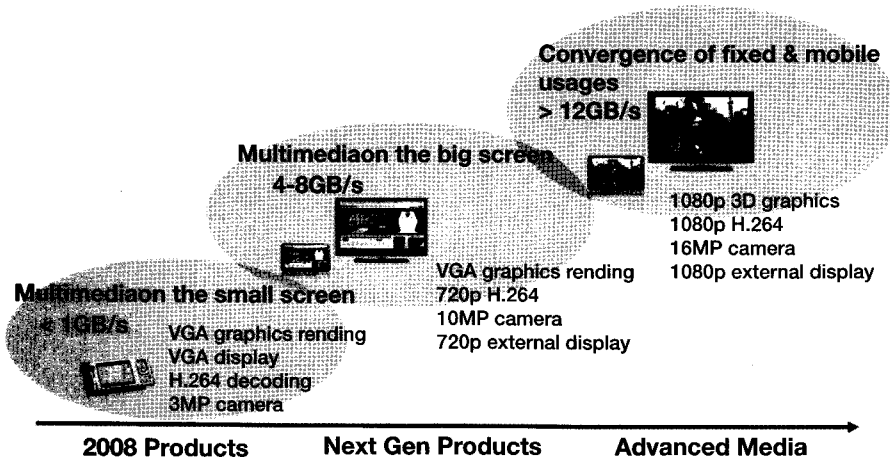
이러한 병렬 처리와 함께 Virtualization에 의해 리소스의 이용도가 증가함에 따라, 메모리 대역폭의 증가에 대한 요구는 모든 응용 분야에 동일하게 나타나고 있다. (응용 분야의 특성에 따라 각기 다른 메모리 용량과 access granularity를 필요로 하기 때문에 유동적으로 각 시스템의 요구를 만족시킬 수 있는 메모리의 개발이 또한 매우 중요하나, 본고에서는 이에 대해 자세히 다루지 않겠다.)

(그림 4)에서 나타낸 바와 같이 시스템이 필요로 하는 메모리 대역폭은 빠른 속도로 증가하고 있으며, 최근 그래픽 프로세서를 중심으로 100GB/s 이상의 대역폭을 요구하는 응용 분야가 등장하였고 2010년에서 2012년 사이에 500GB/s ~ 1TB/s의 메모리 대역폭을 요구하는 시스템이 등장하게 될 것으로 추정한다. 문제는 과연 이렇게 넓은 메모리 용량과

대역폭을 어떻게 구현하는가 이다.

메모리 용량은 latency와 전력 소모의 문제점이 있지만 FB-DIMM과 같은 버퍼를 사용함으로써 상당부분 해결할 수 있다. 대역폭을 향상시키기 위해서는 먼저 I/O의 핀 수를 증가시켜 물리적으로 데이터 채널을 넓게 하는 방법을 생각할 수 있다. 하지만 ITRS (International Technology Roadmap for Semiconductors) 2007년 판에 의하면 2012년까지 BGA Solder Ball피치 등으로 추정할 수 있는 칩과 패키지의 I/O 밀도는 현재와 크게 다르지 않을 것으로 예측하고 있다. 그러므로 I/O 버스를 넓게 가져가는 것은 좋은 해결 방법이라 할 수 없겠다. 그러면 메모리 대역폭을 높이기 위해서 결국 한 채널당 데이터 전송율을 향상시키는 방법을 생각할 수밖에 없다.

모바일 어플리케이션의 경우 이에 더하여, 제한된 배터리 용량, 작은 폼 팩터로 인해 광대역 인터페이스 구현과 함께, 저전력 설계가 특히 중요하다. 특히 미디어 게이트웨이, 울트라 모바일 PC등의 차세대 모바일 디바이스는 고성능과 함께 저전력을 요구한다. 이러한 모바일 디바이스 역시 encoding/decoding, 2D/3D 그래픽 acceleration, 비디오 디스플레이/스케일링과 같은 그래픽 관련 연산을 수행하기 위해 4-12GB/s의 메모리 대역폭을 필요로 할 것으로 예상하고 있으며, 1080p의 고해상도 디스플레이를 구현하기 위해서는 12GB/s 이상의 메모리 대역폭이 필요하다(그림 5). 이에 생산 원가 절감을 위한 노력과 패키지/폼 팩터의 제한적 요인들로 IC칩의 핀 숫자를 줄이고자 하는 경향이 더해져서, 핀 당 저전력으로 높은 데이터 전송율을 구현하는 연구개발의 중요성이 더해지고 있다. 결국 위에서 설명한 데이터 전



(그림 5) 모바일 어플리케이션과 메모리 대역폭[2]

voltage, VREF) 잡음 등의 영향이 시스템 성능을 결정하는 중요한 요인이 된다. 이러한 잡음원 중 많은 부분은 설계 개선을 통해 제거해 나갈 수 있다. 예를 들어 stripline 설계에서 다층의 PCB를 사용하거나, 레이아웃 영역의 면적을 증대한 가운데 충분한 그라운드 가드를 삽입함으로써 상호 간섭을 줄일 수 있으며, 플립칩 패키지를 사용하여 패키지의 인덕턴스와 그에 따른 상호간섭을 감소 시

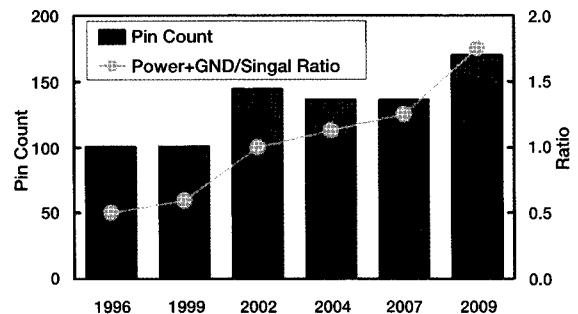
킬 수 있다. 또한 온칩, 오프칩 디커플링 커패시터를 효과적으로 사용함으로써 전원 잡음 역시 감쇄시킬 수 있다[3]. 하지만 이러한 물리적인 설계 변경을 통해 성능을 향상시키는 데에는 사용 가능한 리소스와 설계 구현 비용의 제한이 있을 수 있기 때문에, 메모리 시스템이 사용되는 어플리케이션의 요구사항에 맞추어 설계를 최적화할 필요가 있다. 이 중 SSO 잡음을 감쇄시키는 것이 가장 어려운 일 중 하나인데, 특히 HDTV나 일반 모바일 어플리케이션에서 광범위하게 사용되는 와이어 본딩 패키지를 사용하는 경우 SSO 잡음이 single-ended 시스템의 설계에서 가장 중요한 영향을 갖는다. 때문에 GDDR4는 그래픽 메모리 채널에서 Data Bus Inversion (DBI) encoding을 사용하여 전력소모와 SSO 잡음을 감소시키고 있으며[4], DBI encoding 사용시 전원 잡음을

송을 향상을 위한 연구가 모바일 어플리케이션에도 절실히 요구되는 것이다. 본론에서는 최근 발표된 데이터 전송을 향상을 위한 기술과 저전력 설계 기술을 몇 가지 구현 사례를 통해 소개하도록 하겠다. 먼저 현재 범용 어플리케이션에서 지배적인 single-ended signaling을 채택한 DDR/GDDR 메모리 시스템과 differential signaling으로 구현한 메모리 시스템의 장단점에 대해 논하고, differential signaling 메모리 시스템의 현재 연구 현황과 가장 진보된 기술에 대해 보고 하겠다. 그리고 마지막으로 인터페이스의 속도가 증가할수록 그 중요성이 더해지고 있는 in-situ on-chip testing에 대해서도 알아본다.

II. 본 론

2.1 Single-ended signaling vs. Differential signaling

서론에서 언급한 바와 같이 현재 시장에서 지배적으로 많이 사용되고 있는 DDR/GDDR DRAM은 주로 single-ended signaling을 채택하고 있다. 이를 이용한 메모리 인터페이스에서는, 데이터율이 증가할수록 상호간섭과 simultaneous switching output (SSO) 잡음, 그리고 기준전압의 (reference



(그림 6) Single-ended 메모리 시스템의 핀 개수, 전력선의 핀 수와 시그널 핀의 비율[5]

30% 가량 감소시킬 수 있음이 보고된 바가 있다[5]. 최근 GDDR5 는 이 코딩 기술을 어드레스 핀에까지 확장하였다.

Single-ended signaling의 이러한 잡음과 관련한 문제점들 중 대부분을 differential signaling을 사용함으로써 해결할 수 있으나, 단점은 시그널 핀의 개수를 두 배로 증가시켜야 하는 것이다.

Differential signaling은 한 개의 bit을 전송하기 위해 두 개의 시그널 라인이 필요하기 때문에, 같은 데이터 전송율을 유지하기 위해서는 differential signaling의 전체 핀 수가 single-ended signaling의 전체 핀 수의 두 배가 되어야 한다고 생각하기 쉬우나, 이는 사실이 아니다.

Single-ended 메모리 시스템의 경우 일반적으로 전원과 SSO 잡음을 감소시키기 위해서 상대적으로 많은 핀을 전원과 접지에 할당한다. (그림 6)은 single-ended signaling을 이용하는 그래픽 메모리 디바이스에서 전원/접지 핀 수와 시

그널 핀 수의 비율의 변화를 보여준다.

이렇듯 두 가지 signaling 방법이 각기 장단점을 가지고 있기 때문에 signaling 방법의 선택은 응용분야와 메모리 시스템의 특성에 따라 이루어져야 한다. 어떠한 특성의 시스템에 두 가지 signaling 기술 중 어느 것이 적합한 지 <표 1>에 요약하였다.

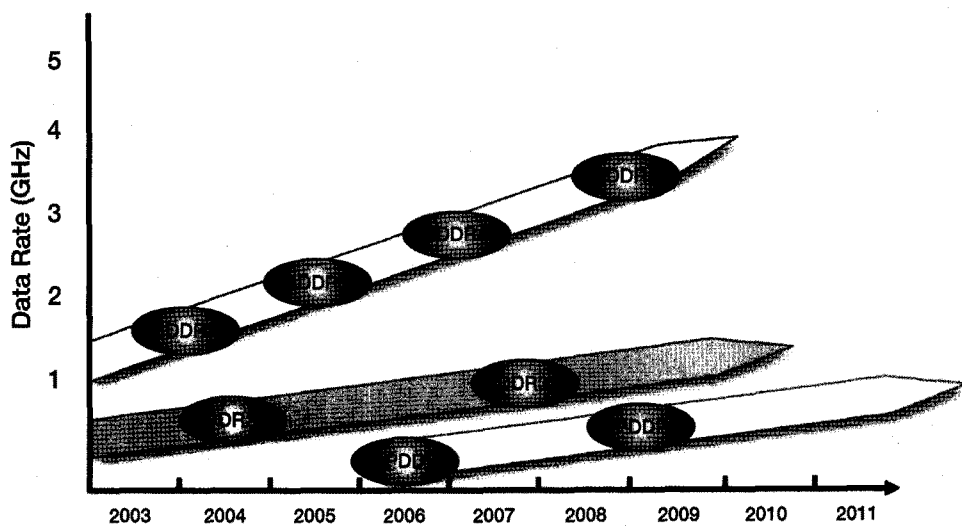
기존의 구현된 많은 시스템에 single-ended 메모리 디바이스가 사용되고 있기 때문에 호환성 면에서 differential signaling을 이용한 메모리 디바이스가 불리한 면이 있지만, Signal Integrity 엔지니어링 면에서는 differential signaling이 많은 장점을 가지고 있으며, 이 장점은 전송 데이터율이 증가할수록 더욱 명확해진다. 아래에서는 differential signaling 기술로 구현된 고속/저전력 설계의 예를 살펴보도록 하겠다.

2.2 초고속 메모리 인터페이스 설계

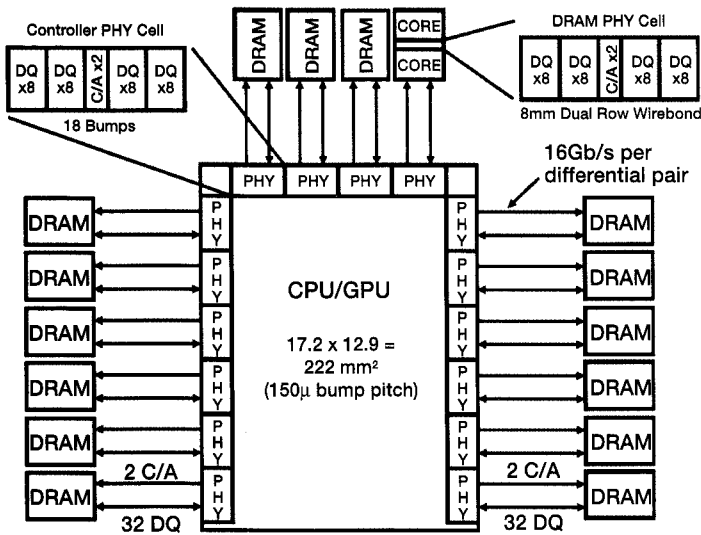
(그림 7)은 JEDEC에서 최근 발표한 DDR DRAM 로드맵을 보여준다. 이 그림이 보여주는 바와, 최근 발표된 바에서[6] 살펴보면 현재 그래픽 메모리의 경우 DRAM 디바이스의 데이터 전송율은 5~6Gb/s 정도까지 개발되어 있는 단계이다. 하지만 이 전송 속도는 앞의 서론에서 언급한 500GB/s 이상의 SoC 메모리 대역을 구현할 수준에는 크게 미치지 못한다.

<표 1> Single-ended signaling vs. Differential signaling

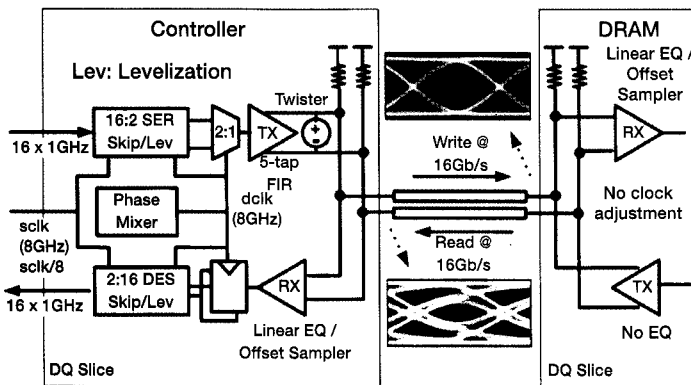
System Type	Single-ended	Differential
Low Speed	Good	Poor
Low Power	Poor	Good
Crosstalk dominant	Poor	Good
SSO noise Dominant	Poor	Good
Compatibility	Good	Poor



(그림 7) JEDEC DDR 로드맵



(그림 8) 1TB/s 메모리 시스템의 예



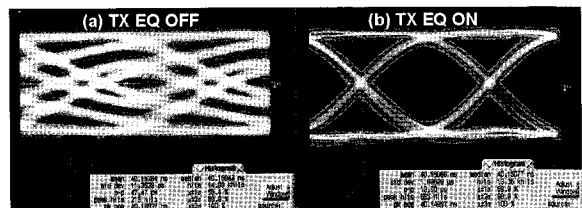
(그림 9) 16Gb/s의 비대칭적 메모리 인터페이스[8]

최근 differential signaling을 이용하여 16Gb/s/link의 데이터 전송율을 구현한 메모리 인터페이스와 이를 통한 1TB/s의 메모리 대역폭의 구현에 관한 연구를 발표하였다[7,8].

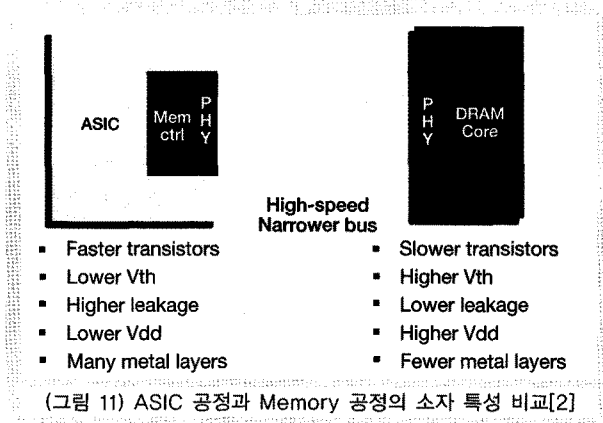
(그림 8)은 1TB/s 메모리 시스템의 예를 보여준다. 각각의 메모리 인터페이스는 16Gb/s의 데이터 전송율을 가지고 있으며 하나의 DRAM은 32개의 데이터 채널을 가지므로 도합 64GB/s의 대역을 제공한다. 제안된 시스템은 16개의 64GB/s DRAM과 16개의 Memory Controller PHY를 이용하여 222mm²의 실리콘 면적 안에 전체 1TB/s 대역폭을 구현할 수 있음을 보여준다.

위의 광대역 메모리 시스템을 가능하게 한 핵심적인 기술들을 열거하면 다음과 같다. 먼저 데이터 채널 (DQ)과 Command & Address (C/A) 채널 모두를 differential signaling으로 구현하여 Signal Integrity를 향상시켰다. 기존의 Multi-drop single-ended 채널로 구현하였던 C/A 역시 16Gb/s 데이터 전송율을 갖는 point-to-point 링크로 구현함으로써 C/A 채널의 개수를 줄여 보다 많은 핀을 데이터 전송에 사용하도록 하였다. 또한 어플리케이션에 따라 DQ 채널 당 C/A의 개수를 변화시켜 access granularity를 조절할 수 있다. 그리고 16Gb/s의 데이터 전송율을 가질 때 데이터와 데이터간의 Unit-Interval (UI)이 62.5ps로 매우 짧아져 데이터를 송수신하는 시간을 정확하게 제어하는 것이 중요한데, Flexphase™ 기술을 이용하여 각 채널의 데이터 전송 및 수신 시간을 1ps 이하의 해상도로 조절 가능하도록 하였다. 이로 인해 각각의 링크 별로 데이터 전송/수신 시간을 보정함으로써 제작 공정 상의 통계적 변화, 온도 변화 등에 따라 데이터 전송 시간에 차이가 생기는 것을 보상할 수 있다. 또한 16Gb/s의 데이터 전송 시에 Inter-Symbol Interference (ISI)의 영향을 상쇄시키기 위하여 equalization의 구현이 필요하다. 구현된 시스템에서는 5-tap FIR과 Continuous-time Linear equalizer를 메모리 컨트롤러의 TX와 RX 단에 각각 도입하였다.

(그림 10)에서 보인 바와 같이 TX equalizer를 사용하지 않은 경우(그림 10a)는 계측기로 관찰한 데이터의 Eye가 거의 닫혀져 있으나, TX FIR의 tap weight를 최적화



(그림 10) Tx Eyes (a) without EQ, (b) with EQ



하였을 때 (그림 10b)와 같이 넓은 Eye를 확보할 수 있음을 볼 수 있다.

본 시스템의 중요한 특징 가운데 한가지는 위에 기술한 equalization과 데이터 송수신 시간의 조절 그리고 2.4 장에 기술할 링크의 특성을 평가하는 회로를 모두 DRAM이 아닌 메모리 컨트롤러에 구현하였다는 것이다. 이는 메모리 컨트롤러를 위한 ASIC 공정의 소자의 특성이 동일한 세대의 메모리 공정의 소자보다 두 배 가량 빠르기 때문에 메모리 시스템 전체의 전력 소모와 성능의 최적화를 위해서는 복잡한 기능들을 컨트롤러에 구현하는 것이 바람직하기 때문이다. (그림 11)에 ASIC 공정의 소자와 DRAM 공정의 소자의 특성을 비교하여 요약하였다.

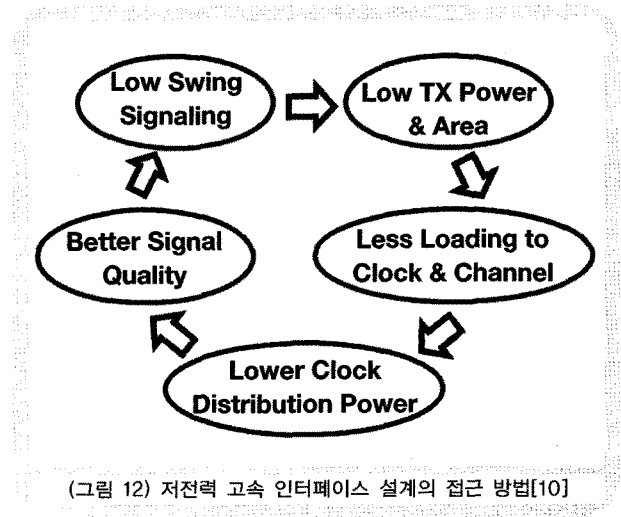
2.3 저전력 메모리 인터페이스 설계

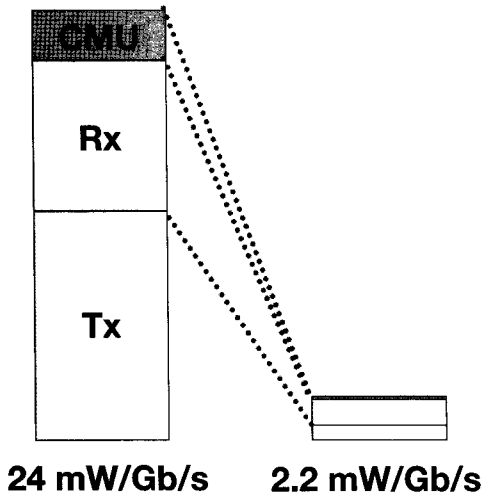
본 장에서는 저전력 메모리 인터페이스의 설계 방법에 대해 개괄적으로 알아보도록 한다.

(그림 5)의 모바일 어플리케이션을 중심으로 근래 저전력 메모리 시스템에 대한 시장의 수요가 빠르게 증가하고 있다. JEDEC의 DDR 메모리 대역폭의 로드맵(그림 7)에서 볼 수 있듯이 Low Power DDR (LPDDR)의 경우 GDDR등과 비교했을 때, 훨씬 낮은 메모리 대역폭을 갖는 것으로 설정되어 있으나, 많은 그래픽 연산처리를 요하는 광대역 어플리케이션을 지원하기 위해서는 GDDR에 상응하는 메모리 대역폭이 필요하며, 이 때 광대역 메모리의 저전력 설계가 큰 관건이 된다. 이에 따라 최근 저전력 설계와 관련한 연구가 다수 진행되었는데, 이 연구에 적용된 일반적인 설계 접근 방법을 살펴보면 다음과 같다.

[9]에서는 90nm CMOS 공정을 사용하여 14mW의 매우 낮은 전력을 소모 하는 6.25Gb/s transceiver를 구현하였는데, 이러한 저전력을 현실화한 방법을 살펴보면 differential 전압모드 signaling, 공진 클락 분배, 소프트웨어 CDR (Clock and Data Recovery) 등의 몇 가지 저전력 설계의 단순한 묶음으로 해석될 수도 있다. 하지만 저전력 구현을 가능하게 한, 보다 근본적인 비결은 저전력, 고감도, 낮은 오프셋 특성을 갖는 수신회로에 있다[10]. 이 고감도 수신회로는 170mV 이하의 낮은 전압차이를 감지할 수 있어서, 낮은 시그널 진폭으로 시그널을 전송하는 것을 가능하게 하고, 이에 따라 송신단의 크기와 전력소모를 줄일 수 있다. 이는 송신단 등에 공급되는 클락의 부하와 전력을 감소시키는 것으로 연결되며, 송신단에 의한 채널에의 부하 또한 감소하기 때문에 Signal Integrity 또한 향상된다. 연쇄적으로 Signal Integrity가 향상됨에 따라 송신 신호의 진폭을 더욱 줄일 수 있게 되어, (그림 12)에서와 같이 일종의 선 순환이 만들어지게 된다.

(그림 13)은 저전력 transceiver의 설계에 따른 소비 전력 변화를 소모 전력과 데이터 전송률 비를 통해 보여준다. 같은 6.25Gb/s의 데이터 속도를 갖는 backplane용 transceiver를 저전력 설계 방법을 이용하여 재설계하였을 때, transceiver 전체 전력 소모를 152mW에서 13.8mW로 크게 감소시키는 성과를 보고한다. 이 도표에서 보여주는 전력 절약 효과는 앞에서 언급하였듯이 고감도 수신부의 설계에서부터 비롯한다.





(그림 13) 전력 소모의 비교[10]

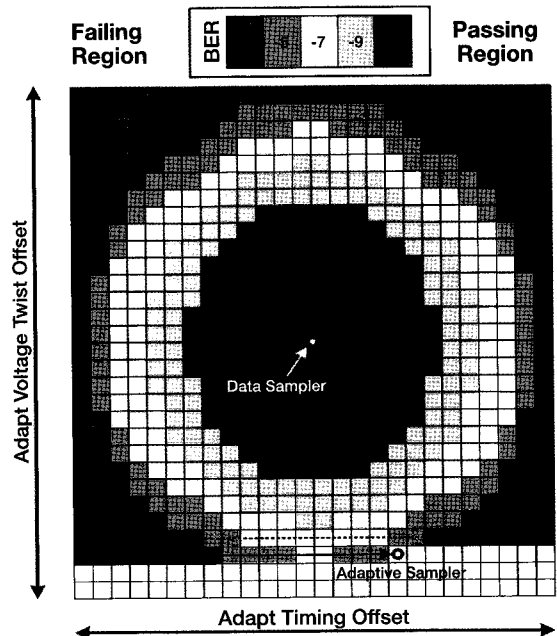
2.4 고속 인터페이스의 On-chip 측정 기술

고속 인터페이스의 성능을 측정하기 위해 일반적으로 계측기와 프로브를 이용한 오프칩 측정이 사용되어 왔다. 하지만 데이터율이 증가하여 고속 I/O의 특성이 송수신단의 부하 자체나 계측기의 기생성분에 따라 크게 변화하는 경우 오프칩 측정은 실제의 I/O 성능을 제대로 반영하지 못한다. 또한 2.2에서의 예와 같이 수신단에서 equalizer를 사용하는 경우, I/O 핀에서 신호가 수신단 이후 sampler의 실제 입력 신호와 크게 다르기 때문에, 핀/채널에서의 신호를 모니터링하는 것이 큰 의미가 없다. 따라서 온칩에서 실제의 링크 특성을 추출해내는 기술에 대한 연구가 활발히 진행되어 왔다.[8,11,12,13]

온칩 측정 방법을 대략적으로 설명하면 다음과 같다. PRBS 패턴과 같은 알려진 데이터 패턴을 송수신하는 가운데, 별도의 온칩 회로나 송신부의 일부를 이용하여[8] 채널에 프로그램 가능한 전압 오프셋을 인가하고, 수신단(혹은 송신단)의 데이터 타이밍을 변화시키며 bit error rate (BER)을 측정한다. 각각의 전압 오프셋과 타이밍 정보, 측정된 BER을 규합하여 (그림 14)와 같이 I/O의 Eye 를 구성한다. 이와 같이 추출한 Eye는 채널, equalization, jitter, TX/RX 회로 모두의 영향을 포함한 링크 전체의 성능을 나타내는 Eye이기 때문에 설계에 대한 보다 정확한 정보를 제공한다.

이러한 온칩 측정 방법은 설계 결과에 대한 피드백 시간과

프로브를 이용한 오프칩 측정 시간을 단축시킬 수 있으며, 오프칩 측정이 더욱 어려워지는 10Gb/s 이상의 데이터 전송율을 갖는 어플리케이션에서 유용하게 사용되어질 수 있다.



(그림 14) 온칩 Eye 모니터링

III. 결 론

최근 500GB/s~1TB/s의 광대역 SoC 메모리 시스템이나, 그래픽 연산처리가 많은 차세대 모바일 어플리케이션을 위한 저전력 메모리 인터페이스의 연구에 많은 발전이 있어 왔다. 전송 데이터율이 증가함에 따라 메모리 시스템 구축에 있어서 differential signaling의 장점이 부각되고 있으며, 이를 통해 16Gb/s/link 메모리 인터페이스를 구현하였다. 저전력 설계에서는 수신단의 감도를 향상시킴으로써 전체 시스템의 전력 소모를 크게 감소시킬 수 있음을 살폈다.

감사의 글

본고의 일부분은 Rambus 사의 Steve Woo, Dan Oh와 Qi Lin 등이 제공한 자료를 토대로 준비되었다.

참 고 문 헌

- [1] S. Woo, "Memory System Challenges in the Multi-Core Era," *MemCon* 2008.
- [2] J. Chen, F. Ware, "The Next Generation of Mobile Memory," *MemCon* 2008.
- [3] D. Oh, et. al., "Study of Signal and Power Integrity Challenges in High-Speed Memory I/O Designs Using Single-Ended Signaling Schemes," *DesignCon* 2008.
- [4] M. R. Stand and W. P. Burleson, "Bus-invert coding for low-power I/O," *IEEE Transactions on VLSI Systems*, vol. 3, No. 1, pp.49-58, Mar. 1995.
- [5] D. Oh, et. al., "Pseudo-Differential Signaling Scheme Based on 4b/6b/ Multiwire Code," *EPEP* 2008.
- [6] S.-J. Bae, et. al., "A 60nm 6Gb/s/pin GDDR5 Graphics DRAM with Multifaceted Clocking and ISI/SSN-Reduction Techniques," *ISSCC* 2008.
- [7] K. Chang, et. al., "A 16Gb/s/link, 64GB/s Bidirectional Asymmetric Memory Interface," *VLSI Sym.* 2008.
- [8] J. Chun, et. al., "A 16Gb/s 65nm CMOS Transceiver for a Memory Interface," *ASSCC* 2008.
- [9] J. Poulton, et. al., "A 14-mW, 6.25-Gb/s Transceiver in 90-nm CMOS," *JSSC* vol.42, No.12, pp.2745-2757, 2008.
- [10] A. Chan, et. al., "Design Consideration for Low-Power High-Performance Mobile Logic and Memory Interfaces," *ASSCC* 2008.
- [11] M. Shin, et. al., "A 6.4Gbps On-chip Eye Opening Monitor Circuit for Signal Integrity Analysis of High Speed Channel," *EMC Sym.* 2008.
- [12] A. Martin, et. al., "8Gb/s Differential Simultaneous Link with 4mV 9ps Waveform Capture Diagnostic Capability," *ISSCC* 2003.
- [13] Q. Lin, et. al., "In-situ characterization of high-speed interfaces with on chip measurements," *DesignCon* 2008.

약 령



전 정 훈

1998년 서울대학교 학사
2000년 서울대학교 석사
2000년 ~ 2001년 삼성전자 System LSI RF 설계팀
2006년 스탠포드대학교 박사
2006년 ~ 2008년 Rambus Inc.
2008년 ~ 현재 성균관대학교 교수
관심분야: 고속 시리얼 인터페이스 설계, 메모리 구조 등

