

SDR용 기저대역 프로세서 구조

이현석 | 박수원

광운대학교

요약

본고에서는 SDR 시스템을 구성하는 핵심 부품의 하나인 기저대역 (Baseband) 프로세서의 구조에 대해서 논한다. 무선 통신 시스템의 물리계층 (Physical Layer)에서 이루어지는 기저대역 신호처리는 ASIC 형태로 구현되는 것이 보통이며 이는 처리량을 최대화하면서 적절한 수준의 전력 소모량을 유지하기 위한 것이다. 그렇지만, 소프트웨어의 변경만으로 여러 무선 통신 규격을 하드웨어 변경 없이 지원하려는 SDR (Software Defined Radio) 시스템에서는 지원해야 하는 통신규격의 수가 많기 때문에 프로그램 가능한 프로세서가 사용되어야 한다. 하지만, 현재까지 개발된 기저대역 프로세서들의 최대 데이터 처리량과 소비전력은 상용제품으로는 부족한 것이 현실이다. 이와 같은 기대치와 실제 성능 사이의 격차를 줄이기 위해서 지금도 다양한 형태의 기저대역 프로세서들이 개발되고 있다. 본고에서는 현존하는 기저대역 프로세서들의 특성을 비교 분석한다.

1. 서론

1990년대 중반 디지털 이동 통신 시스템이 보급된 이후 휴대 전화는 우리의 일상 생활에서 필수품이 되었다. 이동 통신 시스템은 지금도 발전을 거듭해서 초고속 데이터 서비스를 어디서나 사용할 수 있는 수준에 도달했다. 하지만, 이동 통신 시스템의 발전 속도가 빨라지면서 2~3년에 한번씩 새

로운 이동 통신 규격이 제정되게 되었고 이와 같은 새로운 규격의 출현은 장비 제조 업체에게는 새로운 장비의 개발, 서비스 제공 업체에게는 새로운 장비에 대한 투자 압력으로 작용하게 되었다. 이동통신 시스템의 개발과 설치에는 많은 비용이 드는 만큼 지금의 발전 속도는 이동통신 장비 제조 업체와 서비스 제공 업체들에게도 긍정적으로만 작용하지는 않는다. 한편으로 사용자들 입장에서는 많은 종류의 이동 통신 시스템이 공존하므로 여러 종류의 단말기를 사용해야 하는 상황이 발생한다. 예를 들어 한국에서 사용하는 cdma2000 방식의 단말기는 GSM/WCDMA 방식이 주를 이루는 유럽에서는 사용할 수 없다. 이와 같은 문제점들을 모두 해결해 줄 수 있는 기술이 SDR (Software Defined Radio) 이다.

SDR은 동일한 하드웨어를 사용하면서 다수의 통신 규격을 소프트웨어의 변경만으로 지원 가능하도록 만드는 기술이다. 장비 제조 업체는 하나의 하드웨어 플랫폼을 개발해서 여러 통신 규격에 적용할 수 있으므로 개발 비용을 낮추고 개발 기간을 단축할 수 있다. 서비스 제공 업체는 소프트웨어 변경만으로 새로운 통신 규격의 지원이 가능하므로 설비 투자 비용을 줄일 수 있다. 사용자는 하나의 단말기로 시간과 장소에 따른 제약 없이 여러 가지 이동 통신 서비스를 제공 받을 수 있다. 그렇지만, 공통의 하드웨어를 이용해서 많은 통신 규격들을 지원하려는 SDR의 기본 개념은 기술적으로 구현하기 매우 어렵다.

자세한 설명을 위해 SDR에서 기술적으로 가장 구현하기 어려운 물리계층의 내부 구조를 우선 살펴보면 다음과 같다. 물리계층은 크게 무선주파수단 (Radio Frequency Unit)

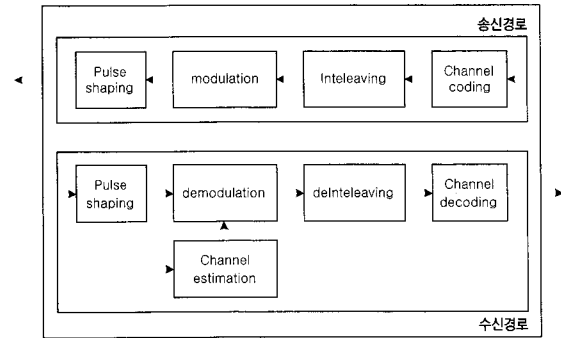
과 기저대역단 (Baseband Unit) 두 부분으로 나눌 수 있다. 무선주파수단은 기저대역단에서 처리된 신호를 전파 전송 효율이 좋은 전송 주파수 대역 (Carrier Frequency Band) 으로 올리는 동작을 수행하며, 역으로 전송 주파수 대역에서 수신된 신호를 기저대역으로 내리는 동작도 수행한다. SDR 시스템이 되기 위해서 무선주파수단은 하나의 통신 규격을 지원할 때 보다 넓은 주파수 대역을 지원해야 한다. 하지만, 무선주파수단의 하드웨어는 지원하는 주파수 대역이 넓어질수록 동작 특성이 나빠진다. 기저대역단은 신호가 무선 채널에서 신뢰성 있게 송수신되도록 복잡한 신호 처리 알고리즘들을 이용해서 처리하는 부분이다. 기저대역단은 수행해야 하는 연산량이 많아서 이를 프로그래밍 가능한 프로세서로 처리할 경우 최대 처리량과 전력 소모량을 만족시키는 것이 어렵다. SDR 시스템에서 무선주파수단과 기저대역단 모두 기술적으로 난이도가 높고 중요하지만 본고에서는 기저대역단에서 사용하는 프로그램 가능한 프로세서의 특성만을 다룬다.

기저대역용 프로세서의 구조는 기저대역에서 처리되는 신호 처리 알고리즘들의 특성과 관련이 깊으므로 본고에서는 기저대역용 프로세서들의 구조를 설명하기 앞서 기저대역에서 처리되는 신호 처리 알고리즘들이 어떤 특성을 가지는지 먼저 분석한다. 분석 결과 기저대역의 신호처리 알고리즘들은 여러 형태의 병렬 처리가 가능한 연산들을 포함하고 있다. 이와 같은 특성을 활용하기 위해서 기저대역의 프로세서들은 다양한 형태의 병렬 처리 기법들을 사용하고 있다. 본고에서는 기저대역 프로세서들에서 사용된 병렬 처리 기법들을 살펴보고 이들과 기저대역의 신호 처리 알고리즘들이 가지는 특성들과의 상관 관계를 살펴본다.

II. 본 론

2-1. 기저대역의 구조

기저대역은 이동 통신 시스템의 프로토콜 중에서 가장 하단에 위치하는 계층으로 무선 선로를 통해 신호를 전송할 때 발생하는 잡음, 신호 왜곡 등을 극복하고 통신이 이루어질 수 있도록 한다. 무선 선로의 영향을 최소화하기 위해서



(그림 1) 간략화된 기저대역의 구조

기저대역에서는 복잡한 신호 처리 알고리즘들이 수행되며 이들은 (그림 1)에서와 같이 크게 4가지 형태로 분류될 수 있다.

채널 코딩 (Channel Coding) 은 전송 데이터 사이의 상관 관계를 나타내는 정보를 추가적으로 삽입하여 전송된 데이터에 잡음 혹은 왜곡에 의해 오류가 발생한 경우 이를 검출해내고 더 나가서 복원할 수 있도록 한다. 가장 대표적으로 채널 코딩에 사용되는 부호는 길쌈부호 (Convolutional Codes)와 터보부호 (Turbo Codes)이다. 이들 부호의 복호에는 비터비 알고리즘 (Viterbi Algorithm) 과 최대 대수 MAP 알고리즘 (Max Log MAP Algorithm) 이 가장 널리 사용된다.

인터리빙 (Interleaving)은 데이터 비트열의 전송 순서를 미리 정한 규칙에 따라 바꿈으로써 무선 채널에서 발생할 지 모르는 순간적인 채널 열화의 영향을 완화하기 위해서 사용된다. 디인터리빙 (Deinterleaving) 은 수신된 데이터 비트열을 인터리빙 전의 원래 순서로 복원한다.

변조 (Modulation)는 전송하려는 데이터를 무선 채널에서 효과적으로 전송이 가능한 신호 형태로 변환하는 것이다. 복조 (Demodulation)는 안테나를 통해 수신된 신호에서 송신기에서 전송했을 것으로 추정되는 기저대역 신호를 생성하는 것이다. 수신 신호는 무선 채널의 잡음과 신호 왜곡으로 손상되었으므로 송신된 신호가 어떻게 왜곡되었는지 추정하는 채널 추정 (Channel Estimation) 과정이 필요하다. 추정된 채널 정보를 이용하여 복조시 채널 보상 (Channel Compensation) 한다.

펄스 웨이핑 (Pulse Shaping)은 송신되는 신호의 주파수 대역을 제한하기 위해 사용된다. 이동 통신 시스템에서는 한

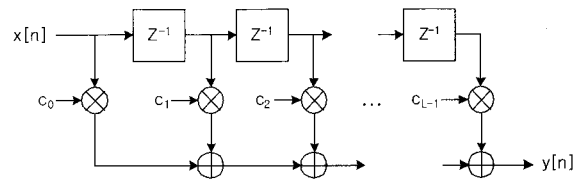
정된 주파수 대역을 사용하여 통신하여야 한다. 이상적인 구형파 (Square Wave)는 무한대의 주파수 대역을 가진다. 송신되는 신호가 허용된 주파수 대역밖으로 최소한의 간섭만을 발생하도록 펄스 셰이핑 여파기(Pulse Shaping Filter)를 사용한다. 수신단에서는 정합 여파기 (Matched Filter)의 효과를 얻기 위해 송신단과 동일한 형태의 여파기가 사용된다.

2-2. 기저대역의 연산 특성

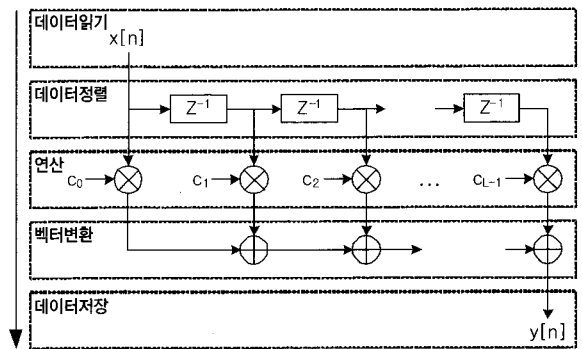
기저대역 신호처리에 필요한 연산들의 특성을 분석하는 것이 기저대역용 프로세서의 설계와 평가에 있어서 중요하다. 이때, 첫 번째 해야 할 작업은 기저대역 신호 처리부중 가장 많은 연산량을 차지하는 부분을 파악하는 것이다. 각 신호 처리부의 연산량 비율은 통신 시스템의 종류에 따라 다르지만 수신기내 복조기, 채널 추정기, 채널 복호기의 연산량이 다른 부분에 비해서 매우 크다. 그러므로, 기저대역용 프로세서의 설계에 있어서 이들 세 가지 신호 처리부를 효과적으로 처리하는 것이 중요하다.

복조기 중에서는 직교 주파수 분할 다중화 (OFDM: Orthogonal Frequency Division Multiplexing) 시스템의 복조기가 많은 연산을 필요로 하며 이 복조기는 고속 푸리에 변환 (Fast Fourier Transform) 을 기본 연산으로 하고 있다. 채널 추정기는 부호 분할 다중 접속 (CDMA: Code Division Multiple Access) 시스템에서는 탐색기(Searcher)가 무선 채널의 특성을 분석하기 위해 수신 신호와 미리 정의된 코드와의 상관도(Correlation)를 매우 높은 빈도로 계산한다. 시간 분할 다중 접속 (TDMA: Time Division Multiple Access) 시스템에서는 등화기 (Equalizer)가 채널 추정기로 사용된다. 등화기는 여러 방법으로 구현이 가능하지만 FIR (Finite Impulse Response) 여파기와 비터비 복호기를 사용하는 등화기가 주를 이룬다. 채널 복호기로는 비터비 복호기와 최대 대수 MAP 복호기가 많이 사용된다. 이들 복호기에서 수행되는 기본적인 연산은 ACS (Add Compare Select)와 BMC (Branch Metric Computation)이다.

기저대역 신호 처리 알고리즘에서 발견되는 특징들은 다음과 같다. 첫 번째 특징은 기저대역 동작을 구성하는 모든 신호 처리 알고리즘은 파이프라인(Pipeline) 형태를 이루면서 동시에 수행이 가능하다는 것이다. 예를 들면 (그림 1)에



(그림 2) FIR 여파기의 구조



(그림 3) FIR 여파기의 동작을 벡터 파이프라인으로 해석한 결과

서 보인 것과 같이 송신 경로에서 채널 부호기는 연산 결과를 인터리버로 보내고 인터리버는 입력된 데이터를 처리해서 변조기로 보낸다. 변조기는 다시 연산 결과를 펄스 셰이핑 여파기에 보낸다. 이와 같은 형태의 파이프라인은 수신 경로에서도 나타난다.

두 번째 특징은 대부분의 중요한 연산들이 벡터 (Vector) 형태를 갖는다는 것이다. 벡터 형태의 연산이란 동일한 연산을 입력 데이터 만을 바꾸어가며 반복한다는 의미로 가장 대표적인 경우가 (그림 2)와 같은 FIR 여파기다. FIR 여파기는 입력 데이터와 여파기 계수 사이의 곱셈 동작을 데이터를 바꾸어 가면서 반복한다. 앞서 언급한 것과 같이 기저대역 동작의 대부분을 이루는 고속 푸리에 변환기, 상관도 계산기, FIR 여파기, 비터비 복호기, 최대 대수 MAP 복호기는 많은 양의 벡터 연산을 포함하고 있다. 벡터 연산에 있어서 벡터의 길이가 중요하다. 이는 동시에 처리 가능한 연산의 수를 나타내기 때문이다. 구현 방식에 따라 정확한 수치는 달라지지만 기저대역에서 가장 긴 벡터 길이를 가지는 것은 탐색기(Searcher)이고 가장 짧은 것은 최대 대수 MAP 복호기다 [1].

세 번째 특성은 알고리즘뿐만 아니라 벡터 연산들도 파이프라인을 형성하면서 수행될 수 있다는 것이다. 벡터 연산들은 데이터 읽기, 데이터 정렬, 연산, 벡터데이터 변환, 데이터 저장의 동작으로 나뉘어지며 이들 동작들이 서로 연결되어 벡터 파이프라인 (Vector Pipeline)을 형성한다 [2]. 이와 같은 특징은 기저대역용 프로세서에서 다양한 형태로 활용된다. (그림 3)은 한가지 예로FIR 여파기의 동작을 벡터 파이프라인으로 해석한 것이다.

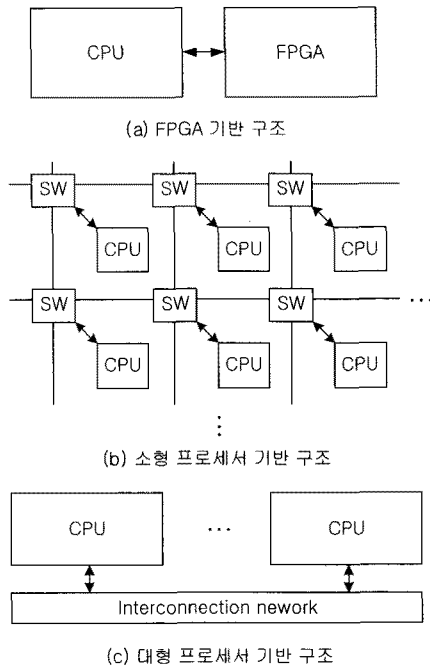
네 번째 특징은 기저대역 동작에서 병렬처리가 어려운 경우도 있다는 것이다. 채널부호기, 인터리버, 디인터리버가 대표적인 경우이다. 이들은 동작은 ASIC 형태의 특수한 하드웨어를 사용하지 않는 경우 병렬처리하기 어렵다.

2-3. 기저대역용 프로세서의 구조

지금까지 많은 수의 기저대역 프로세서들이 산업계와 학계에서 연구되어왔다. 이들의 구조는 (그림 4)와 같이 크게 FPGA (Field Programmable Gate Array) 기반 구조, 소형 프로세서 기반 (Fine Grained) 구조, 대형 프로세서 기반 (Coarse Grained) 구조로 나눌 수 있다.

FPGA 기반 구조는 DSP 유형의 프로세서에 FPGA를 추가한 형태를 갖는다. DSP 형태의 프로세서 코어에서 처리하기 어려운 부분을 FPGA에 할당하여 효율을 높이는 구조이다. 이러한 구조의 프로세서가 XiSystem 사의 XiRISC이다 [3]. 하지만, FPGA의 단점인 상대적으로 높은 전력 소모량과 낮은 회로 집적도 때문에 이와 같은 구조는 기저대역 프로세서로 많이 사용되지 않는다.

소형 프로세서 기반 구조는 기능이 간단한 작은 프로세서 코어들을 많이 사용하고 이들을 상호 연결망 (Interconnection Network)을 통해 연결하는 구조이다. 많은 프로세서들이 동시에 명령을 수행하므로 프로세서 수가 적은 다른 구조에 비해서 동작 주파수를 낮출 수 있고 이를 통해서 시스템의 소모 전력량을 줄일 수 있다. 그리고, 작은 프로세서들이 독립적인 제어 능력을 가지므로 시스템의 유연성 매우 높다. 다시 말하면, 한 프로세서가 A라는 동작을 수행하는 동안 다른 프로세서가 B 라는 동작을 수행할 수 있어 다양한 유형의 신호 처리 알고리즘을 처리할 수 있다. 하지만, 벡터 연산처럼 동일한 연산을 반복해야 하는 경우 동일한 제어 동작을 여러 프로세서의 제어부에서 수행하면서

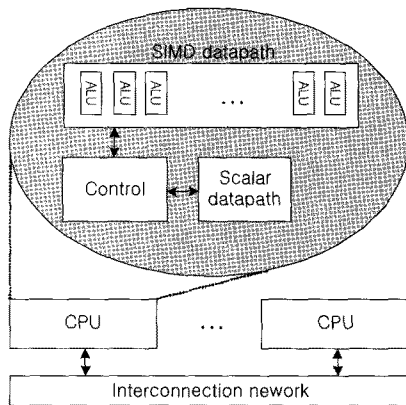


(그림 4) 기저대역 프로세서 구조의 종류

에너지가 낭비된다. 앞서 분석한 것과 같이 기저대역의 신호처리 동작이 많은 벡터 연산을 포함하고 있다는 점을 고려하면 소형 프로세서 기반 구조가 소비전력 측면에서 비효율적인 면이 있다. 또한 프로세서의 크기가 작아서 이들 사이에 빈번한 데이터 교환이 필요하다. 하지만, 상호 연결망을 통한 데이터 교환은 프로세서의 내부 레지스터 (Internal Register)를 사용하는 경우에 비해서 통신 시간이 길고 전력 소모량도 많아서 시스템의 효율을 떨어뜨린다. 마지막으로, 많은 수의 프로세서들이 동시에 연산을 수행하기 때문에 이들 사이의 상관 관계를 고려해야 하고 이런 병렬처리와 관련된 특성 때문에 응용 프로그램의 개발이 쉽지 않다는 단점이 있다.

이와 같은 구조를 갖는 시스템으로는 picoChip 사의 picoArray [4], Intel 사의 RCA [5], QuickSilver 사의 ADAPT [6], IMEC의 ADRES [7] 등이 있다. picoArray는 430개의 작은 프로세서로 구성된다. 하나의 프로세서는RISC (Reduced Instruction Set Computer) 프로세서라고 볼 수 있다. 다른 일반적인 RISC 프로세서와 다른 점은 처리 가능한 명령어의 수가 작고 메모리의 크기가 작다는 점이다. 시스템을 구성

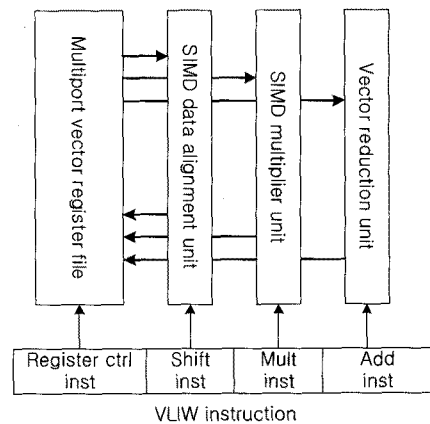
하는 프로세서들은 기능에 따라 표준용, 곱셈용, 메모리용 세 가지로 나뉘어진다. 430 개의 프로세서들은 상호 연결망을 통해서 서로 연결된다. 상호 연결망은 2 계층을 가지고 있다. 하위의 연결망은 4개의 프로세서간의 통신을 지원하며 이는 국지적인 데이터 전송을 지원한다. 상위 연결망은 하위 연결망이 담당하는 영역을 벗어나는 프로세서 간의 데이터 전송을 담당한다. 상호 연결망은 복잡도를 낮추기 위해 간단한 자원 할당 방식을 사용하고 있다. 기저대역 신호 처리 알고리즘은 규칙적인 데이터 전송 형태를 보이므로 간단한 자원 분배 방식으로도 좋은 결과를 얻을 수 있다. RCA와 ADAPT 시스템들도 세부적인 형상은 다르지만 비슷한 형태를 가진다. 이들 중에서 특히 picoArray는 독자적으로 기저대역 알고리즘을 구축할 능력이 없는 중소 업체들에 신뢰성 있는 평가용 시스템 (evaluation system)을 제공함으로써 전력 소모량이 심각한 고려 사항이 아닌 초소형 기지국 (Femto Basestation) 시장에서 성공적인 결과를 보여주고 있다.



(그림 5) 대형 프로세서 기반 구조에서 개별 CPU의 상세 구조. SIMD 형태의 가속기가 사용되고 있다.

대형 프로세서 기반 구조는 기능이 풍부한 프로세서 코어를 상호 연결망을 통해 연결한 구조다. 이 구조에서 사용되는 프로세서의 수는 보통 10개를 넘지 않는다. 이 구조에서 하나의 프로세서는 기본적으로 RISC 프로세서의 형태를 가지고 있다. 하지만, 소형 프로세서 기반 구조에 비해 프로세서 수가 적으므로 동시에 처리 가능한 명령어의 수가 상대

적으로 적다. 이를 보완하기 위해서 프로세서 마다 SIMD (Single Instruction Multiple Data) 형태의 가속기 (Accelerator)를 부가적으로 사용한다. 이 형태의 가속기는 다수의 연산기가 하나의 제어부를 공유하므로 벡터연산이 많은 기저대역 신호처리에 적합하다. 제어부의 공유는 프로세서의 전력 소모량을 낮추는 데 기여한다. 이는 기저대역 프로세서와 같이 저전력을 목표로 하는 시스템에서는 제어부의 전력 소모량이 연산 장치에 비해 크기 때문이다. 대형 프로세서 기반 구조로 분류 가능한 프로세서는 Sandbridge사의 Sandblaster [8], NXP사의 EVP [9], ARM사의 Ardbeg [10], Icera사의 DXP [11], Infineon사의 MuSIC [12] 등이 있다.



(그림 6) Ardbeg에서 VLIW 명령어를 이용해서 SIMD 연산 장치들을 제어하는 과정

대형 프로세서 기반 구조에서는 추가적으로 기저대역에서 보이는 연산 특성 가운데 하나인 벡터 파이프라인을 활용한다. 벡터 파이프라인 특성을 활용하는 방법은 프로세서의 종류에 따라 다르다. EVP, Ardbeg, MuSIC의 경우 VLIW (Very Long Instruction Word) 방식을 이용해서 벡터 파이프라인 특성을 활용한다. VLIW는 프로세서를 구현하는 방법의 하나로 긴 명령어를 연산 장치들의 제어에 사용한다. 이 방식에서는 매 주기마다 긴 명령어가 제어장치에 의해서 읽혀진다. 긴 명령어는 다수의 연산 장치를 독립적으로 제어하는데 필요한 정보를 담고 있다. EVP와 Ardbeg에서는 SIMD 형태의 데이터패스 (Datapath)가 여러 가지 존재하고

VLIW 명령이 이들을 제어한다. (그림 6)은 Ardbeg에서 VLIW 명령어를 이용해서 어떻게 FIR 여파기의 동작을 표현하는 지 보여준다. 이와 같은 구조에서는 SIMD 연산장치 사이의 통신을 위해 다중포트 레지스터 (Multiport Register)가 사용된다. 빈번한 다중포트 레지스터의 사용은 전력 소모량을 증가시키는 단점이 있다. 하지만, VLIW 명령어의 정의에 따라 여러 형태의 벡터 파이프라인을 자유롭게 형성할 수 있는 장점이 있다.

반면에 DXP의 경우 다중포트 레지스터를 거치지 않고 SIMD 연산장치들을 직접 연결하여 벡터 파이프라인을 형성하며 이를 통해 다중포트 레지스터를 사용할 때 발생하는 에너지 낭비를 피한다. 하지만, 벡터 파이프라인에서 어떤 한 장치의 연산 시간이 길어지는 경우 파이프라인 전체의 데이터 처리량이 낮아지는 현상이 발생한다. 보통의 경우 벡터 데이터의 순서를 바꾸는 장치의 연산 시간이 벡터의 길이가 늘어나면 기하급수적으로 증가한다. 이 문제로 인해서 DXP에서는 벡터의 길이가 4로 제한되었다. Ardbeg과 EVP의 경우 처리 가능한 벡터 길이가 각각 32와 16이다.

Sandblaster 의 경우 다른 시스템과 달리 멀티쓰레딩 (Multi-threading) 을 하드웨어 수준에서 지원한다. 멀티쓰레딩은 온칩 메모리 (On Chip Memory)에 의한 전력 소모를 최소화하기 위해 사용된다. 통상적으로 메모리의 전력소모는 동작 시간이 짧아지면 기하 급수적으로 증가한다. 그러므로, 온칩 메모리의 전력 소모량을 줄이기 위해서 데이터를 여러 주기에 걸쳐 쓰고 읽도록 설계한다. 하지만, 이처럼 설계하면 온칩 메모리를 사용할 때 마다 연산 장치가 동작을 멈추는 현상이 발생하며 이를 피하기 위해서 멀티쓰레딩을 사용한다. 이 경우 동작 중인 쓰레드가 온칩 메모리를 사용하여 동작을 멈추면 다른 쓰레드로 전환하여 연산 장치의 정지 시간을 최소화한다. 하지만, 많은 연산들이 레지스터만을 이용해서 수행이 가능하므로 멀티쓰레딩을 통해 얻을 수 있는 이득은 제한적이다.

대형 프로세서 기반 구조를 가진 기저대역 프로세서들은 상대적으로 높은 전력 효율 덕분에 단말기에 주로 사용된다. 이 중에서 상용에 가장 근접한 경우는 EVP 이다. 삼성전자에서는 NXP사의 EVP를 이용해서 3G 다중 모드 단말기 시제품을 구현하였다 [13].

III. 결 론



본고에서는 차세대 기술인 SDR 시스템을 구성하는데 필요한 핵심 부품중 하나인 기저대역용 프로세서의 구조에 대해서 논하였다. 기저대역에서 이루어지는 신호 처리 동작의 특성을 분석하고 이런 특성들이 현재 개발된 기저대역 프로세서들의 구조에 어떤 영향을 미쳤는지 분석하였다. 기저대역 신호 처리는 많은 벡터 연산을 포함하고 있으며 이를 활용하여 기저대역 프로세서들은 전력 소모량을 줄이고 처리량을 증대시켜왔음을 살펴보았다.

참 고 문 헌

- [1] Hyunseok Lee, et al. "Software Defined Radio: A High Performance Embedded Challenge," In Proceedings of 2005 International Conference on High Performance Embedded Architectures and Compilers (HiPEAC), Nov. 2005
- [2] Hyunseok Lee, "A Baseband Processor for Software Defined Radio Terminals," Ph.D. thesis, University of Michigan, August 2007
- [3] A. Lodi, et al. "XiSystem: A XiRisc-Based SoC With Reconfigurable IO Module," IEEE Journal of Solid-State Circuits, Vol. 41, No. 1, Jan. 2006
- [4] A. Duller, et al. "Parallel Processing - the picoChip way!" In Proceedings of 2003 Communicating Process Architecture, Sept. 2003
- [5] A. Chun, et al. "Application of the Intel(r) Reconfigurable Communication Architecture to 802.11a, 3G, and 4G standards," In Proceedings of IEEE 6th CAS Symp. On Emerging Technologies: Mobile and Wireless Comm., May 31 ~ June 2 2004
- [6] Bob Plunkett and John Watson, "Adapt2400 ACM Architecture Overview," White Paper
- [7] F. Bouwens, et al. "Architecture Enhancements for the

ADRES Coarse-Grained Reconfigurable Array,” in Proceedings of 2008 International Conference on High Performance Embedded Architecture and Compiler (HiPEAC), Jan. 27 ~ Feb. 1 2008

- [8] J. Glossner et al. “A Software-Defined Communications Baseband Design,” IEEE Communications Magazine, 41(1):120-128, Jan. 2003
- [9] K.V. Berkel et al. “Vector Processing as an Enabler for Software-Defined Radio in Handheld Devices,” EURASIP Journal on Applied Signal Processing, 2005(16), 2613-2625, 2005
- [10] M. Woh, et al. “From Soda to Scotch: The Evolution of a Wireless Baseband Processor,” in Proceedings of IEEE/ACM International Symposium on Microarchitecture, Nov. 2008
- [11] S. Knowles, “The SoC Future is Soft,” IEE Cambridge Processor Seminar, Dec. 2005
- [12] H. Bluethgen, et al, “A Programmable Baseband Platform for Software-Defined Radio,” In Proceedings of the SDR 04 Technical Conference and Product Exposition, 2004
- [13] http://www.nxp.com/news/content/file_1377.html

약 령	
	1993년 KAIST 공학사 1996년 포항공과대학 공학석사 2007년 University of Michigan, Ann Arbor 공학박사 1992년 ~ 2006년 삼성전자 수석연구원 2008년 ~ 현재 평문대학교 조교수 관심분야: SDR architecture, Embedded System, Low power system
이 현 석	
	1994년 KAIST 공학사 1998년 KAIST 공학석사 2003년 KAIST 공학박사 1994년 ~ 1998년 삼성전자 전임연구원 2002년 ~ 2006년 삼성전자 책임연구원 2008년 ~ 현재 평문대학교 조교수 관심분야: CDMA/OFDM/OQPSK/QAM 무선 전송 기술, 채널 부호, 무선 자원 관리, SDR/CR
박 수 원	

