

단순화된 S-R 래치를 이용한 6비트 CMOS 플래쉬 A/D 변환기 설계

정회원 손영준*, 준회원 김원**, 정회원 윤광섭**

Design of 6bit CMOS A/D Converter with Simplified S-R latch

Young-jun Son* *Regular Member*, Won Kim** *Associate Member*,
Kwang-sub Yoon** *Regular Member*

요약

본 논문에서는 무선통신시스템의 수신단에 적용될 수 있는 6비트 100MHz 플래쉬 A/D 변환기를 설계하였다. 제안하는 플래쉬 A/D 변환기는 해상도가 1비트씩 증가함에 따라 2배수로 증가하는 S-R 래치 회로를 단순화하여 집적화 하였다. 기존 NAND 기반의 S-R 래치 회로에 사용되던 8개의 MOS 트랜지스터 숫자를 6개로 줄였으며, 비교단의 동적 소비전력을 최대 12.5%까지 감소되도록 설계하였다. 설계된 A/D 변환기는 0.18 μ m CMOS n-well 1-poly 6-metal 공정을 사용하여 제작되었고, 전원 전압 1.8V, 샘플링 주파수 100MHz에서의 전력소모는 282mW이다. 입력 주파수 1.6MHz, 50MHz에서의 SFDR은 각각 35.027dBc, 31.253dBc이며, 4.8비트, 4.2비트의 ENOB를 나타내었다.

Key Words : ADC(Analog-to-Digital Converter, flash, S-R latch)

ABSTRACT

This paper presents 6bit 100MHz Interpolation Flash Analog-to-Digital Converter, which can be applied to the Receiver of Wireless Tele-communication System. The 6bit 100MHz Flash Analog-to-Digital Converter simplifies and integrates S-R latch which multiplies as the resolution increases. Whereas the conventional NAND based S-R latch needed eight MOS transistors, this Converter was designed with only six, which makes the Dynamic Power Dissipation of the A/D Converter reduced up to 12.5%. The designed A/D Converter went through 0.18 μ m CMOS n-well 1-poly 6-metal process to be a final product, and the final product has shown 282mW of power dissipation with 1.8V of Supply Voltage, 100MHz of conversion rate. And 35.027dBc, 31.253dB SFDR and 4.8bits, 4.2bits ENOB with 12.5MHz, 50MHz of each input frequency.

1. 서론

최근 이동통신 기술의 발달과 함께 고속, 저전력 의 장비 개발이 중요시 되고 있다. 특히 무선통신시스템의 수신단에는 복조 단계를 거치기 전에

IF(Intermediate Frequency) Tuner로부터 받은 아날로그 신호를 디지털로 고속 데이터 변환하는 과정이 필요하다. 이러한 고속의 A/D(Analog to Digital) 변환을 위해서는 일반적으로 플래쉬 구조의 데이터 변환기가 사용되지만, 많은 전단 증폭기와 비교기의

※ 본 연구는 지식경제부 및 정보통신연구진흥원의 대학 IT연구센터 지원 사업의 연구결과로 수행되었음. (IITA-2008-C1090-0801-0019)

※ 본 연구는 반도체설계교육센터(IDECC)의 지원을 받아 수행 되었습나다.

* 실리온웍스(주), ** 인하대학교 전자공학과 정보전자 공동 연구소

논문번호 : KICS2007-12-582, 접수일자 : 2007년 12월 28일, 최종논문접수일자: 2008년 11월 4일

수에 의한 넓은 칩 면적과 큰 전력소모를 가지는 단점이 있다^[1]. 비교기의 출력은 클럭 신호에 의해서 초기화와 비교를 반복하게 되므로 출력의 변동이 심하다. 이러한 출력의 변동은 비교기 뒷단에 위치하는 디지털 회로, 특히 클럭 신호에 동기되어 동작하는 플립플롭(flip-flop)의 오동작을 유발할 수 있다^[2]. 따라서 S-R(Set-Reset) 래치 회로를 사용하여 비교기 출력의 변동을 감소시키는 과정이 필요하다.

기존의 플래쉬 A/D 변환기에는 두 개의 NAND로 이루어진 S-R 래치회로^[3]를 사용하였다. 이 때 사용되는 S-R 래치는 모든 비교기의 뒤에 사용되어야 하기 때문에 전체 회로의 복잡도와 소비전력을 증가시키는 원인이 된다.

제안한 플래쉬 A/D 변환기는 동일한 기능을 수행하며 MOS 트랜지스터 숫자를 감소시킨 단순화된 S-R 래치를 사용하여 회로 복잡도 및 소자수를 감소시켰다. 또한 저항을 이용한 인터폴레이션 기법을 사용하여 전단 증폭기 수를 감소시켰으며 소비전력과 면적이 최소화 되도록 설계하였다.

II장에서는 제안하는 A/D 변환기의 구조와 제안하는 S-R 래치 회로에 대하여 설명하였다. III장은 제작된 A/D 변환기의 레이아웃에 대해 설명하고, IV장은 제안된 6비트 A/D 변환기의 측정 결과를 기술하였다. 그리고 V장에서는 결론을 맺었다.

II. 제안한 6비트 A/D 변환기의 설계

본 논문에서 제안하는 6비트 A/D 변환기의 블럭 다이어그램을 그림 1에 나타내었다. 플래쉬 구조는 모든 양자화 레벨과 아날로그 입력 신호가 비교되는 방식으로 한 클럭 사이클에 N비트의 분해능을 갖는 디지털 코드로 변환되므로 가장 빠른 구조이다. 제안한 A/D 변환기는 양자화 레벨을 결정하는 기준전압을 생성하기 위한 저항열, 1단/2단 전단 증폭기, 분산 T/H(Distributed Track and Hold), 비교기, S-R 래치, 버블 오차 보정회로(Bubble Error Correction), 인코더(Encoder)로 구성되었다.

플래쉬 A/D 변환기가 가지는 단점인 큰 전력소모를 줄이기 위해서 전단 증폭기의 출력에 저항을 이용한 인터폴레이션 기법이 적용되었다.^[4] 그림 2와 같이 저항을 사용하여 두 신호의 중간 값을 얻게 되며, 별도의 전단 증폭기를 사용하지 않고, 3개의 추가적인 비교기 입력 신호를 생성한다. 1단 전단 증폭기와 2단 전단 증폭기를 이용하여 상위 4비

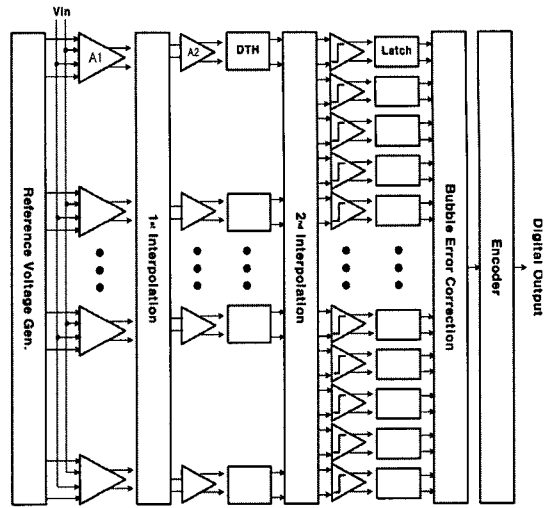


그림 1. 6비트 플래쉬 A/D 변환기의 전체 구조
Fig. 1. Block diagram of the proposed A/D Converter

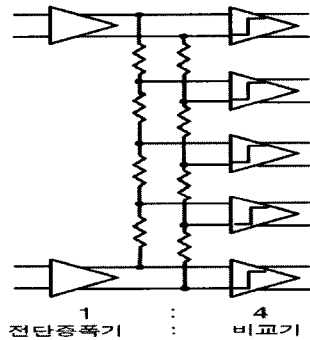


그림 2. 4배 인터폴레이션 기법
Fig. 2. 4X Interpolation technique

트 양자화를 하였고, 총 6비트의 해상도를 구현하기 위해서 2단 전단 증폭기의 출력에 4배 인터폴레이션 기법을 적용하였다.

인터폴레이션 기법을 사용함으로써 동일한 해상도의 풀-플래쉬 A/D 변환기보다 60% 정도의 전단 증폭기 수를 감소시킬 수 있다. 또한 전단 증폭기 출력단의 저항열에 의해 평준화 효과가 나타나게 되므로 A/D 변환기의 전체 성능을 향상시키는 효과가 있다.^[5]

A/D 변환기에 사용되는 비교기는 크게 연산 증폭기 타입과 래치 타입으로 나뉘게 된다. 연산 증폭기 타입의 비교기는 제한된 Slew Rate 때문에 고속용 A/D 변환기에 적합하지 않으며, 그림 3과 같이 클럭에 의해 초기화와 비교(Precharge and Evaluation)를 빠르게 반복하는 래치 타입의 비교기를 사용한다.^[6]

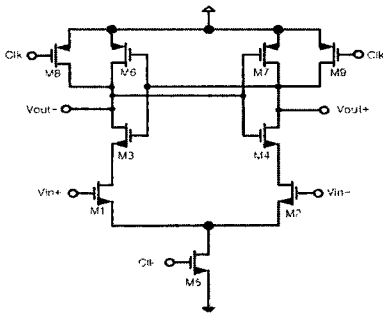


그림 3. 고속용 래치 비교기 회로
Fig. 3. High speed Latch comparator circuit

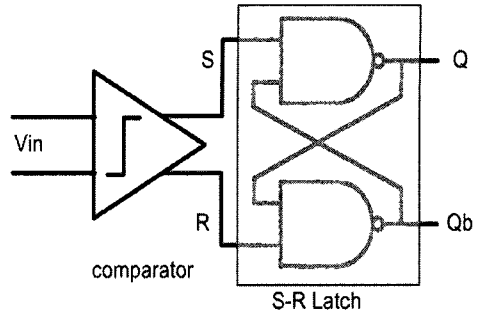


그림 5. 기존 NAND 기반의 S-R 래치 회로
Fig. 5. Conventional NAND based S-R latch circuit

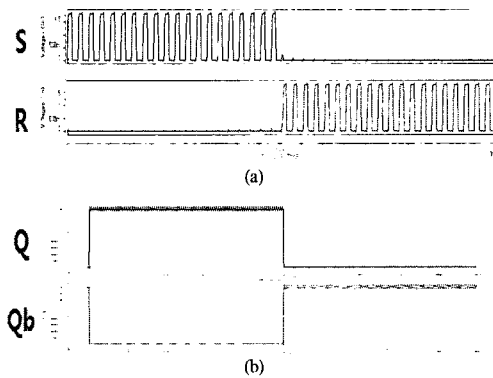


그림 4. (a) 래치 비교기의 RZ 출력과 (b) S-R 래치의 NRZ 출력 파형
Fig. 4. (a) output waveform of Latch Comparator and (b) S-R latch circuit

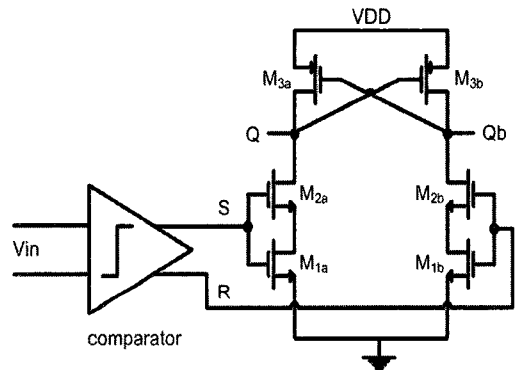


그림 6. 제안하는 단순화된 S-R 래치 회로
Fig. 6. Proposed Simplified S-R latch circuit

S-R 래치는 비교기의 뒤에 위치하여 비교기의 출력을 처리하기 쉽도록 만들기 위해 사용한다. 고속 A/D 변환기에 사용되는 래치 비교기는 클럭 신호에 따라 초기화 과정이 반복적으로 발생하기 때문에 RZ(return-to-zero) 신호를 출력한다⁶⁾. 이러한 고속의 RZ신호는 플립플롭과 클럭에 동기하여 동작하는 회로에 타이밍 에러를 유발할 수 있다. 따라서 그림 4와 같이 RZ 신호를 NRZ(none-return-to-zero) 신호로 변환시킬 필요가 있다.

반적으로 사용되는 NAND 기반의 S-R 래치 회로를 그림 5에 나타내었다. 이 회로는 두 개의 NAND 게이트를 사용하여 구성하기 때문에 총 8개의 트랜지스터를 필요로 한다. S-R 래치는 모든 비교기의 뒤에 위치하기 때문에 해상도가 증가함에 따라 회로의 복잡도와 구성 소자의 수를 증가시키는 원인이 된다. 따라서 S-R 래치를 구성하는 소자의 수를 줄일 필요가 있다.

개선된 S-R 래치 회로를 그림 6에 나타내었다.

PMOS 쌍을 이용하여 래치를 구성하고 입력 트

랜지스터를 포함하여 6개의 트랜지스터로 구현하였다. 래치 비교기의 출력은 초기화 모드에서 모두 '0'이고, 비교 모드에서 출력 중 하나만 '1'이다. 그림 5에서 비교기의 비교 모드 동안에 S가 '1', R이 '0'이면 M1a/M2a는 켜지고 M1b/M2b는 꺼지므로 PMOS 쌍의 정제환을 통해 Q는 GND, Qb는 VDD에 연결된다. 비교기의 초기화 모드에서는 S와 R이 모두 '0'이므로 M1a/M2a, M1b/M2b가 모두 꺼지게 되므로 이전 출력을 유지한다. 또한 입력 트랜지스터를 하나만 사용할 경우 논리 문턱전압이 $V_{th,N}$ 으로 낮기 때문에 충분한 노이즈 마진을 확보할 수 없다. 따라서 M1a/M2a와 같이 NMOS를 두 개를 스택으로 쌓음으로써 논리 문턱전압이 $2V_{th,N}$ 로 높아져 입력 신호의 잡음에 둔감하게 설계 하였다.

제안한 S-R 래치 회로의 정적 소비전력은 초기화 모드와 비교 모드에 따라 다르다. 초기화 모드에서는 S-R 래치 입력으로 '0'가 들어가고 기존의 S-R 래치는 226pW, 제안한 S-R 래치는 134pW로 41%의 소비전력이 감소된다. 비교 모드에서는 S-R 래치 입력 중 하나만 '1'이 되며 기존의 S-R 래치

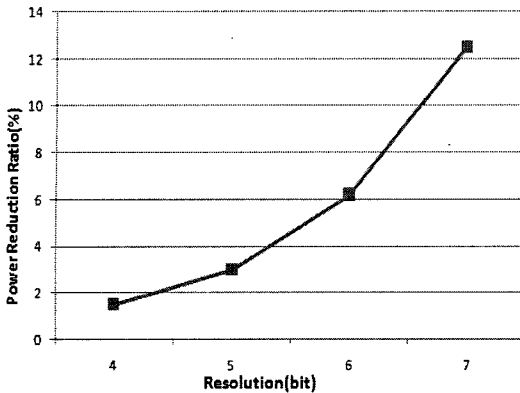


그림 7. 해상도가 1비트씩 증가함에 따라, 각 비교단에 의해 소비되는 전력의 감소율
 Fig. 7. Power reduction ratio by Comparison part that resolution increase per bit

는 327pW, 제안한 S-R 래치는 212pW로 약 35%의 소비전력이 감소된다.

동적 소비전력 측면에서는 1개의 비교기와 1개의 S-R 래치 회로, 이하 비교단이 샘플링 주파수 100MHz, 입력주파수 10MHz 에서 비교 동작시, 기존의 비교단은 742pW, 제안한 비교단은 649pW로 약 12.5%의 소비전력이 감소된다.

통신용으로 사용되는 고속용 플래쉬 A/D 변환기는 해상도가 4비트에서 7비트로 응용분야에 따라 다양하며, 해상도가 1비트 증가할 때 마다 비교단은 2배씩 증가하게 된다.^[7] 동일한 공정 조건하에 기존의 비교단과 제안한 비교단에 대해 해상도를 1비트씩 증가시키며 시뮬레이션 한 결과, 그림 7과 같이 소비전력 감소율 또한 약 2배씩 증가하게 된다.

III. 6비트 A/D 변환기 레이아웃

설계된 A/D 변환기의 레이아웃은 고속 동작 시 발생하는 잡음을 억제하기 위해 완전 대칭 구조를 택했으며, 그림 8의 플로플랜과 같이 진행하였다. 실제 레이아웃은 CMOS 0.18 μ m 1-poly 6-metal 공정을 이용하여 구현하였으며, 구현한 6비트 A/D 변환기의 레이아웃을 그림 9에 나타내었다.

레퍼런스 생성 단부터 제 2 전단 증폭기까지 아날로그 블록이며 비교기부터 인코더까지 디지털 블록에 해당된다. 아날로그 블록과 디지털 블록을 더블 가드-링을 이용해 분리하였고, 전원부 또한 아날로그와 디지털을 서로 분리하여 디지털 단에서 발생하는 잡음이 아날로그 단에 미치는 영향을 최소화 하였다. 또한 레퍼런스 생성단의 저항에는 바이

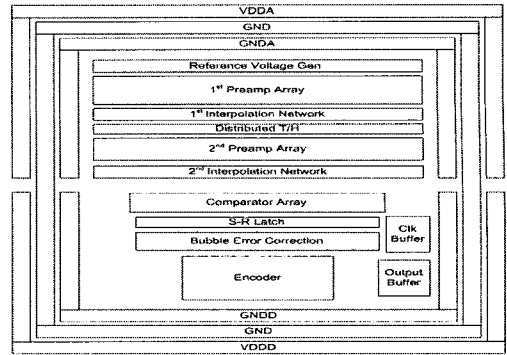


그림 8. 6비트 A/D 변환기 플로 플랜
 Fig. 8. Layout floor-plan for 6bits A/D converter

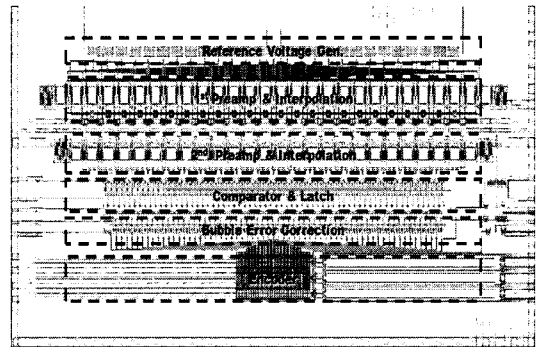


그림 9. 6비트 A/D 변환기의 레이아웃
 Fig. 9. Layout of 6bit A/D converter

패스 MOS 커패시터를 집적함으로써 레퍼런스 전압이 변동되는 것을 억제하였다.

레이아웃 결과 제작된 6비트 A/D 변환기의 유효 칩 면적은 3.64mm²(2.6mm x 1.4mm)이다.

IV. 측정 결과 및 고찰

본 논문에서 구현된 A/D 변환기의 성능은 그림 10에 나타난 테스트 보드를 사용하여 측정했다. 아날로그 전원과 디지털 전원을 분리하였으며, 차동 입력 신호와 차동 클럭 신호를 만들기 위해서 트랜스포머를 사용하였다.

설계한 A/D 변환기의 성능 측정을 위한 측정 환경을 그림 11에 나타내었다. 파형 발생기 (33250A)와 신호 발생기 (E4421B)를 이용하여 아날로그 입력 신호와 클럭 신호를 인가하였다. 전원공급기 (E3646A)로 전원 전압을 공급하였으며, A/D 변환기의 출력을 수집하기 위하여 로직분석기 (TLA601)을 사용하였다.

로직분석기를 통해 수집한 데이터를 National

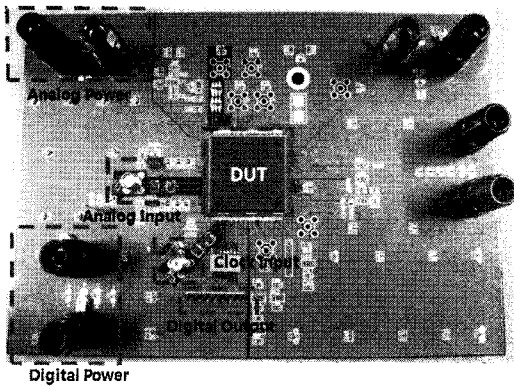


그림 10. 제작한 6비트 A/D 변환기의 테스트 보드
Fig. 10. Test board for 6bits A/D converter

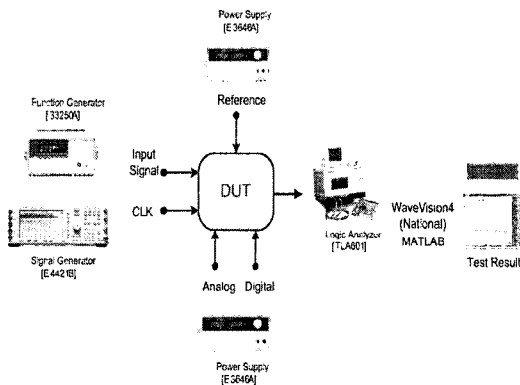


그림 11. 6비트 A/D 변환기 측정 환경
Fig. 11. Measurement environment for 6bits A/D converter

Semiconductor사의 WaveVision4 분석 프로그램을 이용해 FFT(Fast Furier Transformation)분석을 시행하였으며, 입력 주파수에 따른 하모닉 성분들을 검출하였다. 그림 12에는 1.6MHz의 입력 주파수, 100MHz의 샘플링 주파수에서 FFT분석을 하여 측정된 신호 스펙트럼을 나타내었다. 측정 결과 제작된 A/D 변환기는 35.027dBc의 SFDR(Spurious Free Dynamic Range), 4.8비트의 ENOB(Effective Number Of Bit)를 보였다.

100MHz의 샘플링 주파수에서 입력 주파수의 변화에 따른 SFDR과 ENOB을 추출한 뒤, 그림 13, 그림 14와 같이 MATLAB을 이용해 정량화 하였다. 1.6MHz의 입력 주파수에서 4.8비트의 ENOB을 보였으며, 나이퀴스트 입력 주파수인 50MHz에서는 4.2비트의 ENOB이 측정되었다.

A/D 변환기의 선형성을 나타내는 지표인 DNL(Differential Non-Linearity)과 INL(Integral Non-Linearity)은 MATLAB으로 히스토그램 방법^[8]

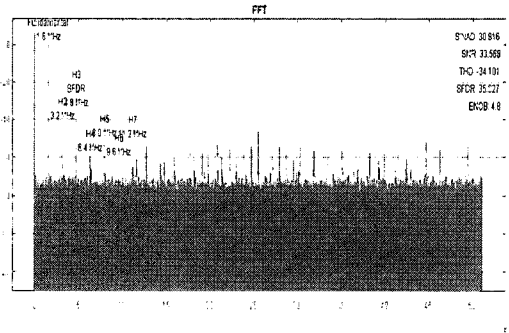


그림 12. 측정된 신호 스펙트럼 (Fs=100MHz, Fin=1.6MHz)
Fig. 12. Measured signal spectrum (Fs=100MHz, Fin=1.6MHz)

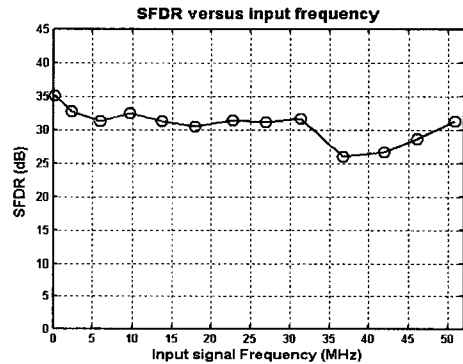


그림 13. 입력주파수에 대한 SFDR (Fs=100MHz)
Fig. 13. SFDR versus input frequency (Fs=100MHz)

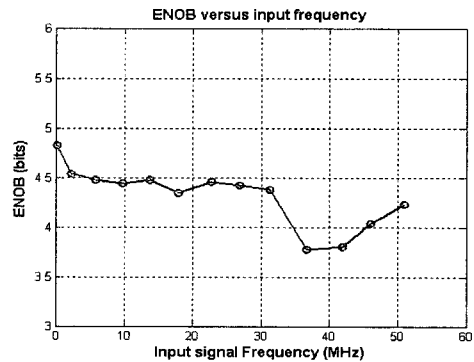


그림 14. 입력주파수에 대한 ENOB (Fs=100MHz)
Fig. 14. ENOB versus input frequency (Fs=100MHz)

을 이용하여 측정하였다. 측정된 DNL과 INL은 각각 그림 15, 그림 16에 나타내었다. DNL은 +0.7/-0.8LSB이고, INL은 +2.2/-0.9LSB을 보였다. 제안하는 A/D 변환기의 측정 결과는 표 1에 요약하였다.

제안한 6비트 A/D 변환기와 동일한 해상도의 고속 A/D 변환기의 성능을 비교한 결과를 그림 17에

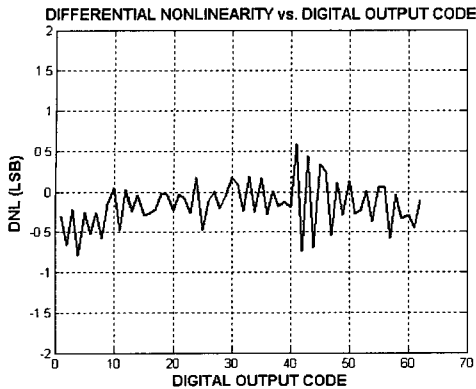


그림 15. DNL 측정결과
Fig. 15. Measured DNL

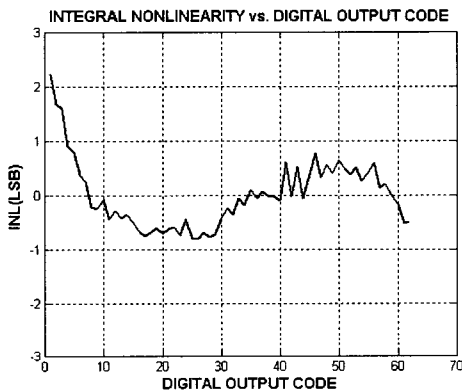


그림 16. INL 측정결과
Fig. 16. Measured INL

나타내었다. 성능 비교는 A/D 변환기의 해상도 및 변환속도 대비 소모된 전력을 나타내는 지표인 FoM(Figure of Merit) 식 (1)을 이용하였다.^[9] 여기서 n은 A/D 변환기의 ENOB(유효비트수)를 의미한다.

$$FoM = \frac{\text{소비전력}}{2^n \cdot \text{변환속도}} \quad [\text{Joul/conv}] \quad (1)$$

기존의 고속 A/D 변환기와 비교 결과 제안한 6비트 A/D 변환기는 전력소모 면에서 우수한 성능을 보이지만, 변환속도와 유효비트수가 다소 낮은 성능을 보이기 때문에 전체적으로 중간정도의 FoM을 나타낸다.

V. 결 론

본 논문에서는 개선된 S-R 래치를 이용하여 6비트 100MS/s A/D 변환기를 설계 및 구현하였다. S-R 래치 회로는 비교기 뒷단에 위치하여 비교기

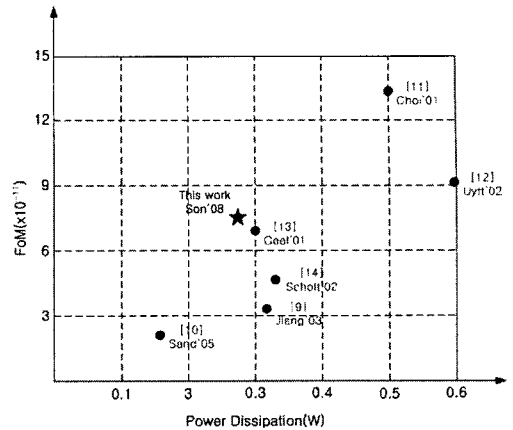


그림 17. 제안한 A/D 변환기와 동해상도 고속 A/D 변환기와의 비교
Fig. 17. Comparison of FoM between the proposed A/D converter and commercial A/D converters

출력의 변동을 줄여줌으로써 디지털 회로의 타이밍 에러를 줄이는 중요한 회로이다. 모든 비교기의 뒤에 위치하기 때문에 S-R 래치 회로를 개선함으로써 전체 회로의 구성소자의 수를 줄이고, 복잡도 및 소비전력을 줄일 수 있었다.

제안하는 A/D 변환기는 매그나 0.18um n-well 1-poly 6-metel CMOS 공정으로 제작되었으며, 측정 결과 1.8V 단일 전원 전압에서 282mW의 전력 소모를 보였다. 또한 100MHz의 샘플링 주파수와 나이퀴스트 입력 주파수에서 SFDR 및 ENOB는 각각 31.253dBc, 4.2비트 수준을 보인다. 제작된 A/D 변환기의 칩 면적은 3.64mm² 이다.

참 고 문 헌

- [1] Lalitkumar Y. Nathawad, Ryohei Urata, Bruce A. Wooley, David A. B. Miller, "A 40-GHz-Bandwidth, 4-bit, Time-Interleaved A/D Converter Using Photoconductive Sampling," *IEEE J. Solid-State Circuits*, Vol.38, pp.2021-2030, Dec 2003.
- [2] Jeny (Heng-Chih) Lin, Babet Hatoun, "An Embedded 0.8V/480uW 6B/22MHz Flash ADC in 0.13-um Digital CMOS Process Using a Nonlinear Double Interpolation Technique," *IEEE J. Solid-State Circuits*, Vol.38, pp.1610-1617, Dec 2002.
- [3] G. M. Yin, F.Op't Eynde, W. Sansen, "A High-Speed CMOS Comparator with 8-b

Resolution," *IEEE J. Solid-State Circuits*, Vol.27, pp.208-211, Feb 1992.

- [4] Hui Pan, Asad A. Abidi, "Spatial Filtering in Flash A/D Converter," *IEEE Tran. Circuit Syst. II*, Vol.50, No.8, pp.208-211, Aug 2003.
- [5] Klaas Bult, Aaron Buchwald, "An Embedded 240-mW 10-b 50-MS/s CMOS ADC in 1-mm²," *IEEE J. Solid-State Circuits*, Vol.32, No.12, pp.1887-1895, Dec 1997.
- [6] Pedro M. Figueiredo, Joao C. Vital, "Kickback Noise Reduction Technique for CMOS Latched Comparator," *IEEE Tran. Circuit Syst. II*, Vol.53, No.7, Jul 2006.
- [7] A. M. DIGHE, A. R. KELKAR, "On a programmable approach to introducing digital design," *IEEE Tran. Instrumentation and Measurement.*, Vol.39, No.6, pp.878-880, Dec 1990.
- [8] Francisco Andre Cottea Alegria, Antonio Manuel da Cruz Serra, "Overdrive in the Ramp Histogram Test of ADCs," *IEEE Tran. Instrumentation and Measurement.*, Vol.54, No.6, Dec 2005.
- [9] X. Jiang, Z. Wang, M. F. Chang, "A 2GS/s 6b ADC in 0.18um CMOS," *IEEE Int. Solid-State Circuits Conf. Dig Tech. Papers*, pp.322-323, Feb 2003.
- [10] Christoph Sandner, Martin Clara, Andreas Santner, Thomas Hartig, Franz Kuttner, "A 6-bit 1.2-GS/s Low-Power Flash-ADC in 0.13um Digital CMOS," *IEEE J. Solid-State Circuits*, Vol.40, pp.1499-1505, Jul 2005.
- [11] M. Choi, A. A. Abidi, "A 6-b 1.3-Gsample/s A/D converter in 0.35um CMOS," *IEEE J. Solid-State Circuits*, Vol.36, No.12, pp.1847-1858, Dec 2001.
- [12] K. Uyttemhove, M. Steyaert, "A 1.8-V 6-bit 1.3-GHz flash ADC in 0.25um CMOS," *IEEE J. Solid-State Circuits*, Vol.38, No.7, pp.1115-1122, Jul 2003.
- [13] G. Geelen, "A 6b 1.1 GSample/s CMOS A/D converter," *IEEE Int. Solid-State Circuits Conf. Dig Tech. Papers*, pp.128-129, Feb 2001.
- [14] P. Scholtens, M. Vertregt, "A 6-b 1.6-Gsample/s flash ADC in 0.18-um CMOS using averaging termination," *IEEE J. Solid-State Circuits*, Vol.37, No.12, pp.1599-1609, Dec 2002.

손 영 준 (Young-jun Son)

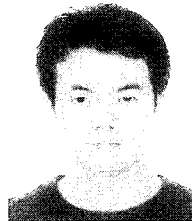
정회원



2006년 2월 인하대학교 전자공학과 졸업
 2008년 2월 인하대학교 전자공학과 석사 졸업
 2008년 2월~현재 주식회사실리콘웍스 연구원
 <관심분야> 아날로그 VLSI 설계, 플래쉬 A/D 변환기 설계

김 원 (Won Kim)

준회원



2008년 2월 인하대학교 전자공학과 졸업
 2008년 11월~현재 인하대학교 전자공학과 석사과정
 <관심분야> 아날로그 VLSI 설계, 플래쉬 A/D 변환기 설계

윤 광 섭 (Kwang-sub Yoon)

정회원



1982년 2월 인하대학교 전자공학과 졸업
 1983년 2월 Georgia Institute Inc, Technology 전자공학 석사 졸업
 1989년 2월 Georgia Institute Inc, Technology 전자공학 박사 졸업
 1984년 3월~1989년 2월 Georgia Institute of Technology Research Assistant
 1989년 3월~1992년 2월 Silicon Systems Inc, Tustin Calif. U.S.A Senior Design Engineer
 1992년 3월~현재 인하대학교 전자공학과 교수
 <관심분야> 혼성신호처리 집적회로 설계, 설계 자동화 및 소자/회로/시스템 모델링 등