

나선형 인덕터의 디임베드 검증을 통한 CMOS LNA 설계 및 제작

論 文
57-12-22

The Design and Fabrication of CMOS LNA through De-embedded Verification of the Spiral Inductor

李 辰 瑩[†] · 劉 英 吉^{*}
(Han-Young Lee · Young-Kil Yoo)

Abstract - This paper examined the simulation results after applying not only spiral inductor's 3D EM simulation but also de-embedding technique to reduce the pad's RF effects. When calculating standard deviation with measurement results not only the gain at 0.5GHz~4GHz but also noise figure at 1.8GHz~4GHz, the simulation results includes de-embedded inductor model improved gain deviation by 0.171 and noise figure deviation by 0.151 than the results from simulation with foundry inductor equivalent circuit models.

Key Words : CMOS, LNA, Spiral inductor, Gain, Noise figure

1. 서 론

오늘날 반도체 공정 기술의 발달과 무선 통신 단말기의 소형화 추세로 인하여 CMOS를 이용하여 집적화 하는 연구가 활발히 진행되고 있다[1]. 매우 다양한 무선통신 응용 분야의 출현으로 RF 프론트-엔드 설계의 수요가 폭발적으로 증가하고 있다. 무선통신 기기의 경우 미약한 입력 신호를 처리해야 하기 때문에 잡음 특성이 시스템 전반에 커다란 영향을 미치게 된다. 저 잡음 증폭기는 RF 수신단에서의 첫 번째 이득단 이며, 자체의 잡음 지수는 전체 시스템의 잡음 지수에 더해지므로 설계 시 주의를 해야 한다[2].

본 논문에서는 LNA 설계 시 회로 시뮬레이션 툴을 이용한 모의 실험을 통해 실측치와 근접한 결과를 얻기 위한 방법을 제시하였다. 이를 위해 2.3GHz 중심 주파수의 LNA를 설계하였다. 설계한 LNA의 모의 실험을 위해서 MOSFET 소자는 RF 특성을 보완하여 수 GHz 대역까지 설계가 가능한 MACRO 등가회로 모델을 이용하여 표준 0.25um CMOS 공정을 사용할 경우의 모델 파라미터 값을 적용하였다. 또한 나선형 인덕터의 패드효과 제거를 위한 디임베드 방법을 적용한 설계 방법으로 수 GHz의 CMOS RF 회로의 설계 시 매우 정확한 결과 값을 모의 실험을 통해 얻을 수 있음을 보인다.

2. 디임베드 나선형 인덕터 해석

디임베드는 그림 1에 보인 것 처럼 GSG 패드에 존재하는 기생성분에 의해 추가되는 기생 효과를 제거하기 위해 인덕

터 부분을 오픈 시킨 것과 인덕터와 패드를 포함한 전체 인덕터 그리고 인덕터 부분을 쇼트 시킨 결과 값들을 추출하여 인덕터 성분만 남도록 매트릭스 계산을 통하여 정확한 인덕터만의 값을 해석 하는 방법이다[3][4].

디임베드에 의한 인덕터 해석 방식은 다음 조건에 따라서 구할 수 있다[5][6].

2.1 오픈에 대한 De-embedded

패드가 포함된 상태로 측정이나 시뮬레이션한 인덕터의 결과에는 패드와 그라운드사이의 기생 캐패시턴스 성분과 패드와 패드 사이의 기생 캐패시턴스 성분이 각각 병렬로 연결되어 있게 된다. 그러므로 이러한 병렬 기생 성분을 제거하기 위하여 패드만 있을 때의 결과값 즉 오픈 어드미턴스 값을 전체 어드미턴스 결과 값에서 빼주면 병렬 기생성분이 제거된다. 식(1)은 패드와 그라운드 사이의 기생 캐패시턴스를 제거하기 위한 계산을 나타내고, 식(2)는 패드와 패드사이의 병렬 캐패시턴스를 제거하기 위한 계산을 나타낸다.

$$Y_{DUT/OPEN} = Y_{Total} - Y_{Open} \quad (1)$$

$$Y_{Short/OPEN} = Y_{Short} - Y_{Open} \quad (2)$$

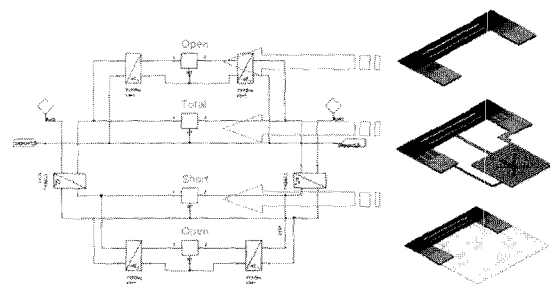


그림 1 디임베드 인덕터 해석
Fig. 1 De-embedded inductor analysis

[†] 교신저자, 正會員 : 大林大學 電子情報通信系列 · 工博
E-mail : hylee@daelim.ac.kr

^{*} 正會員 : 大林大學 電子情報通信系列
接受日字 : 2008年 10月 10日
最終完了 : 2008年 11月 19日

2.2 Convert to Z

패드에는 병렬 성분의 기생 성분뿐 만 아니라 패드의 기생 저항성분이 인덕터와 직렬로 연결되어 있는 것으로 볼 수 있다. 그러므로 이런 직렬 기생 저항 성분을 제거하기 위하여 각각 병렬 기생 성분이 제거된 상태의 식(1), (2)의 결과를 식(3), (4)과 같이 임피던스 값으로 변환한 다음 빼기 계산을 수행해 주면 된다.

$$Z_{DUT/OPEN} = Z(Y_{DUT/OPEN}) \tag{3}$$

$$Z_{Short/OPEN} = Z(Y_{Short/OPEN}) \tag{4}$$

2.3 Short에 대한 De-embedded

식(5)는 직렬 기생성분을 제거하기 위한 임피던스 행렬의 빼기 계산을 나타내는 수식이다.

$$Z_{DUT} = Z_{DUT/OPEN} - Z_{short/OPEN} \tag{5}$$

2.4 Convert to S

위에서 계산된 임피던스 행렬은 S 파라미터 행렬로 변환할 수 있으며 이는 식(6), (7)에 나타내었다.

$$S_{DUT} = S(Z_{DUT}) \tag{6}$$

$$Z_{DUT} = \frac{1}{Y_{Total} - Y_{open}} - \frac{1}{Y_{Short} - Y_{Open}} \tag{7}$$

디임베드 나선형 인덕터 해석 방법은 회로 시뮬레이션 툴에서 임피던스 변환기(inverter) 기능을 이용하여 그림 1과 같이 구성하고 여기에 오픈 상태의 S-파라미터 결과와 쇼트 상태의 S-파라미터 결과 및 전체 S-파라미터 결과를 대입하여 주파수 스위프 해석을 하면 결과적으로 내부 인덕터만의 S-파라미터 결과를 얻을 수 있다.

3. 디임베드 나선형 인덕터 모델링 및 CMOS LNA 설계

2절에서 서술한 이론을 바탕으로 표준 0.25 um CMOS 공정을 이용하여 온칩 나선형 인덕터의 값을 측정할 수 있도록 각 패턴과 턴수에 대하여 제작하고, 시뮬레이션 및 측정을 위해 들어간 패드의 값을 디 임베드한 값을 적용하여 모델링 하였다. 또한 CNM(Classical Noise Matching)기술을 적용하여 CMOS LNA의 각 단의 특성에 대하여 설계하였다[7][8][9][10][11].

3.1 디임베드 나선형 인덕터 모델링

그림 2는 각 턴수에 따른 디임베드 나선형 인덕터 해석을 위한 레이아웃 패턴을 나타내며, 측정 결과는 그림 3, 4, 5에

나타내었다. 그림 3에서는 각 턴수에 따른 인덕터의 Q값의 변화를 나타내었으며, 그림 4는 인덕터의 저항값을, 그림 5는 인덕터의 인덕턴스 값을 나타내었다. 턴수가 증가할수록 인덕턴스 성분은 증가하지만 공진 주파수는 급격하게 하향하기 시작하면서 인덕터로서의 대역이 좁아지게 된다. 즉, 인덕터의 면적이 증가하면서 그라운드면과의 캐패시턴스량의 증가로 인한 리액턴스값의 손실로 볼 수 있으며, 회로 설계시 자기공진주파수 이하에서 턴수에 대한 인덕턴스 값을 계산하여 적합한 주파수 대역에서 회로를 설계하여야 한다.

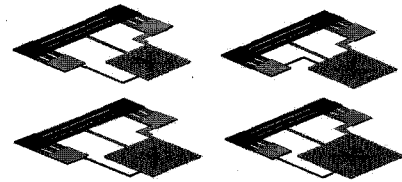


그림 2 나선형 인덕터의 레이아웃 패턴(3.5턴, 4.2턴, 4.5턴, 6.5턴)

Fig. 2 spiral inductors layout pattern(3.5 turns, 4.2 turns, 4.5 turns, 6.5 turns)

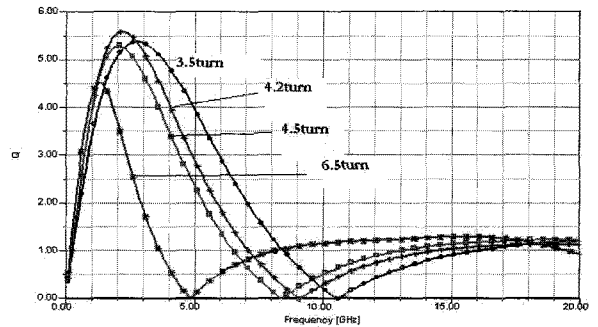


그림 3 각 턴에 따른 디임베드 나선형 인덕터의 Q
Fig. 3 Quality factor according to the turns of the de-embedded spiral inductors

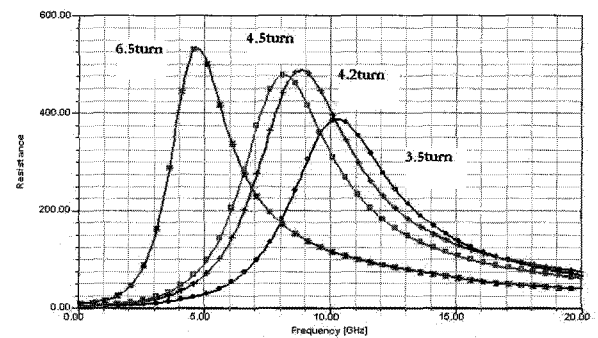


그림 4 각 턴에 따른 디임베드 나선형 인덕터의 저항값
Fig. 4 Resistance according to the turn of de-embedded spiral inductors

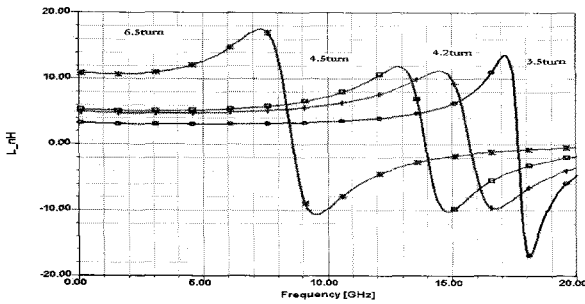


그림 5 각 턴에 따른 디임베드 나선형 인덕터의 인덕턴스값
Fig. 5 Inductance according to the turn of de-embedded inductors

그림 6과 그림 7은 4.5턴수에 대한 인덕터 Q값과 서셉턴스를 나타내었다. 파운드리에서 제공하는 등가회로 모델 값을 적용한 시뮬레이션 결과와 HFSS 3D Field 시뮬레이션을 통해 추출한 인덕터의 S-파라미터를 대입하여 해석한 결과, 그리고 HFSS 인덕터 S-파라미터에서 패드 효과까지 제거한 디임베드 S-파라미터를 대입한 각각의 회로 해석 결과를 비교하였다.

그림 6에서 설계된 인덕터의 인덕턴스 값을 비교하여 본 결과 파운드리에서 제공되는 인덕터 회로 모델에서는 인덕턴스 값이 20%이상 높게 나타남을 알 수 있고, HFSS의 패드까지 포함한 인덕턴스 값은 패드를 제거한 디임베드 결과의 인덕턴스 값보다 전체적으로 약간 높게 나타남을 알 수 있다. 이 결과로부터 패드에 의해 LNA 측정영역인 주파수 0.5~4GHz 영역에서 전체적으로 약간의 인덕턴스 값이 높게 나타남을 알 수 있으며, 파운드리에서 주어지는 모델의 인덕턴스 값은 시뮬레이션과 많은 차이가 있음을 알 수 있다.

그림 7에서는 인덕터의 어드미턴스의 허수성분 즉 인덕터와 그라운드 사이의 캐패시턴스에 의한 리액턴스 성분을 풀러한 것이다. 이 그래프에서 주파수가 증가할수록 패드에 의한 캐패시턴스 성분에 의한 리액턴스 변화가 커서 디임베드를 한 결과와 하지 않은 결과에 차이가 커짐을 알 수 있다. 이로서 LNA에 인덕터의 S-파라미터 값을 대입하여 해석하고자 할 경우 높은 주파수 대역에서 디임베드를 하지 않으면 결과에 대한 오차가 크게 날 수 있음을 예상할 수 있다.

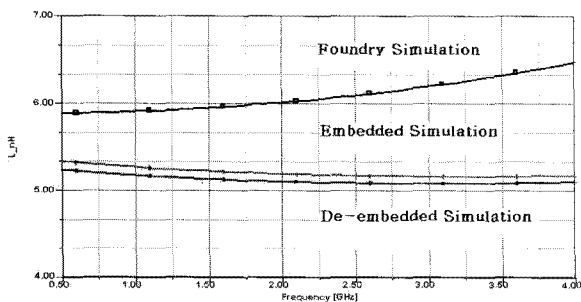


그림 6 4.5 턴수 인덕터의 인덕턴스 시뮬레이션 비교
Fig. 6 Inductance simulation comparison of 4.5-turns inductor

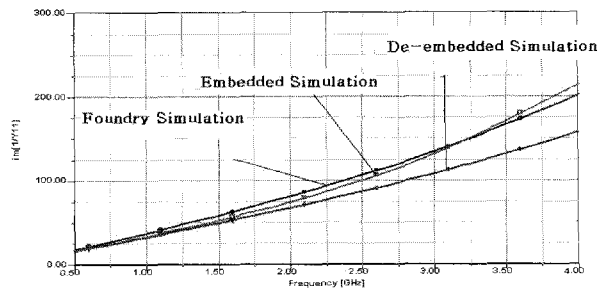


그림 7 4.5턴 인덕터의 서셉턴스 시뮬레이션 비교
Fig. 7 Susceptance simulation comparison of 4.5turns inductor

3.2 CMOS LNA 설계

2단으로 구성된 LNA는 첫번째단은 캐스코드 구조를 이용하여 최적의 잡음지수와 이득을 구현하였으며, 둘째단의 LNA는 전체 이득을 높이기 위한 이득 Block으로 추가되었기에 common source 방식으로 설계 되었다. 잡음특성을 기준으로 정합회로를 구성한 LNA의 설계도를 그림 8에 나타내었다. 표준 0.25 um CMOS 공정을 이용하여 온칩 나선형 인덕터와 MIM 캐패시터를 이용하여 정합회로를 구성 하였다. 2.3GHz를 중심주파수로 설계 하였으며, L과 C는 foundry에서 제공 되어 진 등가 회로 모델링 값을 이용하여 설계 하였다.

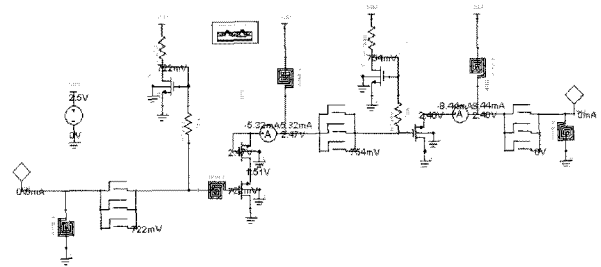


그림 8 LNA의 설계 회로도
Fig. 8 The design schematic of LNA

회로의 정합 회로는 Nexxim의 튜닝 기능을 이용하여 각 소자의 임피던스 및 캐패시턴스 값을 미리 정하고, 각각의 값에 해당하는 라이브러리를 이용하여 최적의 값을 얻도록 최적화 하였다. 그림 9는 중심주파수 2.3GHz에서의 LNA 회로의 S-parameter 및 noise figure의 시뮬레이션 결과를 보이고, 표 1에 기록 하였다.

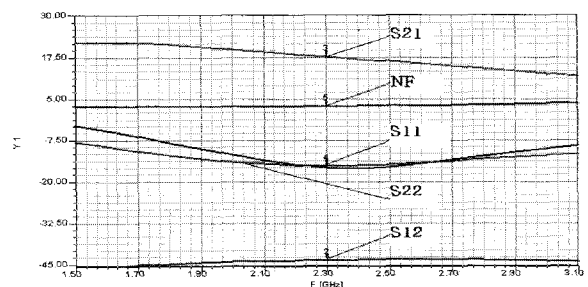


그림 9 LNA 시뮬레이션 결과(S-parameter & NF)
Fig. 9 The result of LNA simulation(S-parameter & NF)

표 1 LNA 시뮬레이션 결과

Table 1 The result of LNA simulation

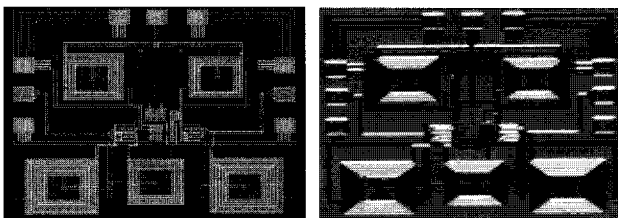
Center Frequency	2.3 [GHz]
Supply Voltage	2.5 [V]
S11, S22	-15.45[dB], -14.84[dB]
S12	-43.12[dB]
S21	17.80[dB]
NF	2.95[dB]

4. 실험 및 결과

본 절에서는 지금까지 설계된 LNA 시뮬레이션값, 측정값과 정확한 파라미터 값을 추출하기 위하여 제안한 디임베드나선형 인덕터 모델링을 적용하여 비교 검증하였다. LNA는 표준 0.25um CMOS 공정으로 제작되었으며, S-파라미터를 측정하기 위하여 Agilent사의 8510C Vector Network Analyzer, N 8975A Noise Figure Analyzer, N 4483A Noise Parameter, RF Probe, Bias Probe, Bias Tee, Microwave Probe Station, Power supply를 사용하였다.

4.1 CMOS LNA 회로 시뮬레이션 및 측정값 비교

중심 주파수는 2.3GHz를 사용하였으며, 그림 10(a)(b)는 LNA 칩 레이아웃과 실제 제작된 LNA 이고, 칩 크기는 가로 1040um 세로 1020um이다. 0.25um 1-poly, 5-metal 표준 CMOS 공정을 사용하여 설계된 이 회로는 차동 구조의 증폭기의 경우 안테나로 들어오는 신호가 single-ended 신호이므로 추가의 삽입 손실을 감수하고 발룬을 써야 되는 어려움이 있지만 본 논문에서는 발룬이 필요 없는 single-ended 구조로 설계하였다.



(a) LNA 칩 레이아웃 (b) 제작된 LNA 칩 확대 사진

그림 10 제작된 LNA 칩 사진

Fig. 10 The fabricated LNA chip

그림 11에서 보인 S11과 S22는 주파수 2.3GHz에서 시뮬레이션 값과 측정값의 오차가 S11은 13.74dB S22는 -6.92dB 나는 것을 확인 할 수 있으며, 그림 12는 S12에 대해서 시뮬레이션 값과 측정값을 나타내었다. 그림 13에서 보인 S21은 주파수 2.3GHz대역에서 어느 정도 일치 하지만 주파수가 낮거나 또는 높은 대역 즉 4GHz 주파수 에서 오차가 -3.96dB까지 생기는 것을 확인할 수 있다. 각각의 S-parameter 시뮬레이션 값과 측정값 비교는 표 2에 보였다.

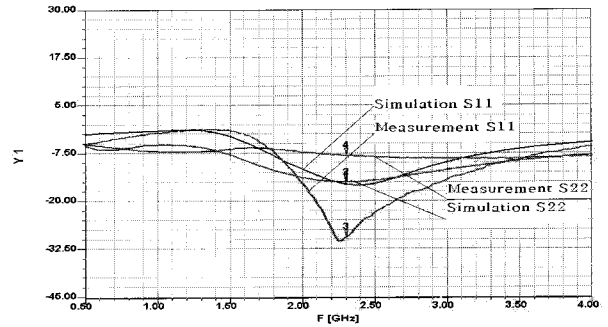


그림 11 LNA의 S11, S22 시뮬레이션 및 측정값 비교

Fig. 11 Simulation of LNA and measurement value comparison(S11,S22)

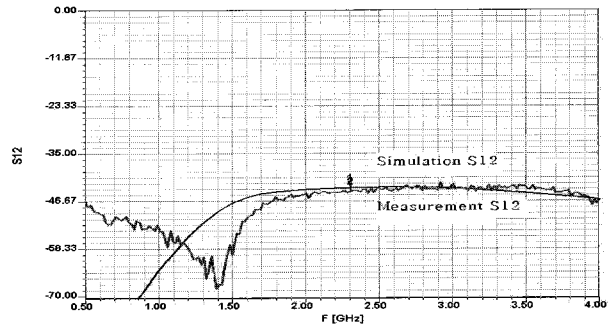


그림 12 LNA의 S12 시뮬레이션 및 측정값 비교

Fig. 12 Simulation of LNA and measurement value comparison(S12)

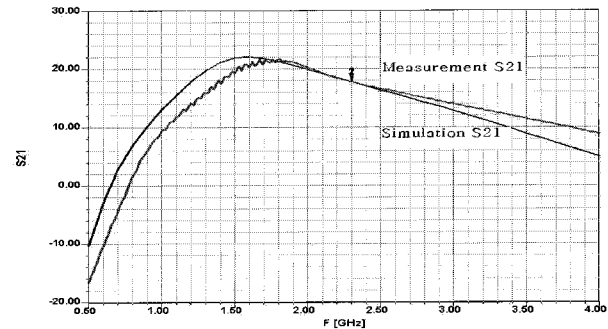


그림 13 LNA의 S21 시뮬레이션 및 측정값 비교

Fig. 13 Simulation of LNA and measurement value comparison(S21)

그림 14에서 보인 잡음 지수는 주파수 2.3GHz에서 시뮬레이션 값과 측정값의 오차가 0.65dB이다. 다만 높은 주파수 4GHz 에서는 시뮬레이션 값과 측정값이 3dB 이상 오차가 나는 것을 확인할 수 있다. 각각의 잡음 지수에 대한 주파수 별 시뮬레이션 값과 측정값의 비교는 표 3에 보였다.

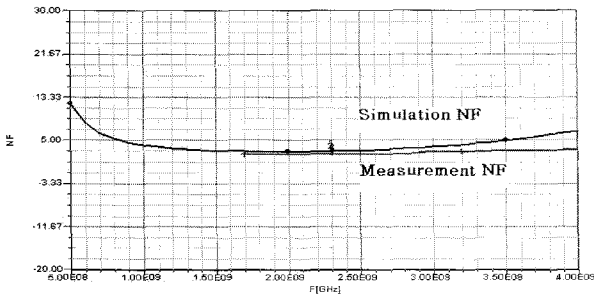


그림 14 LNA의 잡음지수 시뮬레이션 및 측정값 비교
 Fig. 14 Simulation of LNA and measurement value comparison(Noise Figure)

표 2 S-parameter의 시뮬레이션과 측정값 비교
 Table 2 Simulation & measurement value comparison of S-parameter

파라미터	주파수범위 [GHz]	시뮬레이션 값 [dB]	측정값 [dB]	오차 [dB]
S11	0.5	-2.43	-5	+2.57
	1.8	-8.03	-6.79	-1.24
	2.3	-15.45	-29.19	+13.74
	2.8	-11.87	-17.13	+5.26
	4.0	-4.57	-5.76	+1.19
S22	0.5	-5.45	-5.11	-0.34
	1.8	-11.77	-6.26	-5.51
	2.3	-14.84	-7.92	-6.92
	2.8	-12.82	-8.72	-4.1
	4.0	-7.81	-8.35	+0.54
S21	0.5	-10.27	-16.55	+6.28
	1.8	21.32	21.58	-0.26
	2.3	17.80	17.79	+0.01
	2.8	14.32	15.06	-0.74
	4.0	4.98	8.94	-3.96
S12	0.5	-99.29	-46.36	-52.93
	1.8	-44.06	-45.29	+1.23
	2.3	-43.12	-43.96	+0.84
	1.8	-43.04	-42.83	-0.21
	4.0	-45.98	-46.17	+0.19

표 3 잡음지수의 시뮬레이션과 측정값 비교
 Table 3 Simulation of LNA and measurement value comparison of noise Figure

파라미터	주파수범위 [GHz]	Simulation [dB]	Measurement [dB]	오차 [dB]
Noise Figure	0.5	-	-	-
	1.8	2.90	2.3	+0.6
	2.3	2.95	2.3	+0.65
	3.0	3.75	3	+0.75
	4.0	6.85	3.2	+3.65

4.2 나선형 인덕터 디임베드를 통한 CMOS LNA 검증

4.1절에서 언급한 LNA 회로 시뮬레이션값과 측정값에 대한 오차는 이득(S21)의 경우 표 2에서 언급한 바와 같이 주파수가 2.3GHz ~ 4GHz까지 높아 지면, 실제 설계치와 측정치에서 약 4dB정도의 오차가 난다. 표 3에서 보인 잡음지수의 경우도 주파수 2.3GHz ~ 4GHz까지 높아 지면, 설계치와 측정치에서 3dB 정도의 오차가 발생하여 이에 대한 대책 그리고 원인 분석이 필요하며, 제안한 나선형 인덕터 디임베드를 적용하여 더 정확한 파라미터 값을 추출하였다. 그림 15는 HFSS 시뮬레이션을 통해 GSG pad에 존재하는 기생성분들을 제거하고 순수 인덕터만 가지고 디임베드 적용하여 시뮬레이션 하였다. LNA 회로 시뮬레이션값, 측정값과 제안한 나선형 인덕터 디임베드를 적용하여 이득값과 잡음지수를 비교 검증한 데이터값은 그림 17과 그림 18에 나타내었다.

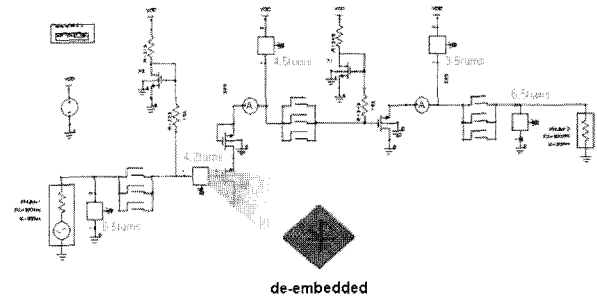


그림 15 나선형 인덕터 디임베드를 적용한 LNA 회로
 Fig. 15 LNA circuit using spiral inductors deembedded

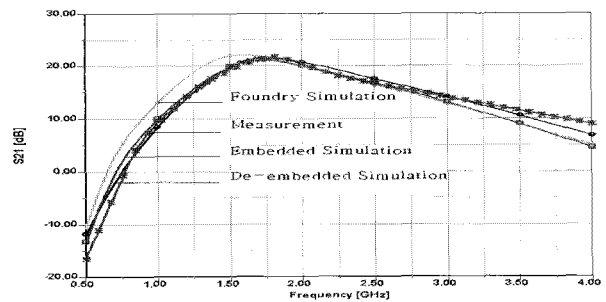


그림 16 나선형 인덕터 조건에 따른 LNA의 이득(S21)
 Fig. 16 Gain of the LNA by inductor conditions

그림 16에서 보인 S21은 0.5GHz에서부터 4GHz 까지 주파수 대역에서 파운드리업체에서 제공한 파라미터를 이용하여 시뮬레이션한 경우, HFSS를 이용하여 임베드 인덕터에 의한 시뮬레이션, HFSS를 이용하여 디임베드 인덕터에 의한 시뮬레이션 그리고 측정한 결과를 나타낸다. 표 4에 보인 각각의 파라미터의 S21의 표준 편차를 계산한 경우 파운드리 시뮬레이션은 0.373, 임베드 시뮬레이션은 0.288, 디임베드 시뮬레이션은 0.202를 나타내었다. 이 경우 다른 조건의 나선형 인덕터 해석 조건보다 오차가 가장 적음을 확인할 수 있어서 디임베드 모델링 방식을 적용한 해석이 파운드리 시뮬레이션보다 0.171 개선 되었음을 확인할 수 있다.

표 4 나선형 인덕터 조건에 따른 S21의 시뮬레이션과 측정값 비교

Table 4 Simulation and measurement value comparison of S21 by spiral inductor conditions

이득 (S21)	주파수 범위 (GHz)	시뮬레이션값 [Mag]	측정값 [Mag]	오차값 [Mag]	표준편차
Foundry Simulation	0.5	0.306	0.148	0.158	0.373131
	1	4.5	2.82	1.68	
	1.8	11.64	11.99	-0.35	
	2.3	7.77	7.75	0.02	
	2.8	5.2	5.66	-0.46	
	3.5	2.53	3.72	-1.19	
	4	1.77	2.8	-1.03	
Embedded Simulation	0.5	0.215	0.148	0.068	0.288141
	1	2.64	2.82	-0.18	
	1.8	11.12	11.99	-0.87	
	2.3	7.98	7.75	0.23	
	2.8	5.36	5.66	-0.3	
	3.5	3.36	3.72	-0.36	
De-embedded Simulation	0.5	0.255	0.148	0.107	0.202838
	1	2.64	2.82	-0.18	
	1.8	11.95	11.99	-0.04	
	2.3	8.72	7.75	0.97	
	2.8	5.96	5.66	0.3	
	3.5	3.36	3.72	-0.36	
4	2.18	2.8	-0.62		

그림 17에서 보인 잡음 지수도 1.8GHz에서부터 4GHz 까지 주파수 대역에서 파운드리업체에서 제공한 파라미터를 이용하여 시뮬레이션한 경우, HFSS를 이용하여 임베드 인덕터에 의한 시뮬레이션, HFSS를 이용하여 디임베드 인덕터에 의한 시뮬레이션 그리고 측정된 결과를 나타낸다.

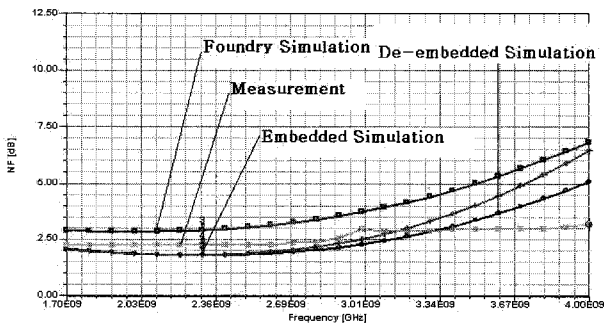


그림 17 나선형 인덕터 조건에 따른 LNA의 잡음지수
Fig. 17 Noise figure of LNA by spiral inductor condition

표 5에 보인 각각의 파라미터의 잡음지수의 표준 편차를 계산한 경우 파운드리 시뮬레이션은 0.328, 임베드 시뮬레이션은 0.263, 디임베드 시뮬레이션은 0.177을 나타내었다. 이 경우 다른 조건의 인덕터 해석 조건보다 오차가 가장 적음을 확인 할 수 있어서 디임베드 모델링 방식을 적용한 해석이 파운드리 시뮬레이션보다 0.151 개선되었음을 확인 할 수 있다. 결국 본 논문에서 제안한 나선형 인덕터 디임베드를 적용한 시뮬레이션 결과가 다른 조건의 인덕터 해석 기법을 이용하는 경우보다 주파수 변화에 따른 오차값을 수치적으로 개선시킬 수 있음을 확인할 수 있다.

표 5 나선형 인덕터 조건에 따른 잡음지수의 시뮬레이션과 측정값 비교

Table 5 Simulation and measurement value comparison of Noise Figure by spiral inductor conditions.

잡음지수 (NF)	주파수 범위 (GHz)	시뮬레이션값 [Mag]	측정값 [Mag]	오차값 [Mag]	표준편차
Foundry Simulation	1.8	1.949	1.698	0.251	0.328708
	2.3	1.974	1.698	0.276	
	2.8	2.197	1.737	0.46	
	3.5	3.176	2	1.176	
	4	4.841	2.089	2.752	
Embedded Simulation	1.8	1.588	1.698	-0.11	0.263677
	2.3	1.527	1.698	-0.171	
	2.8	1.655	1.737	-0.082	
	3.5	2.552	2	0.552	
	4	4.446	2.089	2.357	
De-embedded Simulation	1.8	1.599	1.698	-0.099	0.177494
	2.3	1.527	1.698	-0.171	
	2.8	1.61	1.737	-0.127	
	3.5	2.187	2	0.187	
	4	3.25	2.089	1.161	

5. 결론

본 논문에서는 LNA설계시 회로 시뮬레이션 툴을 이용한 모의 실험을 통해 실측치와 근접한 결과를 얻기 위한 방법으로 나선형 인덕터의 패드효과 제거를 위한 디임베드 방법을 적용하여 비교 검증하였다. 검증결과는 주파수 0.5GHz ~ 4GHz 대역에서 이득과 주파수 1.8GHz ~ 4GHz 대역에서 잡음지수의 표준 편차를 계산한 경우 디임베드 나선형 인덕터 방식이 파운드리 시뮬레이션보다 이득은 0.171, 잡음지수는 0.151 개선 되었다.

본 논문에서는 제시한 디임베드 모델링을 통해서 정확한 인덕터의 값을 해석하여 설계에 적용할 경우 CMOS 공정 LNA설계를 통해 제작할 때 만족한 결과를 얻을 수 있으며, 여러 번의 시행착오를 줄일 수 있는 방안으로 사용할 수 있을 것으로 사료된다.

참 고 문 헌

- [1] T. Manku, "Microwave CMOS-devices and circuits," Proc. Of the IEEE 1998. Custom integrated Circuits Conference, pp59-66.
- [2] Behzad Razavi, RF Microelectronics, by Prentice Hall, Inc.
- [3] "RF MOS Measurement," by Franz Sischka and Thomas Gneiting, World Scientific.
- [4] "Layout Rules for GHz-Probing," Application Note from Cascade Micro tech.
- [5] "Harmonica Reference Volume," User's Manual of Serenade 8.71 from Ansoft Corporation.
- [6] "Harmonica Element Libray," User's Manual of Serenade 8.71 from Ansoft Corporation.
- [7] Thomas H. Lee., "The Design of CMOS Radio Frequency Integrated Circuits," Cambridge University Press, 1998.
- [8] Gray and Meyer, Analysis and Design of Analog Integrated Circuits, 4thed. New York: Wiley, 2001.
- [9] A van der Ziel, Noise in Solid State Devices and Circuits, Wiley, NewYork, 1986.
- [10] Hyunjin Lee, Joonho Gil, Jeong-hu Han, and Hyungcheol Shin, "Optimization of spiral inductors on silicon substrate," IDEC Conference 2002 Summer, pp. 49-52. 2002.
- [11] Derek K. Shaeffer and Thomas H. Lee., "A 1.5V,1.5GHz CMOS Low Noise Amplifier," IEEE Journal of Solid-State Circuit, vol. 32, no.5, pp.745-747, May., 1997.

저 자 소 개



이 한 영 (李 辰 瑩)

1971년 9월 18일
 1998년 세종대 물리학과 졸업(이학사)
 2002년 국민대 전자공학과 졸업(공학 석사)
 2005년 건국대 전자정보통신 졸업(공학 박사) 1999년 ~ 현재 대림대학 실습행정
 기사
 Tel : 031-467-4745
 Fax : 031-467-4908
 E-mail : hylee@dealim.ac.kr



유 영 길 (劉 英 吉)

1959년 7월 9일
 1982년 건국대 전자공학과 졸업(공학사)
 1988년 건국대 전자공학과 졸업(공학 석사) 1993년 건국대 전자공학과 졸업(공학 박사) 1992년 ~ 현재 대림대학 전자정보
 통신계열 교수
 Tel : 031-467-4874
 Fax : 031-467-4908
 E-mail : ykyoo@dealim.ac.kr