
이중게이트 MOSFET에서 채널도핑농도에 따른 문턱전압이하 특성 분석

정 학 기*

Analysis of Channel Doping Concentration Dependent Subthreshold Characteristics for Double Gate MOSFET

Hak Kee Jung

요 약

본 연구에서는 이중게이트 MOSFET 제작시 가장 중요한 요소인 채널도핑농도가 문턱전압이하 영역에서 전송 특성에 미치는 영향을 분석하고자 한다. 포아슨방정식을 이용한 분석학적 전송모델을 사용하였다. 문턱전압이하의 전류전도에 영향을 미치는 열방사전류와 터널링전류에 대하여 분석하였으며 본 연구의 모델이 타당하다는 것을 입증하기 위하여 서브문턱스윙값과 채널도핑농도의 관계를 Medici 이차원 시뮬레이션값과 비교하였다. 결과적으로 본 연구에서 제시한 전송특성모델이 이차원 시뮬레이션모델과 매우 잘 일치하였으며 이중게이트 MOSFET의 구조적 파라미터에 따라 전송특성을 분석하였다.

ABSTRACT

In this paper, the influence of channel doping concentration, which the most important factor is as double gate MOSFET is fabricated, on transport characteristics has been analyzed in the subthreshold region. The analytical model is used to derive transport model based on Poisson equation. The thermionic emission and tunneling current to have an influence on subthreshold current conduction are analyzed, and the relationship of doping concentration and subthreshold swings of this paper are compared with those of Medici two dimensional simulation, to verify this model. As a result, transport model presented in this paper is good agreement with two dimensional simulation model, and the transport characteristics have been considered according to the dimensional parameters of double gate MOSFET.

키워드

이중게이트 MOSFET, 포아슨방정식, 서브문턱스윙, 채널도핑농도

I. 서 론

이중게이트(Double Gate; DG) MOSFET는 우수한 스케일효과에 의하여 20nm이하 차세대 주력 FET소자 제작의 가능성에 대한 연구가 활발히 진행 중에 있다[1][2]. MOSFET의 채널길이가 점점 작아지면서 발생하는 단채

널효과는 단일 게이트로 제작된 MOSFET의 크기감소에 커다란 제약이 되고 있다. 이와 같은 단채널효과를 감소시키기 위하여 개발하기 시작한 이중게이트 MOSFET는 두개의 게이트로 인하여 채널전류 제어용량이 거의 두 배로 증가할 뿐만 아니라 채널두께 제한 및 게이트산화막 터널링 등 심각한 단채널효과를 제어할 수 있다는

장점을 가지고 있다. 이러한 장점은 소자설계시 가장 중요한 요소인 문턱전압설정에 영향을 미치고 있다. 문턱전압은 소자스케일 및 회로시뮬레이션에 영향을 미치고 있어 집적회로설계시 매우 중요한 요소이다.

문턱전압에 영향을 미치는 소자파라미터는 채널도핑농도이다. 채널도핑농도는 매우 중요한 스케일링요소이며 소자크기 감소에 따라 가장 민감한 소자파라미터이다. 단일 게이트 MOSFET의 경우, 소자를 ON시키기 위하여 반전층 전하밀도가 채널의 도핑농도 이상으로 증가하여야 한다. 이러한 조건은 일반적으로 $N_A = 10^{16}/\text{cm}^3$ 이상의 채널도핑을 요구하나 이중게이트 MOSFET의 경우 채널 고도핑에 의한 이동도 감소, 문턱전압 변동폭 증가 등 소자특성 저하를 피하기 위하여 $N_A = 10^{16}/\text{cm}^3$ 이하의 저도핑 영역을 이용하여 제작하고 있다[3]. 그러므로 이중게이트 MOSFET의 경우, 소자를 ON시키기 위한 반전층 전하밀도는 채널 도핑을 초과하여 형성될 수 있으나 이때 문턱전압에 대해선 재고찰되고 있는 실정이다[4]. 채널도핑은 문턱전압의 변화뿐만 아니라 서브문턱스텝 등 문턱전압 이하 특성에도 큰 영향을 미치고 있다. 그러므로 본 논문에서는 문턱전압이하에서 채널도핑이 전송특성에 미치는 영향을 고찰하고자 한다. 즉, 문턱전압이하에서 채널도핑에 따른 전도중심의 변화, 채널내 포텐셜의 변화, 서브문턱스텝의 변화 등을 고찰함으로써 채널 도핑이 전자전송특성에 미치는 영향을 분석하고자 한다. 2장에서는 이론적 배경에 대하여 설명할 것이며 3장에서는 결과를 고찰하고 4장에서 결론을 맺을 것이다.

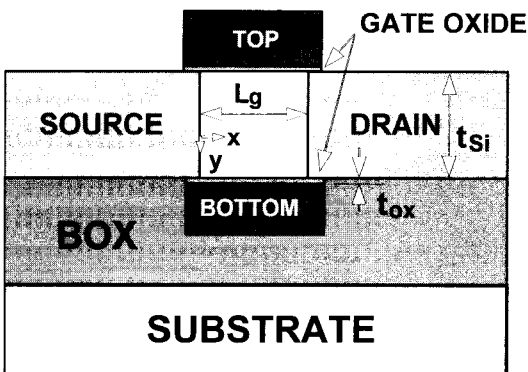


그림 1. 이중게이트 MOSFET구조
Fig. 1 Structure of double gate MOSFET

II. DGMOSFET

일반적인 DGMOSFET의 채널영역은 형태에 관계없이 두개의 게이트를 가지고 있다. 즉 그림 1과 같이 게이트산화막이 채널을 둘러싼 형태를 취하고 있다. 채널은 저도핑하여 완전결핍상태에서 동작하도록 하며, 대칭적인 구조로 두개의 동일한 P+폴리실리콘게이트를 사용하였으며 구조적 파라미터는 매우 낮은 P형 도핑된 채널의 두께 t_{Si} , 게이트산화막 t_{ox} 그리고 게이트길이 L_g 등이다. P형 채널은 $N_A = 10^{16}/\text{cm}^3$ 을 사용하였다. n형 소스와 드레인 영역은 $N_D = 10^{20}/\text{cm}^3$ 을 사용하였으며 폴리실리콘게이트의 P형 도핑도 $N_A = 10^{20}/\text{cm}^3$ 을 사용하였다.

이중게이트 MOSFET의 경우 서브문턱영역에서 열발출 및 터널링전류가 대부분을 차지할 것이며 두 전류는 상호 독립적이므로 각각에 대하여 채널내 포텐셜분포를 구해야만 한다. 서브문턱영역에서 채널포텐셜은 완전히 결핍상태에서 이차원 포아슨방정식을 이용하여 구할 수 있다.

$$\nabla^2 \Psi = qN_A/\epsilon_{Si} \quad (1)$$

이때 ϵ_{Si} 는 실리콘의 유전율이며 Ψ 는 채널내 이차원 포텐셜분포이다.

중첩의 원리를 사용하여 Ψ 는

$$\Psi(x, y) = V_{GS} - \Phi_{MS} + U_{1D}(y) + \phi_{2D}(x, y) \quad (2)$$

와 같이 표현되며 여기서 V_{GS} 는 게이트전압, Φ_{MS} 는 게이트-채널간 일함수차이다. 그리고 $U_{1D}(y)$ 는 일차원 포아슨방정식의 일반해이며 $\phi_{2D}(x, y)$ 항은 소스/드레인의 영향을 표현한 이차원 라플라스방정식의 해이다[5].

대부분의 캐리어가 이동되어지는 최소 채널포텐셜 Φ_{min} 은 $\partial\Psi(x, y)/\partial x = 0$ 에서 구할 수 있다.

이때 전류 I_D 는 자유전자의 총량에 비례하며 이의 밀도는 고전적 볼츠만통계를 따른다고 가정하면

$$n_m(y) = (n_i^2/N_A)e^{q\Phi_{min}/kT} \quad (3)$$

이다.

열적 전류 I_{ther} 와 터널링전류 I_{tunn} 의 합으로 I_D 를 구할 수 있다[6].

$$I_{ther} = qn_m(y)v_{th}t_{Si}W/6 \approx qn_m(d_{eff})v_{th}t_{Si}W/6 \quad (4)$$

$$I_{tunn} = (qN_D t_{Si} W/6)(2T_i v_{th,i}/3 + T_i v_{th,i}/3) \quad (5)$$

$$I_D = I_{ther} + I_{tunn} \quad (6)$$

이다. 여기서 T_i 와 $v_{th,i}$ 는 종방향 실효질량을 가진 전자의 터널링확률 및 열적속도이며 T_i 와 $v_{th,i}$ 는 횡방향 실효질량을 가진 전자의 터널링확률 및 열적속도이다. 파라미터 d_{eff} 는 자유전자의 전도중심을 나타내며 다음과 같이 표현된다[6].

$$d_{eff} = \lambda_1 \cos^{-1} \left[\frac{\int_0^{t_{s/2}} n_m \cos \frac{y}{\lambda_1} dy}{\int_0^{t_{s/2}} n_m dy} \right] \quad (7)$$

또한 식 (6)에서 구한 전류를 이용하여 서브문턱스윙을 다음과 같이 구하였다.

$$SS = \left[\frac{\partial \log(I_D)}{\partial V_{gs}} \right]^{-1} \quad (8)$$

III. 채널도핑에 의한 서브문턱스윙분석

먼저 본 연구의 모델에 대한 타당성을 검토하기 위하여 서브문턱스윙을 Medici 이차원 시뮬레이션값[7]과 비교하였다. 그림 2(a)에 도시한 바와 같이 이차원 시뮬레이션값과 매우 잘 일치하므로 본 연구에서 제시한 모델이 타당함을 알 수 있었다. 게이트길이가 감소하면 터널링전류에 의한 효과를 무시할 수 없어 서브문턱스윙이 급격히 증가함을 알 수 있었다. 특히 채널두께가 작아질수록 서브문턱스윙은 급격히 감소함을 알 수 있었다.

채널두께에 대한 효과를 좀더 자세히 고찰하기 위하여 그림 3에 전도중심의 변화를 도시하였다. 전도중심이 게이트콘택으로 이동할수록 게이트전압에 의한 전하제어가 용이하여 서브문턱스윙을 향상시킬 수 있다는 것을 알 수 있다. 채널두께에 따른 전도중심의 이동을 살펴보면 채널두께가 1.5nm로 매우 작을 때, 도핑농도에 의한 영향을 거의 받지 않고 일정한 전도중심을 보이고 있다. 그

러므로 그림 2(b)에서 알 수 있듯이 도핑농도에 관계없이 일정한 서브문턱스윙 값을 나타내고 있다. 그러나 채널두께가 20nm일 때 채널도핑농도에 따른 전도중심의 이동이 매우 증가하여 서브문턱스윙도 차이가 나는 것을 알 수 있다. 또한 채널두께가 감소할수록 서브문턱스윙도 향상되므로 가능하면 채널두께는 얇게 제작하여야만 할 것이다.

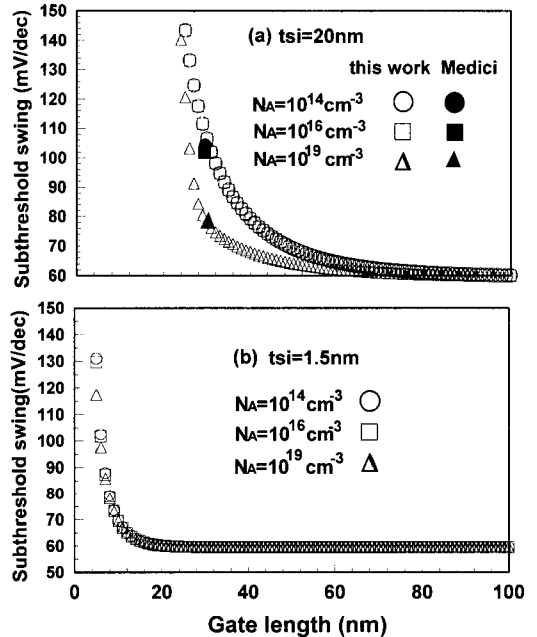


그림 2. 서브문턱스윙의 비교
Fig. 2 Comparison of subthreshold swings

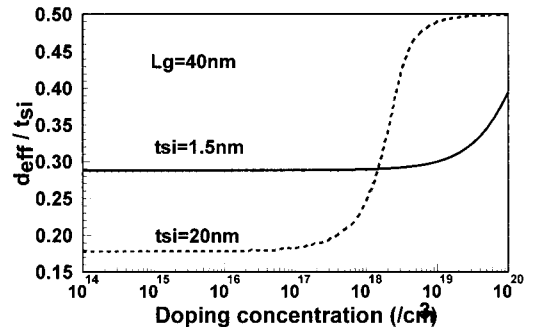


그림 3. 도핑에 따른 전도중심의 변화
Fig. 3 Change of conduction center for doping concentration

이상에서 살펴본 바와 같이 전도중심의 변화는 서브 문턱스윙에 큰 영향을 미치며 전도중심의 변화는 도핑 농도에 따라 변화하나 저도핑 영역의 채널을 사용하면 일정한 전도중심과 서브문턱스윙 값을 얻을 수 있다는 것을 알 수 있었다. 그러나 이때 서브문턱스윙이 증가하여 디지털소자에서 사용이 불가능하게 된다. 그러므로 전술한 바와같이 채널두께를 작게 제작함으로써 전도 중심을 게이트콘택방향으로 이동시킬 수 있고 이는 서브문턱스윙의 향상을 가져오게 됨을 알 수 있었다.

서브문턱스윙과 전도중심의 관계를 도핑농도에 따라 분석하기 위하여 채널내 포텐셜분포를 그림 4에 도시 하였다.

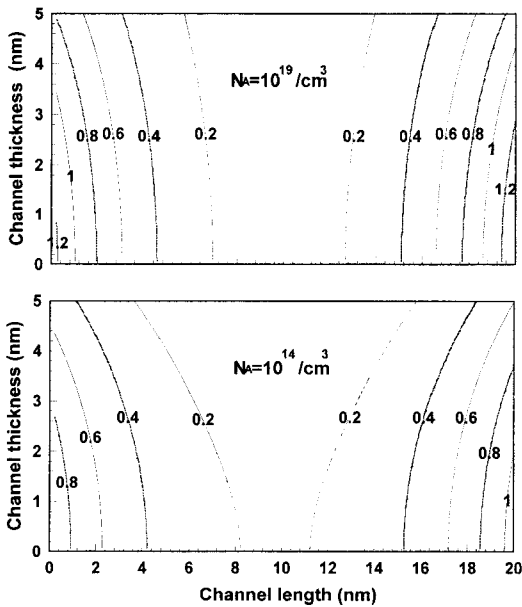


그림 4. 채널내 포텐셜분포 비교
Fig. 4 Comparison of potential contours in channel

채널두께가 10nm, 채널길이가 20nm인 이중게이트 MOSFET의 경우, 채널도핑농도가 $10^{19}/cm^3$ 일때와 $10^{14}/cm^3$ 일 때 포텐셜분포를 도시하였다. 도핑농도가 증가할수록 등전위선의 간격이 조밀하여 캐리어의 흐름을 더욱 용이하게 할 것이며 이는 서브문턱스윙의 향상으로 나타날 것이다. 특히 저농도도핑의 경우, 게이트콘택방향으로 갈수록 포텐셜분포의 폭이 넓어져 열방사전류의 흐름을 방해하며 평균 전도중심인 d_{eff} 가 채널중심

방향으로 이동한다. 이는 그림 3에서도 알 수 있듯이 도핑농도가 감소할수록 전도중심이 채널중심으로 이동하여 서브문턱스윙이 증가하게 되는 결과와 잘 일치한다.

그림 5에 도핑농도의 변화에 따른 서브문턱스윙의 변화를 채널길이 및 채널두께를 파라미터로 하여 도시하였다. 전술한 바와같이 고농도에서 서브문턱스윙은 감소함을 알 수 있었다. 그러나 이중게이트 MOSFET를 완전결핍상태에서 동작시키기 위하여 채널도핑은 저농도로 도핑시켜야만 한다. 그림 5(a)에서 알 수 있듯이 채널 길이가 작아지면 서브문턱스윙은 급격히 증가하여 디지털소자로서 사용할 수 없을 것이다. 그러나 채널길이가 약 20nm 이상에서는 70mV/dec의 값을 보임으로써 디지털소자로서 사용이 가능할 것이다. 채널길이 감소에 따른 서브문턱스윙의 증가현상을 보상하기 위하여 채널두께를 조절하여야만 한다.

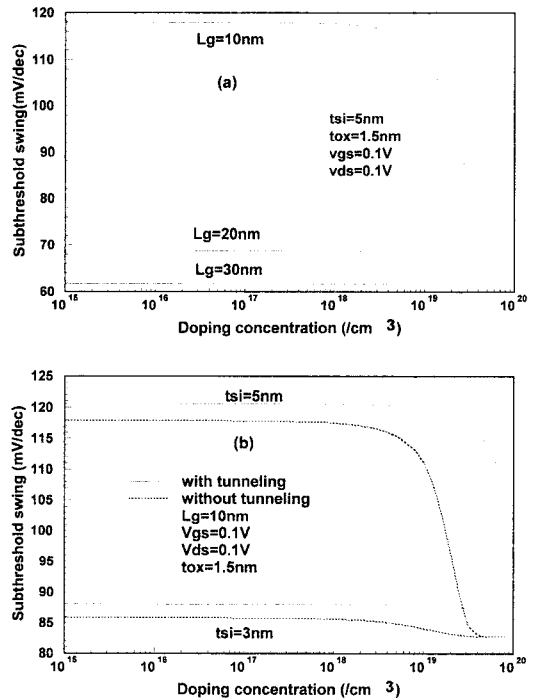


그림 5. 도핑농도에 따른 서브문턱스윙의 변화
(a) 파라미터가 채널길이일 때
(b) 파라미터가 채널두께일 때

Fig. 5 Subthreshold swings for change of doping concentration
(a) when parameter is channel length
(b) when parameter is channel thickness

그림 5(b)에 채널길이가 10nm일 때 채널두께를 5nm와 3nm로 조절하여 서브문턱스윙값을 계산한 결과를 도시하였다. 계산결과 채널두께가 감소하면 서브문턱스윙 값도 감소함을 알 수 있었으며 특히 채널두께가 감소하면 도핑농도의 변화에 대하여 서브문턱스윙이 거의 영향을 받고 있지 않다는 것을 알 수 있었다. 그러므로 채널길이가 10nm정도로 감소할 때 채널두께도 감소하여야 할 것이다. 그림 5(b)에서는 터널링 전류가 서브문턱스윙에 미치는 영향을 조사하기 위하여 터널링전류의 유무에 따라 서브문턱스윙을 계산하였다. 터널링 전류에 의하여 서브문턱스윙이 증가하는 것을 알 수 있었으며 도핑농도가 증가할수록 터널링전류의 영향이 증가하여 터널링전류의 유무에 따라 서브문턱스윙이 크게 변화함을 알 수 있었다.

IV. 결 론

본 연구에서는 이중게이트 MOSFET에서 채널도핑농도에 따른 서브문턱스윙의 변화를 고찰하였다. 제시한 전송모델의 타당성을 입증하기 위하여 이차원 시뮬레이션값과 서브문턱스윙값을 비교하였으며 매우 잘 일치함을 알 수 있었다. 전도중심과 서브문턱스윙의 관계를 분석하여 저농도 도핑에서도 우수한 서브문턱스윙 값을 갖기 위한 채널길이가 채널두께의 관계를 고찰하였다. 보다 자세히 도핑농도에 따른 전도중심의 변화를 고찰하기 위하여 포텐셜분포를 이용하였다. 도핑농도가 감소하면 전도중심이 채널중심으로 이동하고 열방사전류의 전송특성이 저하되어 서브문턱스윙이 증가함을 알 수 있었다. 또한 도핑농도의 변화에 따른 서브문턱스윙의 변화를 채널길이 및 채널두께를 파라미터로 하여 고찰하였다. 채널길이가 감소하고 저농도 도핑에서 서브문턱스윙은 매우 증가하나 채널두께를 감소시켜 디지털소자로 사용가능한 서브문턱스윙을 얻을 수 있다고 사료된다.

참고문헌

[1] D.S.Havaladar, G.Katti, N.DasGupta and A.DasGupta, "Subthreshold Current Model of FinFETs Based on

Analytical Solution of 3-D Poisson's Equation," IEEE Trans. Electron Devices, vol. 53, no.4, 2006.

- [2] G.Katti, N.DasGupta and A.DasGupta, "Threshold Voltage Model for Mesa-Isolated Small Geometry Fully Depleted SOI MOSFETs Based on Analytical Solution of 3-D Poisson's Equation," IEEE Trans. Electron Devices, vol. 51, no.7, 2004.
- [3] Q.Chen, E.M.Harrell and J.D.Meindl, "A Physical Short-Channel Threshold Voltage Model for Undoped Symmetric Double-Gate MOSFETs," IEEE Trans. Electron Devices, vol. 50, no.7, 2003.
- [4] F.L.Yang, H.Y.Chen, C.C.Huang, C.Y.Chang, H.K. Chiy, C.C.Lee et al. "25nm CMOS Omega FETs," IEDM, pp.255-258, 2002
- [5] Q.Chen, B.Agrawal, J.D.Mein, "A Comprehensive Analytical Subthreshold Swing(S) Model for Double-Gate MOSFETs," IEEE Trans. Electron Devices, vol. 49, no.6, pp.1086-1090, 2002.
- [6] H. K. Jung and S. Dimitrijevi, "Analysis of Subthreshold Carrier Transport for Ultimate Double Gate MOSFET," IEEE Trans. Electron Devices, vol. 53, no.4, pp.685-691, 2006.
- [7] D.Munteanu and J.L.Autran, "Two-dimensional modeling of quantum ballistic transport in ultimate double-gate SOI devices," Solid-State Electronics, vol.47, pp.1219-1225, 2003.

저자소개

정학기(Hak Kee Jung)



1983.3 아주대학교 전자공학과 졸업
1985.3 연세대학교 전자공학과 M.S.
1990.8 연세대학교 전자공학과 Ph.D
1995.8 일본 오사카대학 교환교수

2005.8 호주 그리피스대학 교환교수

1990.3-현재 군산대학교 전자정보공학부 교수

※관심분야: 반도체소자 시뮬레이션, 몬테칼로 시뮬레이션, 회로및 시스템 해석 등