

---

# 우수한 IR Drop 특성을 갖는 저전력 LDO에 관한 연구

이국표\* · 표창수\* · 고시영\*\*

A Study on the Low Power LDO Having the Characteristics of Superior IR Drop

Kook-pyo Lee\* · Chang-Soo Pyo\* · Si-Young Koh\*\*

## 요 약

파워 매니지먼트는 휴대용 전자 기기에서 매우 중요한 역할을 한다. 휴대용 전자 기기는 배터리의 수명을 증가시키기 위해 LDO와 같은 파워 효율적인 파워 매니지먼트를 요구한다. 그래서 배터리 전원을 사용하는 휴대폰, 카메라 레코더, laptop, 자동차 전장용, 산업용 기기 등의 응용에서는 배터리의 전압변동이 크기 때문에, 배터리 전원을 그대로 사용하지 않고 내부회로의 전원을 제공해 주는 LDO를 이용한다. 레귤레이터는 배터리 전원전압 보다 낮은 DC 전압을 내부회로에 제공하며, 큰 변동을 보이는 배터리 전압에 관계없이 일정한 DC전압을 제공할 수 있다. 본 연구에서는 0.18um CMOS 공정기술로 제작된 온칩 LDO의 파워 세이브 모드 전류 특성과 IR-Drop 특성을 파악해 보았다.

## ABSTRACT

Power management is a very important issue in portable electronic applications. Portable electronic devices require very efficient power management like LDO to increase the battery life. As the voltage variation of battery power is large in the application of cell phone, camera, laptop, automotive, industry application and so on, battery power is not directly used and LDO is used to supply the power of internal circuit. Besides, LDO can supply DC voltage that is lower than batter voltage and constant DC voltage that is not related to largely fluctuated battery power.

In the study, the power-save mode current and IR-drop characteristics are analyzed from a LDO with on-chip fabricated in 0.18-um CMOS technology.

## 키워드

IVC, regulator, IR-Drop, power management

## I. 서 론

배터리 전원을 사용하는 휴대폰, 카메라, laptop, 자동차 전장용, 산업용 기기 등의 응용에서는 배터리 자체의 전압변동이 크기 때문에, 배터리 전원을 그대로 사용하지 않고 내부회로의 전원을 안정적으로 제공해 주는 레

귤레이터를 이용한다. 레귤레이터는 배터리 전원전압 보다 낮은 DC 전압을 내부회로에 제공하여 배터리 전력 소비를 감소시킬 수 있으며, 큰 변동을 보이는 배터리 전압에 관계없이 일정한 DC전압을 제공할 수 있다.

특히 LDO (Low drop-out) 레귤레이터는 입력 전압과 출력 전압 차이가 크지 않아서 전압의 동작범위를 확대

---

\* 영진전문대학 인터넷전자정보계열  
\*\* 경일대학교 전자정보통신공학부(교신저자)

시킬 수 있는 장점을 가지고 있기 때문에, 배터리 전원을 사용하는 칩에 널리 사용되고 있다.<sup>[1-3]</sup>

과거에는 이러한 LDO 레귤레이터를 외부 보드에 장착하여 사용하는 외장형 방법을 많이 사용하였으나, 보드구성 단가가 비싸지고 보드의 면적이 커지는 단점이 있어서, 최근에는 칩 내부에 레귤레이터를 내장하여 사용한다. 그러나, 회로 내의 전력선에 의해 발생하는 IR Drop에 의해서 출력전압이 감소할 수 있어서 정확도 있는 출력을 갖는 레귤레이터를 제작하기가 대단히 어려우며, 소비전류가 크기 때문에 저전력 칩으로 구현하기 어려운 단점이 있다.

이에 본 연구에서는 IR Drop을 고려하여 적합한 전력선을 이용하여 LDO 레귤레이터, 메모리, 로직회로를 설계 및 제작하였으며, 레귤레이터를 최적화하여 power-save 전류를 30uA 이내로 줄이고 부하전류에 따라 IR Drop특성이 우수함을 확인하였다.

## II. 본 론

그림 1에 일반적인 LDO 레귤레이터에 대한 개략도가 나타나 있다. 레퍼런스 전압 회로, LDO 회로, 외부 연결부에 의해서 출력전압  $V_{out}$ 이 발생한다.

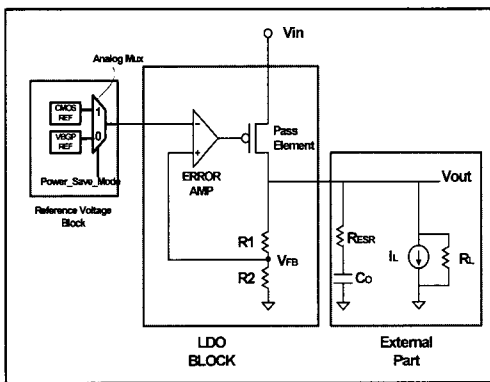


그림 1. LDO 레귤레이터 시스템  
Fig. 1. LDO regulator system.

레퍼런스 전압 회로의 종류에는 크게 CMOS 레퍼런스 회로와 밴드갭 레퍼런스 회로가 있다. CMOS 레퍼런스 회로는 동작전류는 적지만 MOS 소자의 문턱전압  $V_{TH}$ 에 의해 전압이 발생하는 구조이기 때문에 온도에

따른 레퍼런스 전압의 차이가 큰 단점이 있다.<sup>[4]</sup> 반면에 밴드갭 레퍼런스 회로는 BJT의 베이스 에미터 사이의 전압  $V_{BE}$ 를 이용한 회로로서 온도에 따른 레퍼런스 전압의 차이를 크게 줄일 수 있는 장점을 가지고 있으나 동작전류가 다소 큰 단점이 있다.

본 연구에서는 그림1과 같이 CMOS 레퍼런스 회로와 밴드갭 레퍼런스 회로를 아날로그 Mux에 연결하였다. 그래서 칩 동작이 정지되어 있는 Power-Save 모드에서는 동작전류의 양의 중요하므로 밴드갭 레퍼런스 회로는 OFF시키고, CMOS 레퍼런스 회로는 ON시켜서 동작전류를 감소시키고, 동작전류가 크게 중요하지 않은 동작모드에서는 밴드갭 레퍼런스 회로를 이용하여 레퍼런스 전압의 정밀도를 높였다. 결국 CMOS 레퍼런스 회로와 밴드갭 레퍼런스 회로의 장점만을 취한 구조를 채택하여서 저전력 동작이 필수적인 Stand-By 모드는 CMOS 레퍼런스 회로를 이용하였으며, 칩 전체전류가 이미 커서 레퍼런스 회로의 전류가 크게 중요하지 않은 동작모드에서는 밴드갭 레퍼런스 회로를 이용하여 보다 우수한 레퍼런스 전압을 발생시켰다.

Feedback 전압  $V_{FB}$ 는 Error AMP와 Pass Element에 의해서 레퍼런스 전압  $V_{REF}$ 와 같아지게 되므로, 결국 LDO의 출력전압  $V_{out}$ 은 다음 식(1)로 표현된다.

$$V_{out} = V_{REF} (1 + R1/R2) \quad (1)$$

LDO의 경우, 전압을 안정적으로 제공하기 위해서 칩 외부에 수 uF 정도의 외장 캐패시터를 연결하게 되는데, ESR 저항  $RESR$ 과 출력 캐패시턴스  $Co$ 의 직렬연결로 표현할 수 있다. 그리고, 그림1에서 보듯이 칩 내부 회로에 의해 소모되는 전류를 고려하여  $IL$ 과  $RL$  항을 추가하여 LDO 레귤레이터 시뮬레이션을 수행하였다.

일반적으로 LDO 레귤레이터에 적용하는 파라미터는 표 1과 같으며, 이 파라미터를 적용하여 SPICE 시뮬레이션을 수행하였다. 그림 2에 AC 시뮬레이션 결과가 나타나 있다. DC open-loop gain은 증폭률을 나타내는 중요한 인자로서 0dB 이상에서 정상적인 증폭역할을 한다. 그림 2에서 보듯이 주파수 100Hz까지 DC open-loop gain이 50dB으로 일정하게 유지하고 있으며, 주파수가 약 1MHz에서 0dB의 값을 나타내었다. 그리고 unit gain 주파수는 gain이 0dB일 때의 주파수를 의미하는데, 시뮬레이션 결과값이 약 1MHz이었으며, 위상 마진(phase

margin)은 약 40°이었다. 결국, AC 시뮬레이션에서 본 LDO 레귤레이터가 1MHz까지 양호한 주파수응답을 나타내었다.

표 1. LDO 레귤레이터의 파라미터  
Table 1. The parameter of LDO regulator.

파라미터	심볼	값
Input Voltage	Vin	3V ~ 5V
Resistance 1	R1	200KOhm
Resistance 2	R2	300KOhm
Output Capacitance	Co	10uF
ESR Resistance	RESR	50hm
Reference Voltage	VREF	1.2V
Load Current	IL	100mA
Pass Element (PMOS)		(W/L=30um/0.7um) X 800

다음으로 그림 3과 같이 DC 시뮬레이션을 수행하였는데, 전압 3V에서 5V까지의 입력전압에서 1.9V~2.1V의 안정적인 LDO 출력전압을 확인할 수 있었다. 그리고, 입력전압에 따른 출력전압의 변화를 의미하는 라인 레귤레이터 값은 약 0.001V/V으로 전압의 변화가 거의 없음을 확인할 수 있었다.

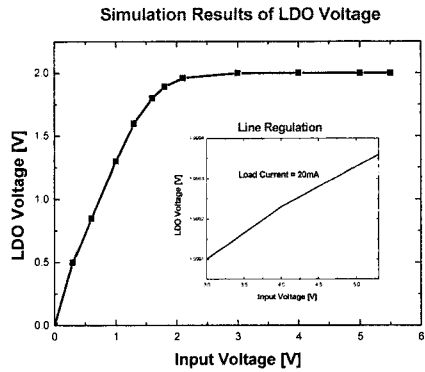


그림 3. 입력전압에 따른 LDO 전압  
Fig. 3. LDO voltage due to input voltage.

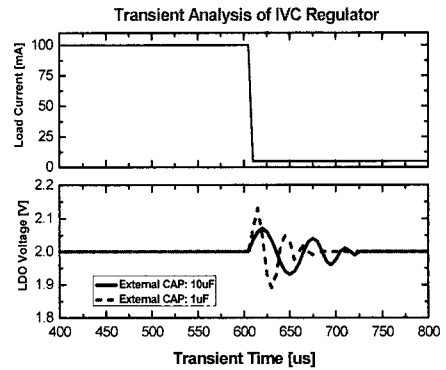


그림 4. 부하전류에 따른 LDO 전압의 변화  
Fig. 4. Variation of LDO voltage due to load current.

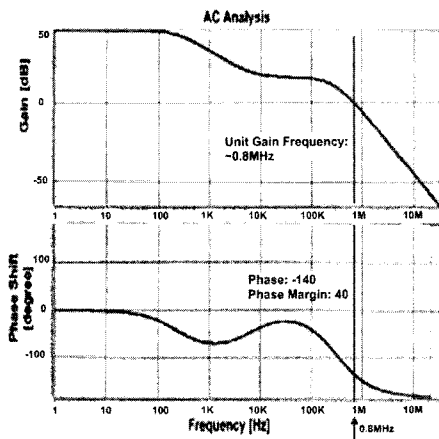


그림 2. LDO 레귤레이터의 Gain과 phase shift  
Fig. 2. Gain and phase shift of LDO regulator.

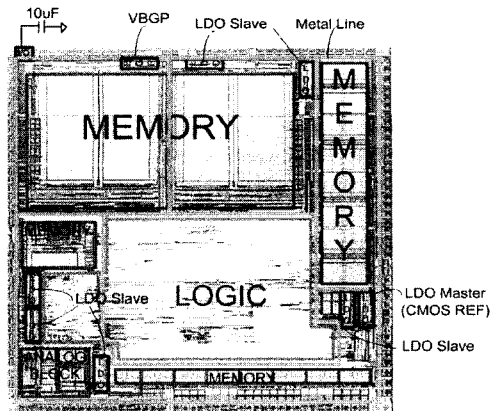


그림 5. 전체 칩의 레이아웃  
Fig. 5. Layout of full chip.

마지막으로 부하전류에 따른 LDO 전압의 변화를 측정하였는데, 그림 4에 자세히 나타나 있다. 부하전류의 변화를 수십 $\mu$ s에서 약 95mA 이상 발생시켰을 때, 일반적으로 사용하는 1 $\mu$ F, 10 $\mu$ F 캐패시턴스 값에서 LDO 전압의 변화는 10% 내외 이었으며, 약 200ms 이후에 안정적인 전압값을 유지하였다.

그림 5에는 칩의 전체 레이아웃이 나타나 있다. 칩에는 메모리, ADC 등의 아날로그 블록, 디지털 로직이 포함되어 있다. IR Drop을 최소화하기 위해서, 총 7개의 LDO를 전력이 많이 필요한 메모리, 아날로그 블록 주위에 배치하였으며, 개별 블록 주위에 너비 15 $\mu$ m 이상의 파워 메탈라인 (metal line) 을 구성하였다.

그림 6는 제작된 LDO 칩의 측정결과이다. 인가전압에 따른 전류특성은 CMOS 레퍼런스 블록을 사용한 파워 세이브 모드에서 입력전압 5.5V에서 25 $\mu$ A 이하로 측정되었다.

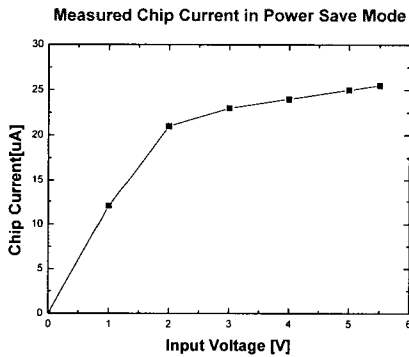


그림 6. 파워 세이브 모드에서 LDO 레귤레이터의 전류  
Fig. 6. Current of LDO regulator in power save mode.

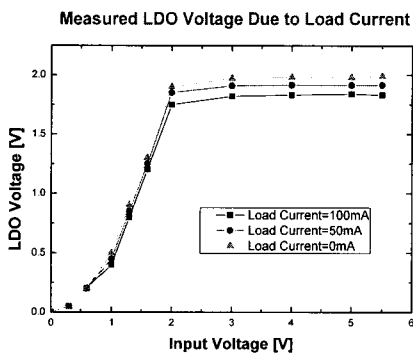


그림 7. 부하전류에 따른 LDO 전압  
Fig. 7. LDO voltage due to Load current.

그리고, 그림 7에 보듯이 LDO 전압이 부하전류 100mA에서 약 150mV 정도의 IR Drop이 발생하였으며, 1.85V~2.0V 범위의 안정적인 LDO 출력특성을 보여 주었다. 전체적인 측정결과는 표2에 자세히 나타나 있는데, 양호한 IR-Drop, 라인 레귤레이터, 파워 세이브 모드 전류, Drop-out 전압을 보여주고 있다. 여기서 Drop-out 전압은 큰 부하전류가 있을 때, pass element 등을 통해 발생하는 전압강하를 의미하며 1% 이하로 양호하게 측정되었다.

표 2. LDO 레귤레이터의 측정결과  
Table 2. Experiment results of LDO regulator.

파라미터	조건	실험결과
IR-Drop Voltage	I=50mA	80mV
	I=100mA	150mV
Line Regulation	Vin=3v to 5V	1% 이하
Power-Save Current	Vin=5V	25uA
Dropout Voltage	IL=50mA	1% 이하
	IL=100mA	약 1%

### III. 결론

본 연구에서는 저전력, 고성능으로 동작하는 LDO 레귤레이터의 특성을 파악해 보았다. 저전력으로 구현하기 위해 CMOS 레퍼런스 블록을 도입하여 30 $\mu$ A 이하로 동작되는 LDO를 설계하였으며, 실제 25 $\mu$ A로 동작됨을 확인하였다. 그리고 100mA 이상에서 안정적인 IR-Drop을 갖는 LDO를 구현하기 위해, 전력소비가 많은 메모리, 아날로그 블록에 파워라인을 적절히 배치하고 레귤레이터의 pass element 트랜지스터 크기를 크게 키워서 전류공급을 원활하게 하였다. 결국 LDO 측정결과, 100mA의 큰 부하전류에서 10% 내외의 IR-Drop 특성을 나타냄을 확인하였다.

## 참고문헌

- [1] G. A. Rincon-Mora and P. Allen, "Optimized frequency shaping circuit topologies for LDOs," *IEEE Trans, Circuits Syst. II*, vol. 45, pp. 703-708, June 1998.
- [2] K. N. Leung, P. K. T. Mok, and W. H. Ki, "A novel frequency compensation technique for low-voltage low-dropout regulator," in *Proc. IEEE Int. Symp. Circuits Systems*, vol. 5, pp. 102-105, 1999.
- [3] G. A. Rincon-Mora and P. E. Allen, "A Low-Voltage, Low Quiescent Current, Low Drop-Out Regulator," in *IEEE J. Solid-State Circuit*, vol. 33, no. 1, pp.36-44, 1998.
- [4] Y. P. Tsividis, "A CMOS Voltage Reference," in *IEEE J. Solid-State Circuit*, vol. SC-13, no. 6, pp.774-448, 1978.

## 저자소개

이 국 표(Kookpyo Lee)

한국해양정보통신학회논문지 제12권 제3호  
534~540page참조

표 창 수(Changsoo Pyo)

한국해양정보통신학회논문지 제12권 제3호  
534~540page참조

고 시 영(Siyoung Koh)

한국해양정보통신학회논문지 제12권 제3호  
534~540page참조