

상보형 신호경로 방식의 CMOS 이미지센서 픽셀 모델링 및 HSPICE 해석

김진수 · 정진우 · 강명훈 · 노호섭 · 김종민* · 이제원 · 송한정†

Modeling and HSPICE analysis of the CMOS image sensor pixel with the complementary signal path

Jinsu Kim, Jinwoo Jung, Myunghun Kang, Hosub Noh,
Jongmin Kim*, Jaewoon Lee, and Hanjung Song†

Abstract

In this paper, a circuit analysis of the complementary CMOS active pixel and readout circuit is carried out. Complementary pixel structure which is different from conventional 3TR APS structure is consist of photo diode, reset PMOS, several NMOSs and PMOSs sets for complementary signals. Photo diode is modelled with Medici device program. HSPICE was used to analyze the variation of the signal feature depending on light intensity using 0.5 μm standard CMOS process. Simulation results show that the output signal range is from 0.8 V to 4.5 V. This signal range increased 135 % output dynamic range compared to conventional 3TR pixel in the condition of 5 V power supply.

Key Words : complementary pixel, CMOS, S&F, photo diode, PMOS reset MOS, readout circuit

1. 서 론

이미지 센서는 휴대전화 카메라나 DSC (Digital Still Camera) 등에서 영상을 생성해 내는 영상 촬영 소자 부품을 일컫는 것으로, CMOS 공정은 이미 1970년대 후반부터 우수한 집적도 경쟁력과 경제성 때문에 일반적인 반도체 칩 제조 공정으로 널리 자리 잡고 있었다^[1,2]. 이러한 기반 하에 제조공정의 경제성과 주변 칩들과의 연결상의 용이성 때문에 CMOS 공정을 활용한 이미지 센서가 탄생하게 되었다. CMOS 이미지 센서에서 CMOS란 Complementary Metal Oxide Semiconductor의 약어로, 현재 메모리와 컴퓨터 CPU 등 반도체 칩에서 구현에 사용되며, 전 반도체 칩 구현 방식 중 가장 많이 사용되는 방식이다. CMOS는 PMOS와 NMOS 트랜지스터를 가지고 구현하며, 이를 통해 저전력을 실현할 수 있다^[3]. CMOS 이미지센서는 이러한 CMOS 기술을 이용한 화상 정보 감지기이다. 각 수광

소자에 CMOS 트랜지스터가 집적되어 있어, 각 수광 소자가 받는 빛의 양을 직접 전하로 변환 시켜주며, 각 수광소자에 저장된 전하를 판별기에 의해 직접 그 양을 측정한다. CMOS 이미지 센서에는 능동형과 수동형 두 가지 타입이 있으며, 수동 픽셀 센서는 1960년대 사용된 최초의 이미지 센서로, 감광소자는 광자를 전하로 변환시킨다^[4]. 이 전하는 센서로 전달되어 증폭되어 진다. 이 센서의 문제점은 이미지의 배경 패턴에 따라 나타나는 노이즈가 크다는 점이다. 이 노이즈를 제거하기 위해서는 추가적인 기술들이 요구된다. 반면 능동 픽셀 센서는 수동 픽셀 센서가 가지고 있는 노이즈 문제를 상당히 줄여주는 방식으로, 각 픽셀에 있는 회로는 노이즈 레벨의 수준을 결정하고, 노이즈를 제거한다. 이 기술의 성능은 또 다른 이미지 센서인 CCD 방식에 비견될 만하고, 더 높은 화질과 더 큰 이미지 배열을 가능하게 해 준다. 이미지 센서의 종류를 살펴보면 크게 2가지로 분류 될 수 있으며, 그 종류로는 CCD 와 CMOS 방식이 있다. CCD 방식과 CMOS 방식의 대표적인 차이로는 화질, 가격, 전력소모를 들 수 있다^[5]. CCD 방식은 CCD 용 반도체에 특화된 공정을 사용하므로 규모의 경제를 실현할 수 없는 반면, 대부

인제대학교 나노공학부(School of NANO Engineering, Inje University)
*동부 하이텍(Dongbu Hitek, Device Engineering Team)

†Corresponding author: hjsong@inje.ac.kr

(Received : November 30, 2007, Accepted : January 17, 2008)

```

/*****
/* Photodiode Model blocking for n+/Pwell diode
/*****
/* A = Anode
/* C = Cathode
/* P = (light)Power (in Watts/cm^2) as voltage input
/* P = 1e-6 w/cm^2 : 1.54e-15A/μm^2 from 2D sim
/* Cj0=0.689fF/μm^2 for N+/p-well from MOS CJ
/* Junction leakage assumed 1.1e-16A/μm^2 from npn ISE
/* RS =27.45 from npn RE
/* No filter : 1.0 for D65 outside
/* N+/Pwell Diode
/* areaPD : μm*μm

subckt kcpd A C P
parameters
+ pdw=1e-6
+ pdl=1e-6
+ filter=1.0
+ areaPD= pdw*pdl
+ PConvertf=1.54e+3
+ PDIS = 1.1e-4
+ PDISR = 4.1e-5
+ PDCJ0 = 0.689e-3

/* Diode models dark (leakage) current, forward current, capacitance and timing
model Dphoto diode
+ level=1
+ is=PDIS rs=60 cj=PDCJ0 mj=.358
+ vj=.7 nr=1.6137

DPD ( A C ) Dphoto area=areaPD
/* Controlled current source outputs input power multiplied by sensitivity ^M
GPD ( C A ) ( P gnd) vcsc gm=filter*areaPD*PConvertf
ends kcpd

```

<상보형 픽셀 해석을 위한 포토다이오드 파라미터 모델 구현 알고리즘>

분의 반도체를 만드는 CMOS 방식은 수율이 매우 높고, 공정 개선이 용이하며, 동일 기술로 다른 제품을 만들 수 있기 때문에, 규모의 경제를 실현할 수 있어 생산 원가가 CCD 방식에 비해 상당히 저렴하다. 또한 CCD 방식에는 여러 개의 표준이 안 된 전원 공급이 필요하기 때문에 원가가 더 든다. 전력소모의 관점에서 볼 때 CCD 방식은 고전력 소모하는데, CMOS 방식은 전력소모가 매우 적다. 본 논문에서는 CMOS 방식의 장점을 살려 기존에 존재하는 픽셀구조가 아닌 새로운 상보형 픽셀구조에 대한 해석을 실시한다. 픽셀에서 나오는 2개의 신호를 적절히 merge 하기 위한 부가적인 회로를 설계하고 이에 대한 SPICE 모의실험을 실시하여 종래의 Pixel 출력보다 넓은 전압 스윙 특성을 확인하였다.

2. 상보형 이미지 센서 픽셀 모델링 및 구조해석

이미지 센서에 필수적으로 요구되는 포토다이오드는 외부의 빛의 세기에 따라 전류의 흐름이 결정되는 소자로서, 외부의 빛을 받아드리는 수광 소자이다^[6,7]. 현재 반도체 설계 틀에 포토다이오드 라이브러리가 제공

되지 않으므로 본 논문에서는, 실질적으로 동작하는 포토다이오드의 동작 특성을 파라미터에 첨가하여, 새로운 심볼을 생성하여 이미지 센서 픽셀에 적용 가능한 포토다이오드 모델을 구현하였다. 회로 시뮬레이션에서 포토다이오드의 수광 특성을 고려하기 위하여 입사광의 세기를 입력 전압으로 고려하고 그 입사광에 의한 광 전류를 VCSC (Voltage-controlled current source)로 모델링 하였다. 그러한 N+/pwell 포토다이오드의 다이오드 모델의 주요 파라미터는 기존의 5V NMOS와 BJT 소자로부터 차용하였다. 아래의 내용은 새롭게 추가된 포토다이오드 모델 파라미터를 보여준다.

그림 1은 Cadence Tool과 새로운 포토다이오드 파라미터를 이용하여 새롭게 제작된 포토다이오드 심볼의 모습이다. 시뮬레이션 상에서는 외부에서 들어오는 빛의 양은 전압원을 이용하여 대체한다. $1\mu\text{V}$ 는 $1\mu\text{W}/\text{cm}^2$ 에 해당하는 빛의 세기이며, $500\mu\text{V}$ 는 $500\mu\text{W}/\text{cm}^2$ 에 해당되는 빛의 세기와 동일하다. 또한 pdl, pdw를 조절하여 포토다이오드 수광 부분의 면적을 조절 할 수 있다.

포토다이오드의 입사광에 의해 여기되는 역전류 특성을 SPICE 모의실험에서 고려하기 위하여 입사광의 세기에 따른 광전류 특성을 소자 시뮬레이터 메디치 (Medici)를 통하여 분석하여 모델링 하였다. 본 연구에

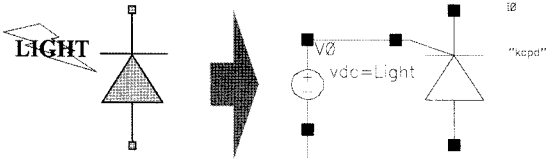


그림 1. 실제 포토다이오드처럼 새롭게 구현한 이미지 센서용 포토다이오드 등가 모델 심벌
 Fig. 1. Modeling of the photo diode for a circuit simulation according to the light intensity.

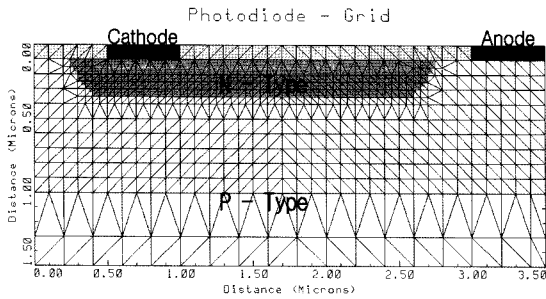


그림 2. 소자 분석 시뮬레이터 메디치를 이용한 포토다이오드의 P/N 정션 구현 예시
 Fig. 2. Mesh structure of the photo diode example for a device modeling using Medici program.

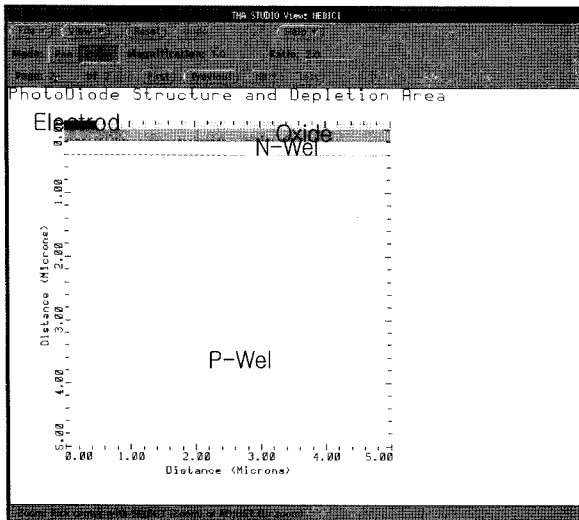
서 사용하는 광소자는 5 V NMOS 소자의 소오스/드레인의 접합 영역과 동일한 N+/Pwell 접합이며, 그 접합의 근사적 도핑 프로파일은 SPICE NMOS model의 Xj 및 Nsub 파라미터로 부터 근사화 함으로서 오차를 최소화 하였다. 그림 2는 메디치를 이용하여 실제 포토

다이오드처럼 검증하기 위한 여러 가지 구조 중 일부의 모습이다.

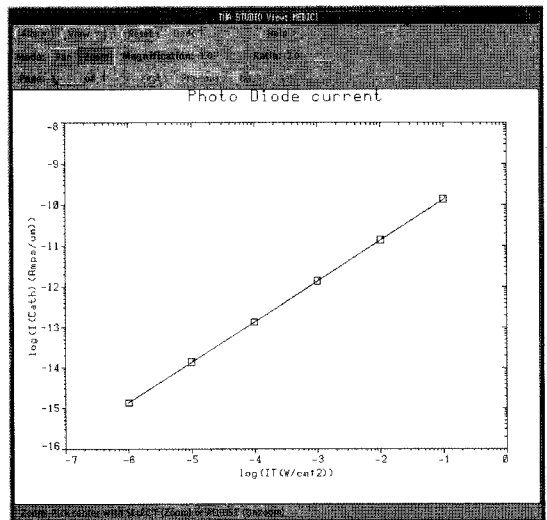
그림 3(a)는 소자 분석 시뮬레이션 프로그램인 메디치에서 모사된 N+/Pwell 접합 다이오드의 접합 깊이와 역전압이 5 V 인가되었을 때의 공핍 영역을 표시하고 있다. 그림 3(b)는 입사광의 세기와 광 전류 특성을 보여주고 있다. 입사광의 폭을 1 μm로 설정함으로써 Default 깊이 1 μm을 고려할 때 계산된 광전류는 단위 면적(μm²)당 광전류를 나타낸다. 그 값은 입사광의 세기가 1e-6 W/cm² 일때 1.54e-15 A/μm²로 계산되었다.

3. 상보형 CMOS 이미지 센서 픽셀 해석

그림 4는 Chen Xu가 처음으로 제안한 상보형 픽셀 이미지 센서의 구조이다^[8]. 기존의 3TR 구조와 유사하며, 동작원리 또한 비슷하다. 하지만, 종래의 4TR 또는 3TR의 능동화소구조(APS)의 경우 저 전압에 따라 출력의 동작범위가 감소하며 신호 대 잡음비(S/N)가 저하되고, 잡음전류에 따른 출력전압변동증가 등의 문제점이 있다. 상보형 픽셀 이미지센서는 기존 능동화소구조(APS)에서 발생하는 리셋 NMOS의 문턱전압(VT)에 의존적이지 않고, 동작범위의 한계성을 제거하고, 포토다이오드에 빛이 입사할 때, 저 전압으로 넓은 동작범위 특성을 가질 수 있도록, 리셋 트랜지스터를 NMOS에서 PMOS로 바꾸어, 화소가 리셋될 때 포토다이오드의 음극단자가 전류전압 VDD가 되도록 한다^[8]. 리셋 PMOS(M0)에 의해 포토다이오드의 전류는 증폭



(a) photo diode structure



(b) output current

그림 3. 구현된 포토다이오드 모델의 외부 광량에 따른 메디치 모의 실험 결과
 Fig. 3. Medici simulation results of the photo diode according to the light intensity.

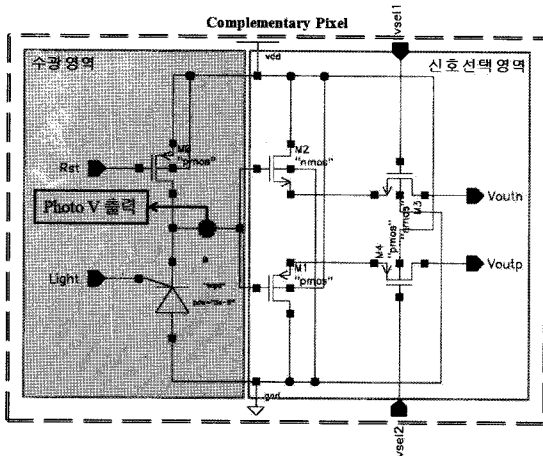


그림 4. 제안하는 상보형 CMOS 이미지 센서 픽셀 회로
Fig. 4. Proposed complementary CMOS image sensor pixel circuit.

MOS(M1,M2)를 통하여 2개의 신호가 전압으로 증폭되게 된다. 그 후 각각의 선택 MOS(M3,M4)를 지나 선택된 신호만 출력되게 한다. 추가적으로 실제 이미지 센서 설계 시, 무수히 많은 픽셀이 존재하게 되며 하나의 Row에 하나의 인버터 회로를 추가하거나, 또는 어느 영역부분의 픽셀무리에서 하나의 인버터를 이용하여 선택트랜지스터 게이트인 $vsel2$ 과 $vsel1$ 에 서로 정 반대되는 선택 전압이 들어가도록 설계 할 수 있다. 즉 여기서 인버터의 존재 이유는 두개의 선택 신호를 따로 인가하는 것이 아니라 하나의 입력값 으로 두개의 입력 효과를 보게 하기 위해서 이다. 다시 말하자면 앞서 설명한 Photo V 전압곡선은 각각의 NMOS(M2),

PMOS(M1)의 게이트에 인가되고, 증폭되어 선택 MOS(M3,M4)로 전달되게 된다. 픽셀의 출력 전압은 선택 MOS(M3,M4)의 게이트에 인가되는 전압펄스 값에 의해 실제적인 신호가 출력되게 된다.

상보형 픽셀의 특성해석을 위해서는 포토다이오드의 외부 광량에 따른 모델링이 필요하다. 이러한 이유로 새롭게 설계된 포토다이오드 심볼을 이용하여 빛의 입사량과 리셋 전압에 따른 전압 특성 곡선(Photo V)을 살펴본다. 그림 5는 제안한 포토다이오드 모델($pdl=5e-6$, $pdw=3e-6$)에 $500 \mu W/cm^2$ 의 일정한 빛을 인가하였을 경우 포토다이오드 전압(Photo V) 출력 파형이다. 리셋 전압 펄스 조건은 $Voltage1=0$, $Voltage2=5$, $Delay\ time=1 \mu s$, $Rise\ time=1\ ns$, $Fall\ time=1\ ns$, $Pulse\ width=10\ ms$, $period=10.01\ ms$ 으로 정의하였다. 제안하는 상보형 픽셀 이미지 센서에서는 리셋 트랜지스터가 기존과는 다른 PMOS로 구성되어 있으므로 NMOS와는 반대로 리셋 전압을 인가시켜준다. 리셋 전압이 0V일 경우 노드에 VDD 값으로 인가되며, 외부의 광원에 의해 서서히 전압이 감소하기 시작한다.

그림 6은 리셋 조건을 그대로 하면서 다양한 빛의 세기에서 얻어낸 SPICE 시뮬레이션 결과 모습이다. 마찬가지로 빛의 양이 클수록 전압 강하 곡선이 빨리 일어나는 것을 알 수 있다. 일단 빛의 양은(전압의 크기) 일반적으로 생각할 수 있는 범위인, $100 \mu W \sim 5100 \mu W$ 을 로그 스케일로 적당히 10개의 STEP으로 표현하였다. 이 범위는 빛의 세기가 약한 부분을 나타낸 것이라 할 수 있으며, 리셋주기는 10ms이다. 이미지 센서의 픽셀에 들어오는 실제 빛의 광원의 범위는 매우 넓다. 깜깜한 방처럼 빛이 없을 수도 있으며, 대낮처럼 매우

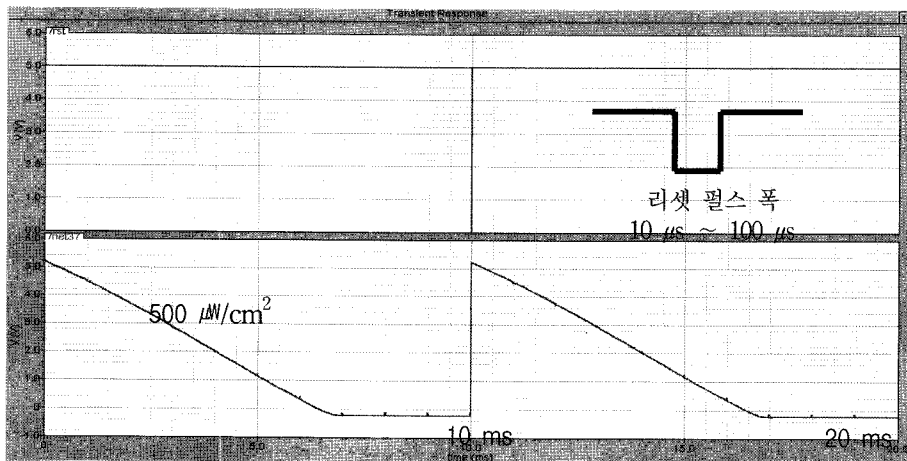


그림 5. 리셋 전압 인가 시 포토다이오드 전압 (Photo V) 출력 시뮬레이션 결과
Fig. 5. Simulation result of the node voltage in the photo diode under low reset voltage.

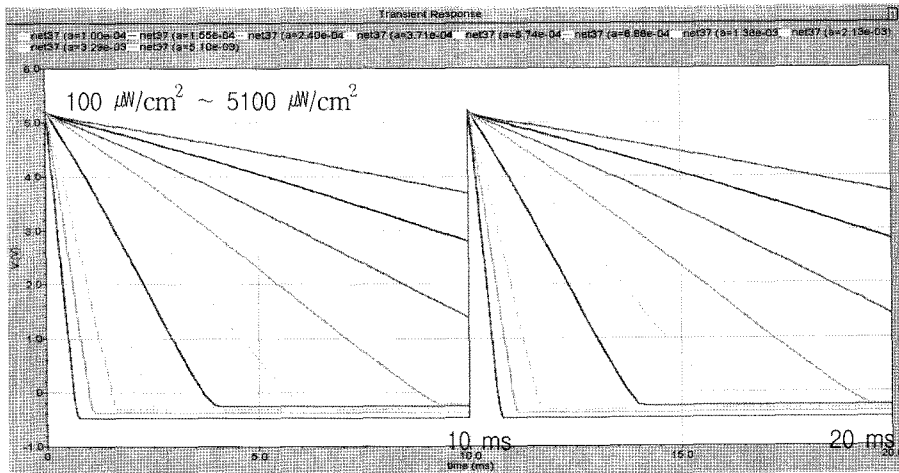


그림 6. 제안한 포토다이오드의 빛 입사량에 따른 포토다이오드 전압(Photo V) 시뮬레이션 결과
 Fig. 6. Simulation result of the node voltage in the photo diode according to the various light intensity.

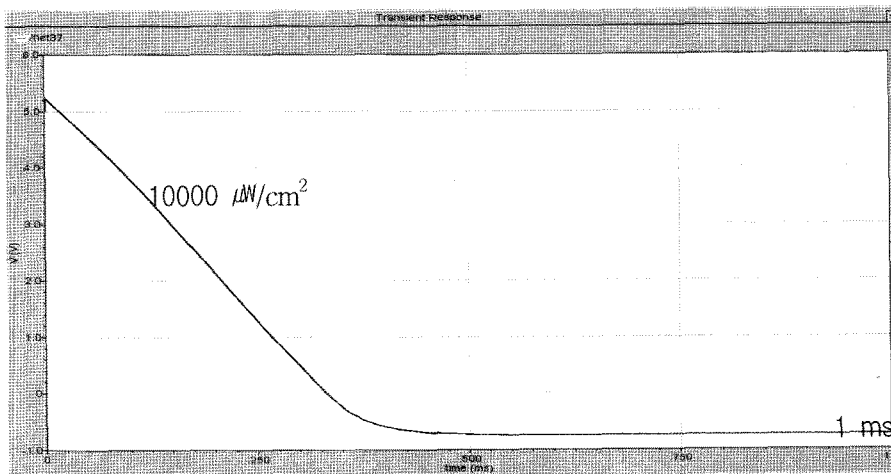


그림 7. 빛의 세기가 10000 μW/cm² 일 경우의 포토다이오드 전압 (Photo V) 특성 결과
 Fig. 7. Node voltage of the photo diode in case of the high intensity(10000 μW/cm²).

밝은 곳처럼 빛의 양이 매우 많이 들어올 수도 있다. 빛이 아주 적거나, 빛의 양이 아주 많이 많을 때, 한 번의 시뮬레이션으로 모든 빛에 대한 표현이 제대로 표시 되지 않는다. 적절한 설계 조건에서의 빛의 세기는, 10~10000 μW/cm² 정도이며, 빛의 세기가 10 μW/cm² 일 때 포토다이오드 전압 (Photo V)의 기울기(delta V /delta Time)는 매우 작으며, 이 기울기를 측정할 수 있는 조건이 되어야 한다. 또한 반대로 빛의 세기가 10000 μW/cm²으로 매우 강할 때 포토다이오드 전압 (Photo V)의 기울기는 매우 크며, 마찬가지로 이 전압 신호에서 몇 번의 신호를 검출할 수 있어야 한다. 위 그림 16의 경우는 일반적으로 적당한 빛이 인가한 경

우를 생각한 경우이다. 그러므로 빛의 양이 아주 많아 포토다이오드 전압 (Photo V) 곡선이 매우 빠르게 떨어질 경우에는 리셋전압주기를 (위 그림 10 ms) 짧게 함으로써 빛이 매우 많은 환경에서 충분히 신호를 읽어 낼 수 있도록 한다. 마찬가지로, 빛의 양이 아주 적어 포토다이오드 전압 (Photo V) 곡선이 매우 느리게 떨어질 경우에는 리셋전압주기를 크게 함으로써 빛이 매우 적은 환경에서도 충분히 신호를 읽어 낼 수 있도록 조절이 필요하다. 결론적으로 외부에서 들어오는 빛의 양에 따라 리셋 전압 펄스의 주기를 조절할 필요성이 있다. 빛의 세기가 약할 경우 포토다이오드 전압 (Photo V) 전압 곡선이 시간경과에 따라 천천히 떨어

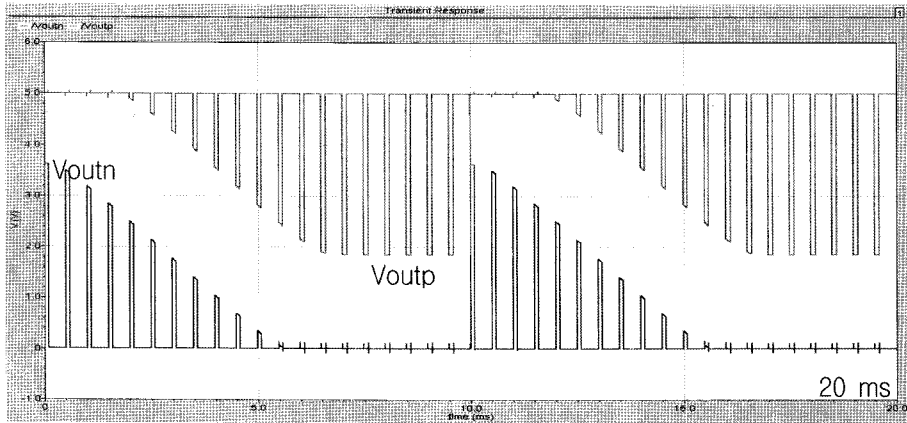


그림 8. Voutp 와 Voutn 전압특성 곡선 시뮬레이션 결과 ($500 \mu\text{W}/\text{cm}^2$)
 Fig. 8. Simulation results of the Voutp and Voutn ($5000 \mu\text{W}/\text{cm}^2$).

지기 때문에 시간적으로 충분히 신호를 읽어낼 수 있는 여유가 있다. 하지만 제일 큰 문제는, 빛의 세기가 아주 강할 경우 짧은 시간동안 포토다이오드 전압 (Photo V)의 전압 곡선이 빠르게 떨어지게 되며, 이 경우에는 신호를 읽어 낼 수 있는 여유가 적어지게 된다. 따라서 빛의 세기가 $10000 \mu\text{W}/\text{cm}^2$ 에서의 포토다이오드 전압 (Photo V)의 신호를 적어도 2번 이상 읽어낼 수 있는 Spec이 되어야 한다.

그림 7에서의 결과 값은 일반적으로 앞서 설명한 $100 \mu\text{V} \sim 5100 \mu\text{V}$ (Reset 주기: 10 ms)범위에서 같이 표현하기에는 충분한 무리가 있다. 상기 그림에서 빛의 세기를 $10000 \mu\text{W}/\text{cm}^2$ (10 mV 인가) 한 경우이며, 한번의 리셋 펄스 주기를 1 ms 로 한 경우이다. 이렇듯 매우 밝거나 강한 빛에 대한 신호 검출은 앞서 설명한 일반적인 보통의 빛 세기에 대한 신호 검출을 설명한 후에 설명하기로 한다.

그림 8에서의 결과에서 보듯이 선택 MOS에 게이트 전압 펄스(vsel1, vsel2)에 의해 원하는 부분의 신호를 각각 검출하게 된다. 여기서 다시 한 번 더 언급해야할 내용은, 외부에서 들어오는 빛의 양이 매우 크다고 가정하였을 때, 포토다이오드 전압 (Photo V)의 전압 곡선은 매우 빠르게 떨어지게 된다. 이럴 경우, 리셋 전압 펄스주기를 줄여서 읽어내게 되며 (읽어내는 신호는 선택 MOS 게이트에 인가되는 전압 펄스에 따라 신호를 읽어내게 된다), 선택 트랜지스터에 인가되는 전압의 펄스폭과 주기를 작게 주어, 짧은 시간동안에서도 신호를 읽어낼 수 있어야 한다. 위 그림처럼 선택 트랜지스터에 넓은 폭과 큰 주기의 선택 MOS 펄스로 신호를 검출할 경우, 제대로 신호를 읽어 낼 수가 없다. 즉, 빛의 세기가 강할 경우에는 포토다이오드 전압 (Photo

V)의 곡선이 매우 빨리 떨어지므로, 짧은 시간 안에 적절히 신호를 검출할 필요성이 있다. 그러므로 선택전압 펄스는 매우 빠른 주기와 작은 너비를 가진 펄스의 신호를 주면 된다.

4. 상보형 픽셀 신호검출회로 설계 및 Simulation

부분적인 회로도들을 보기에 앞서 픽셀에서 나오는 전압신호의 흐름을 그림 9에 나타내었다. 픽셀의 신호는 Source & Follower (S&F)를 지나 스위칭 회로로 들어가게 된다. 그 중 S&F에서 나오는 하나의 신호는 비교기를 거쳐 스위칭 회로에서 스위치 역할을 하게 된다. 그리고 최종 신호가 스위칭 회로에서 나오게 된다.

4.1. Source & Follower 회로 설계

그림 10은 Source-Follower회로의 모습이다. 그림 11은 Source-Follower회로에서 MOS(M0,M4)에 의해 Voutn, Voutp의 신호가 적절히 조정되어 나온 출력 파

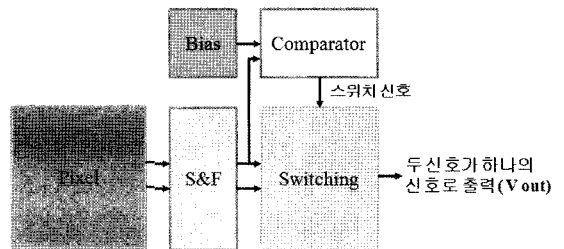


그림 9. 상보형 픽셀구조의 이미지 센서 신호 흐름 블록도
 Fig. 9. Block diagram of the proposed CMOS pixel readout circuit.

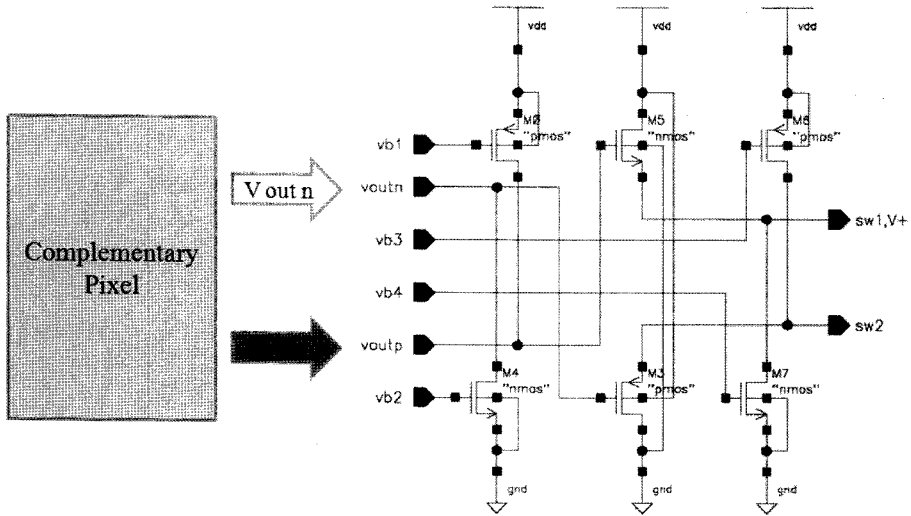


그림 10. Source - Follower 회로
Fig. 10. Schematic of the source - follower.

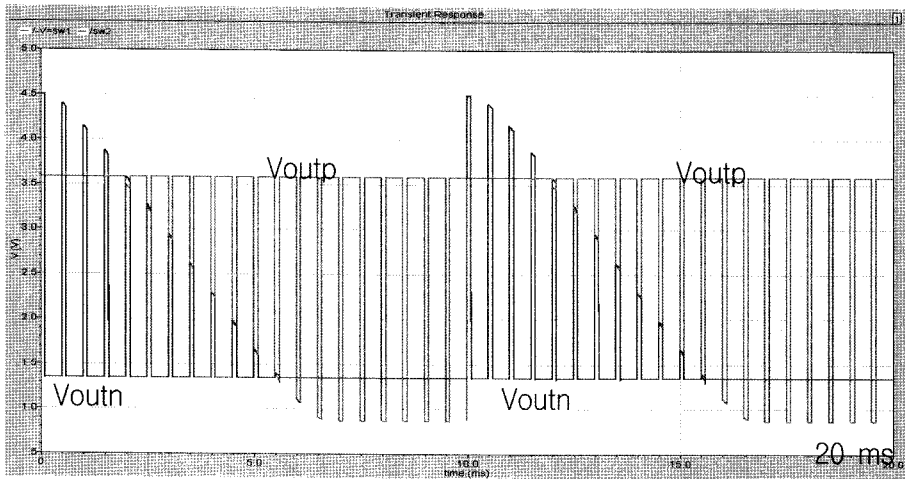


그림 11. sw1와 sw2의 시뮬레이션 결과 파형
Fig. 11. Simulation results of the sw1 and sw2.

형이다. 출력저항 역할을 하는 MOS(M0,M4)의 vb1, vb2 값에 의해 Voutn, Voutp의 신호가 그림 8처럼 시뮬레이션 상에서 제대로 된 출력 파형이 표현되며, 이 두 Voutn, Voutp 신호가 MOS(M5,M3)의 게이트에 연결된다. 게이트에 전달되는 전압에 의해 VDD 값이 변화되어 나오고 그 신호가 M6와 M7의 출력 저항 MOS에 의해 다시 한 번 적절하게 조정되어 그림 11처럼 출력되게 된다. 두 신호 중 Voutp 신호인 sw1은 비교기 회로의 입력과 동시에 스위칭 회로 윗단으로 연결되며, 또 다른 신호, Voutn의 신호는 sw2로 전해지며,

스위칭 회로 아랫단으로 연결된다.

4.2. 비교기 회로 설계

그림 12는 비교기 회로도이다. 비교기의 역할은 비교기로 인가되는 전압의 크기와 기준전압 값과 비교하여 높은 전압과 낮은 전압을 출력하게 하는 회로이다. 비교기 회로에서 중요한 것은 빠른 응답 속도가 요구된다는 점이다. 본 논문에서 제안하는 비교기는 빠른 응답 속도를 보여주는 비교기를 채용하였다. 픽셀에서 나온 신호 중 하나인 Voutp 출력이 V-입력으로 인가되

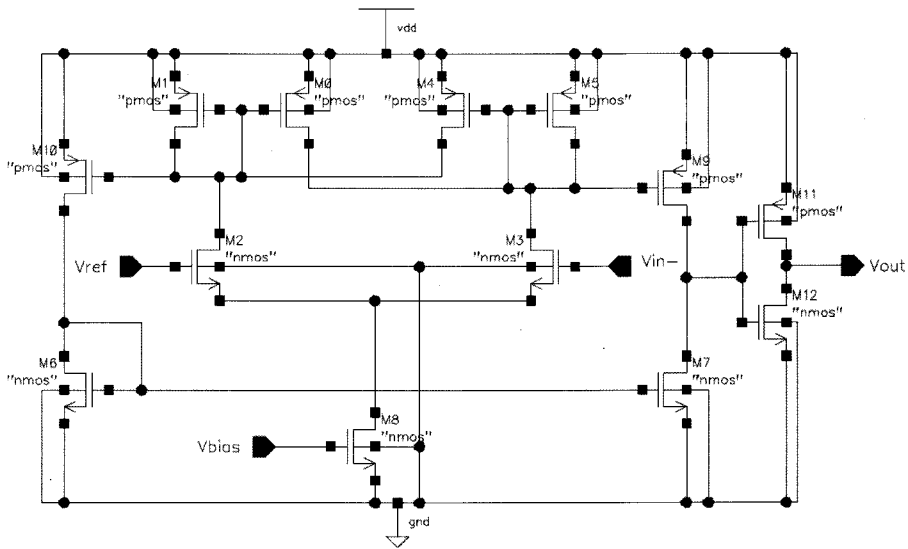


그림 12. 비교기 회로
Fig. 12. Schematic of the comparator.

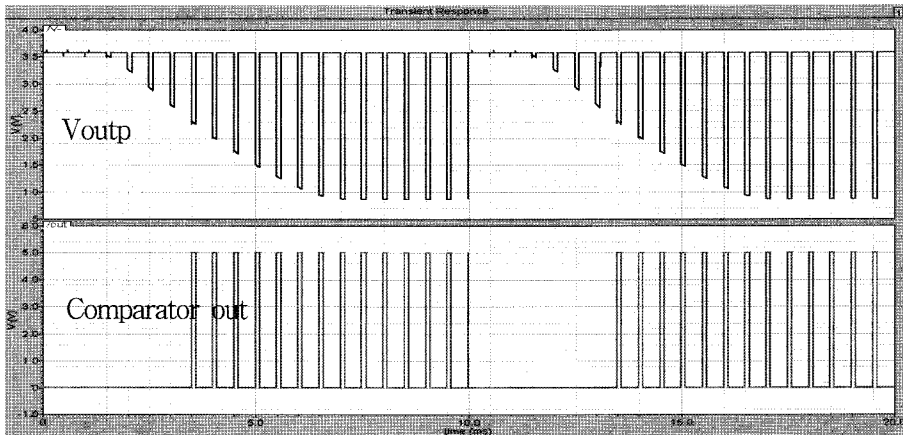


그림 13. 비교기 입출력 시뮬레이션 전압 파형 (기준전압 2.5 V)
Fig. 13. Simulation results of the comparator output ($V_{ref} : 2.5 \text{ V}$).

게 된다. V_{ref} 에는 적당한 기준전압 값을 지정해 주게 된다. V 으로 들어오는 신호가 기준전압값 보다 적을 시 높은 전압이 출력이 되며, 기준전압보다 높을 경우 낮은 전압이 출력이 되게 된다.

그림 13에서 보듯이 V 의 출력 전압값(비교기 입력 전압)에 따라 비교기에서 출력되는 전압 값은 0V 또는 5V로 정해지게 된다. 이 시뮬레이션 상에서는 기준전압 값을 2.5V로 정해 주었다. 이 비교기의 출력 전압 파형은 인버터 회로를 지나 스위칭 회로 MOS의 게이트로 인가되게 된다.

4.3. 스위칭 회로 설계

그림 14는 잘 알려져 있는 스위칭 회로이다. 그림 14에서는 단순히 스위칭 회로만 생각할 것이 아니라 인버터 회로를 추가한 구조이며, 실제로는 두개의 입력 ($sw1$, $sw2$)중 하나의 입력 값($sw1$)이 비교기회로를 지나 인버터의 입력(comparator-out)으로 들어오게 된다. 높은 전압이 $sw1$ 에 인가되었을 경우 상단 MOS의 채널이 형성되며 $sw1$ 값이 출력되게 되며, $sw1$ 에 낮은 전압이 인가되었을 경우 하단 MOS의 채널이 형성되어 $sw2$ 값이 출력되게 된다. 결국 Source Follower의 출력파형 중 $sw1$ 스위칭의 입력파형에 해당된다. $sw2$

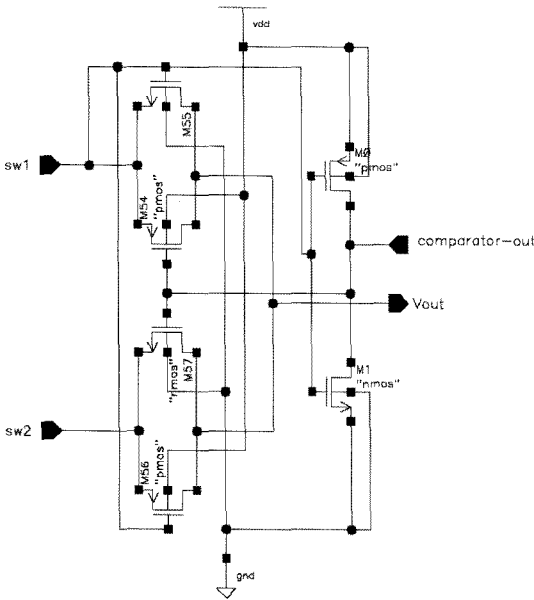


그림 14. 2:1 스위칭 회로
Fig. 14. 2:1 Switching circuit.

는 V_{outn} 에서 들어온 신호이며, $sw1$ 이 V_{outp} 에서 들어온 신호이다. $sw1$ 신호는 비교기와 인버터회로를 거쳐 스위칭 회로의 게이트 부분에 인가되게 된다.

그림 15는 Source Follower에서 출력된 신호가 비교기에서 나온 신호에 의해($sw1$ 에 의한) 스위칭 회로에서 선택되어지는 영역을 표시한 그림이다. 즉, $sw1$ 과 $sw2$ 입력은 비교기의 $V(-=sw1)$ 값과 기준전압(2.5 V)에 의해 선택되어 스위칭 회로에서 적절히 조합되어 출력되게 된다.

4.4. 상보형 픽셀 센서 신호검출회로 출력 결과

그림 16에서 스위칭에서 나오는 최종 출력 파형을 분석하면 $V(-sw1)$ 값이 비교기 회로의 기준전압 값보다 클 경우 낮은 전압이 출력되게 되고, 이 전압은 인버터 회로를 지나 높은 전압으로 바뀌게 된다. 이 높은 전압은 스위칭 회로의 상단 MOS의 채널을 형성하게 되어, V_{outn} 의 신호 즉, $sw1$ 의 신호를 출력하게 된다. 반대로 $V(-)$ 값이 비교기 회로의 기준전압보다 작아지는 순간이 올 경우, 높은 전압이 출력되게 되고, 이 전압은 인버터 회로를 지나 낮은 전압으로 바뀌게 된다. 이 낮은 전압은 스위칭 회로의 아랫단 MOS의 채널의 형성하게 되어, V_{outp} 의 신호, 즉 $sw2$ 의 신호를 출력하게 되는 것이다. $V(-)$ 에 인가되는 전압은 항상 변하며, 픽셀에 들어오는 광량에 따라 틀려지므로, 항상 변하게 된다. 그러므로 스위칭 회로에서 출력되게는 전압 파형도 항상 바뀌게 되는 것이다. 결국, 위 그림 24처럼 종래의 픽셀 구조보다 향상된 0.8 V~4.5 V의 큰 범위를 가지는 최소최대 전압 특성을 가지는 신호가 출력된다.

빛의 세기가 강한 경우, 즉 $10000 \mu W/cm^2$ 정도의 광량에 대한 조건에서 아래와 같은 출력 특성을 얻었다. 펄스 주기를 1 ms으로 하며, Select MOS에 인가되는 펄스의 너비와 주기를 각각 10 μs , 50 μs 로 하였다. 그림 17에서 확인할 수 있듯이, 빛 세기가 $10000 \mu W/cm^2$ 의 포토다이오드 전압(Photo V) 곡선에서도 충분히 검출 가능한 시간적 여유가 있다.

위 그림 17은 1 ms의 리셋 주기에 총 2 ms 동안의 출력 특성을 보았으며, 아주 빨리 떨어지는 픽셀의 신호를 충분히 검출하고 있는 것을 알 수 있다. 또한 마찬가지로 비교기 회로와 2:1 스위칭 회로를 거치면서

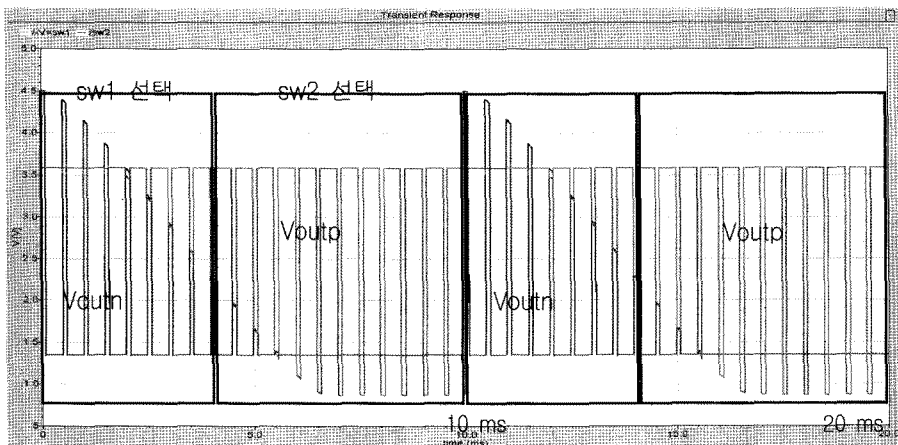


그림 15. 스위칭 회로 양단($sw1$, $sw2$)의 시뮬레이션 파형 과 비교기 신호에 따라 선택되어지는 영역
Fig. 15. Simulation results of the $sw1$ and $sw2$ and selected region according the comparator signal.

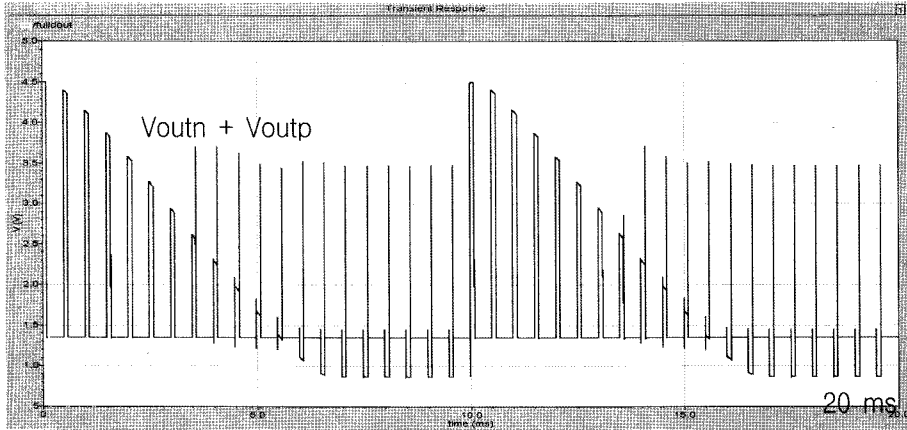


그림 16. sw1와 sw2의 신호가 merge되어 넓은 범위를 가지는 전압 특성 곡선
 Fig. 16. Output voltage curve of the merged Voutn with Voutp.

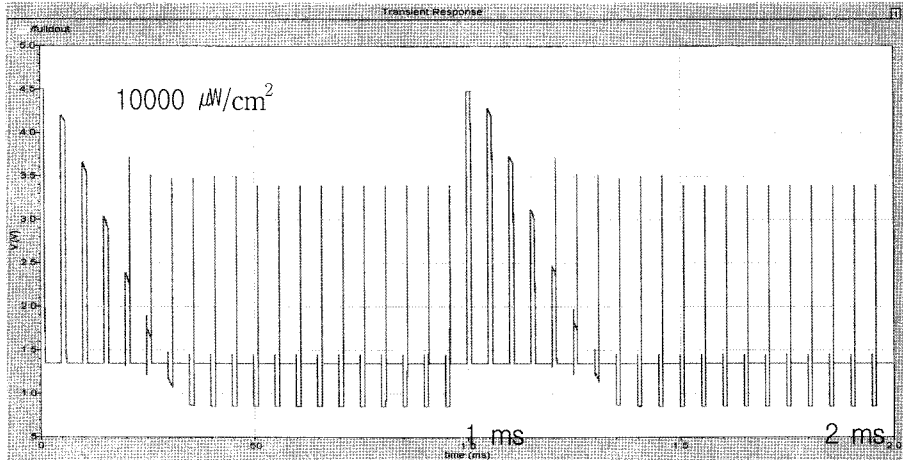


그림 17. 빛의 세기가 High intensity(10000 μW/cm²)인 경우에서의 최종 시뮬레이션 파형
 Fig. 17. Output voltage curve in case of the high intensity (10000 μW/cm²).

두 신호 Voutp와 Voutn의 신호가 적절히 조합되어 출력되는 것을 알 수 있다. 마찬가지로, 빛의 세기가 클 경우에도 0.8 V~4.5 V의 큰 범위를 가지는 최소최대 전압 특성값을 가지는 신호가 출력된다. 즉 본 논문에서 제안하는 상보형 이미지 센서는 아주 강한 빛의 환경에서도 동작이 가능하다는 것을 보여준다.

본 논문에서 중점을 둔 내용은 종래의 픽셀에서 나오는 신호는 문턱 전압에 의해 감소되어 좁은 Dynamic Range범위를 가지는 데 반해, 상보형 픽셀 이미지 센서에서 나오는 신호는 위 그림 16과 같이 NMOS와 PMOS를 이용하여 문턱전압 의존성을 최소화 하고 큰 전압폭을 지니며, 빛의 세기에 따라 큰 Dynamic Range을 가지는 데 의의를 둔다. 또 한 단순

한 전압스윙증가 뿐만 아니라 실질적인 이미지 센서로서의 동작이 가능하기 위한 여러 spec을 표 1로 정리하였다.

5. 결 론

본 논문에서는 저전압 조건에서 증가된 구동범위를 구현할 수 있는 상보형 화소구조 해석을 위하여 포토다이오드 모델링을 실시하고 HSPICE 모의실험을 실시하였다. 상보형 화소 구조는 종래의 3TR APS 대신 방식과는 달리 PMOS리셋 트랜지스터, 상보형 신호를 생성하는 2개의 NMOS와 2개의 PMOS 그리고 포토센서로 이루어지며, 각 화소에서 생성된 2개의 출력 신호

표 1. 상보형 픽셀에 대한 HSPICE 모의실험 결과

Table 1. Results of the HSPICE Simulation about the Complementary Pixel Readout Circuit

항 목		목표 spec	설계 결과	단위
수광 특성	센싱 가능한 최소 광 세기	10	10	$\mu\text{W}/\text{cm}^2$
	센싱 가능한 최대 광 세기	10000	20000	$\mu\text{W}/\text{cm}^2$
	광의 주파수 영역	0.35~0.9	0.35~0.9	μW
동작 조건	공급전압	3.3~5.5	5	V
	동작 온도	-15~65	-40~50	$^{\circ}\text{C}$
리셋 신호 전기 특성	Reset 주기 허용치	Min~max	3~5000	Hz
	Reset Pulse Width 허용치	Min~max	0.01~1000	μs
	Reset Pulse Falling / Rising time	0.001/0.001	0.001/0.001	$\mu\text{s}/\mu\text{s}$
선택 신호 전기 특성	Pulse 주기 허용치	Min~max	50~33000	Hz
	Pulse Width허용치	Min~max	1~10000	μs
	Falling / Rising time	0.001/0.001	0.001/0.001	$\mu\text{s}/\mu\text{s}$
비교기 전기 특성	Pulse 주기 허용치	Min~max	1~400000	Hz
	Pulse Width허용치	Min~max	1~10000	μs
	Falling / Rising time	0.001/0.001	0.001/0.001	$\mu\text{s}/\mu\text{s}$
출력 특성	Max Voltage	>Vdsatn	4.5	V
	Min Voltage	<Vdsatp	0.8	V

를 입력으로 하는 비교기 및 스위칭 그리고 Source-Follower (S&F) 회로로 구성된다. 본 논문에서는 CMOS 이미지 센서 및 신호 검출회로를 0.5 μm 표준 CMOS 공정을 이용하여 설계하였으며, 제안된 상보형 이미지 센서의 최종 출력 파형의 전압 최소값과 최대값의 범위는 0.8 V~4.5 V이며, 같은 조건에서 종래의 3TR 구조에서의 최종 출력 파형은 1.35 V~3 V임을 감안하였을 때, SPICE 모의실험 결과에서 보듯이, 상보형 픽셀구조는 종래의 픽셀구조보다, 같은 빛의 세기에서 보다 큰 전압 스윙 (135% 증가)을 가짐으로써 신호 검출이 용이하며, 보다 큰 Dynamic Range을 가진다는 것을 알 수 있다.

감사의 글

본 논문은 IDEC (IC Design Education Center)의 CAD TOOL 지원으로 이루어졌습니다.

참고 문헌

[1] E. R. Fossum, "CMOS image sensors, electronic camera on a chip.", in *IDEM Tech. Dig.*, 1995, pp. 17-25.
 [2] H. S. Wong, "CMOS image sensors-recent advan-

tage and device scaling considerations", in *IDEM Tech. Dig.*, 1997, pp. 201-204.

[3] C. Xu, W. Zhang, and M.Chan, "A low voltage hybrid bulk/SOI CMOS active pixel image sensor", *IEEE J. Solid-State Circuit*, vol. 22, pp. 248-250, 2001.
 [4] Peter Alan Levine, "Extended dynamic range image sensor system", *US. Patent 6, 040, 570*, Mar, 2000.
 [5] B.S. Carlson, "Comparison of modern CCD and CMOS image sensor technologies and system for low resolution imaging", *Sensors. Proc. of IEEE*, vol. 1, 12-14, pp. 171-176, June 2002.
 [6] Silvano Dontani, "Photodetectors : devices, circuit, and applications", *Prentice Hall PTR*, 2000.
 [7] B. Ackland and A.Dickinson, "Camera on a chip", *Solid-State Circuit Conf.*, 1996. Digest of Technical Papers. 43 rd ISSCC., 1996 IEEE International, 8-10, 22-25, 412, Feb 1996.
 [8] Chen Xu, Wei-quan Zhang, Wing-Hung Ki, and Mansun Chan, "A 1.0-V VDD CMOS active-pixel sensor with complementary pixel architecture and pulsewidth modulation fabricated with a 0.25- μm CMOS process", *IEEE J. Solid-State Circuits*, vol. 37, no. 12, December 2002.
 [9] Y-S Shin, S-H Seo, M-Y Do, J-Ky Shin, J-H Park, and Hoon Kim, "Fabrication of silicon nano-wire MOSFET photodetector for high-sensitivity image

**김진수**

- 1981년 7월 26일 생
- 2005년 12월~2006년 1월 University of Florida
- 2007년 2월 인제대학교 나노공학부 (공학사)
- 2007년 3월 인제대학교 대학원 나노 시스템 공학과 재학 중

**정진우**

- 1983년 10월 31일 생
- 2002년 3월 인제대학교 나노공학부 재학 중

**강명훈**

- 1982년 10월 16일 생
- 2005년 8월 인제대학교 광공학과(공학사)
- 2005년 9월 인제대학교 대학원 나노시스템공학과 재학 중

**노호섭**

- 1980년 6월 24일 생
- 2006년 2월 인제대학교 광공학과(공학사)
- 2006년 3월 인제대학교 대학원 나노시스템공학과 재학 중

**김종민**

- 1967년 2월 10일 생
- 1991년 2월 한양대학교 전자공학과 (공학사)
- 1993년 8월 한양대학교 대학원 전자공학과(공학석사)
- 1994년 1월~2000년 10월 하이닉스 선임연구원
- 2000년 10월~2003년 8월 다반테크 선임연구원
- 2004년 6월~현재 동부하이텍 책임연구원

**이제원**

- 1969년 6월 22일 생
- 1993년 2월 한양대학교 무기재료공학과 (공학사)
- 1995년 8월 Univ. of Florida 재료공학과(공학석사)
- 1997년 12월 Univ. of Florida 재료공학과(공학박사)
- 1994년~1997년 Univ. of Florida, Research Assistant
- 1997년~1997년 Sandia National Laboratory of USA, Contracted Engineer
- 1998년~2000년 Unaxis, Inc. USA. Senior Process R&D Engineer
- 2000년 3월~현재 인제대학교 나노공학부 부교수

**송한정**

- 1963년 3월 25일 생
- 1986년 2월 한양대학교 전자공학과(공학사)
- 1988년 2월 한양대학교 대학원 전자공학과(공학석사)
- 2000년 8월 한양대학교 대학원 전자공학과(공학박사)
- 1988년 1월~1994년 2월 금성일렉트론 선임연구원
- 1994년 3월~2004년 2월 충청대학 전자정보과 부교수
- 2001년 3월~2002년 2월 University of Florida 방문연구원
- 2004년 3월 현재 인제대학교 나노공학부 조교수