

# Ku-대역 유전체 공진기 발진기의 Sampling Phase Detector를 이용한 위상 고정 루프 필터 설계 및 제작

## Design of Phase Locking Loopfilter Using Sampling Phase Detector for Ku-Band Dielectric Resonator Oscillator

오 바담가라와 · 양승식 · 오현석 · 이만희 · 정해창 · 염경환

O. Badamgarav · Seong-Sik Yang · Hyun-Seok Oh · Manhee Lee · Hae-Chang Jeong · Kyung-Whan Yeom

### 요 약

본 논문에서는 SPD(Sampling Phase Detector) 소자를 위상검출기로 사용하여, 기준 신호원 700 MHz SAW(Surface Acoustic Wave) 발진기에 16.8 GHz의 VTDRO(Voltage Tuned Dielectric Resonator Oscillator)를 안정화하는 위상 고정 회로를 설계하였다. 이러한 위상 고정 방법은 루프 필터만으로 직접적으로 위상 고정할 경우 잠금 시간(lock time)의 문제로, 루프 필터뿐만 아니라 구형파의 시변하는 전류원을 사용 위상 고정하게 된다. 이러한 구동 회로와 루프 필터는 서로 상관 관계가 있어, 이의 체계적인 조정을 필요로 한다. 본 논문에서는 이러한 구동 회로와 루프 필터의 체계적인 설계 방법을 제시하였다. 제작된 PLDRO(Phase Locked DRO)는 안정된 16.8 GHz의 중심 주파수에서 약 6.3 dBm의 출력 전력을 갖고, 위상 잡음은 100 kHz offset에서 -101 dBc/Hz 성능을 보인다.

### Abstract

In this paper, we designed a phase-locking circuit that locks the 16.8 GHz VTDRO to a 700 MHz SAW oscillator using SPD as a phase detector. Direct phase locking with loop filter alone causes the problem of lock time, so VTDRO is phase locked by loop filter with the aid of time varying square wave current generator. The current generator is related to the loop filter and needs the systematic tuning. In this paper, a systematic design of the current generator and loop filter is presented. The fabricated PLDRO shows a stabilized frequency of 16.8 GHz, a output power 6.3 dBm, and a phase noise of -101 dBc/Hz at the 100 kHz offset.

Key words : Sampling Phase Detector, VTDRO, PLDRO

### I. 서 론

유전체 공진기를 사용한 DRO는 마이크로파 발진기 중 다른 발진기에 비해 뛰어난 위상 잡음 특성을 보이고 있다. 특히 주파수가 4 GHz를 넘어설 경우, DRO는 위상 잡음, 주파수 안정도 면에서 가장 좋은

위상 잡음을 갖는 발진기로서 자리잡고 있다. 이러한 DRO 중, Ku-대역 DRO는 WLAN(Wireless Local Area Network) 및 위성 통신에 LO로서 빈번히 사용되고 있다<sup>[1]</sup>. 그러나 DRO의 경우, 통신 시스템에 직접 LO로 사용하기에는 중심 주파수의 이동이 커서, 보다 안정한 발진기에 위상 고정시킬 필요가 있다.

「본 연구는 한국과학기술원 전파탐지특화연구센터를 통한 국방과학연구소의 연구비 지원으로 수행되었습니다.」

충남대학교 전파공학과(Department of Radio Science and Engineering, Chungnam National University)

· 논문 번호 : 20080725-096

· 수정완료일자 : 2008년 9월 10일

본 논문에서는 이것이 가능하도록 SPD를 이용한 Ku-대역 위상 고정 유전체 공진기 발진기(PLDRO)를 제작하였다.

위상 고정(PLL: Phase Locked Loop) 방법으로는 이동 통신에서는 그림 1<sup>[2]</sup>과 같은 블록도가 널리 사용되고 있다. 그림 1에서 N-분주기를 사용 VCO의 주파수를 분주하여, 기준 주파수와 근접한 낮은 주파수를 생성하고, 생성된 신호는 기준 주파수와 비교하여, 이것의 위상차에 해당하는 전압을 PFD(Phase Frequency Detector)로 얻게 된다. 이 전압은 차지 펌프 회로를 거쳐 위상차에 비례하는 전류로 바뀌게 되며, 이것이 VCO를 구동하여, VCO의 주파수가 N배의 기준 주파수와 같아지도록 하는 방법이다. 이러한 방식은 위상 잠금 회로에 널리 사용되는 방식이다.

그러나 Ku 대역의 경우, 그림 1과 같은 PLL IC는 집적 회로의 한계로 구현될 수 없으며, N 분주기 전단에 prescaler를 전치시켜 이러한 목적을 달성할 수 있다. 그러나 이러한 Prescaler는 16 GHz까지 상용화된 제품이 알려져 있고<sup>[3],[4]</sup> 이들은 상당한 전력을 소모하며 접지면의 처리 등 다소 불안정한 동작을 보인다. 이는 기술의 발전과 함께 해결되었지만, 현재까지 Ku-대역의 주파수에 사용되기에는 다소 문제가 있다.

다른 방법으로는 아날로그 방식에 의한 위상 고정 방법이 있고, 이것은 그림 2와 같이 기준 발진기, 샘플 위상 검출기(SPD: Sampling Phase Detector), 루프 필터, 전압 제어 발진기로 구성된다.

여기서 SPD는 고조파 발생기인 SRD(Step Recovery Diode)와 혼합기인 Schottky 다이오드가 IC 형태로 제작된 것이다<sup>[5],[6]</sup>. 기준 발진기 신호가 인가되게 되면, SRD는 많은 고조파로 형성된 Comb 파형을 만들게 된다. 이것과 VCO의 신호는 혼합되어 VCO에 가까운 기준 발진기의 고조파 주파수에 대해 낮

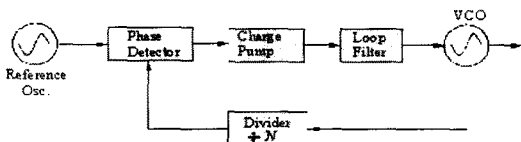


그림 1. Digital phase lock loop 기본 블록도  
Fig. 1. Block diagram of digital phase lock loop.

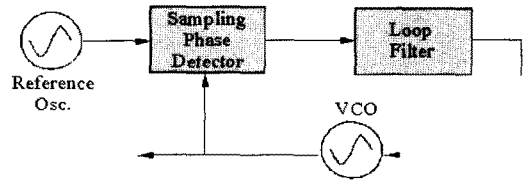


그림 2. Analog phase lock loop 기본 블록도  
Fig. 2. Block diagram of analog phase lock loop.

은 주파수의 맥놀이(beat) 신호가 발생하게 되는데, 이의 DC 성분을 그림 2의 루프 필터로 걸러서 DC 전압을 만들고, 이를 VCO 조정 전압으로 케환시킬 경우, VCO의 주파수는 기준 발진기 주파수의 N배에 해당하는 주파수로 고정되게 된다. 이와 같이 SPD는 VCO와 기준 발진기 N배의 신호와 위상 비교하여 이의 차를 발생시키는 위상검출기의 역할을 하게 된다. 그림 2의 위상 잠금 구성은 그림 1의 회로에 비해 간단하나, 여러 가지 제한 요소가 있어, VCO의 주파수가 N-배된 기준 발진기 주파수와 초기 차이의 정도에 따라, 위상 잠금이 일어나지 않는 경우들이 발생하게 된다<sup>[7]</sup>.

따라서 그림 2의 루프 필터 내에는 이러한 초기 주파수 차이를 줄이기 위하여, 위상 잠금이 되어 있지 않을 경우, VCO의 주파수를 천천히 가변시키는 회로를 포함하게 되고, 이러한 회로에 의하여 VCO의 주파수가 체배된 기준 주파수에 충분히 근접할 경우, 루프 필터 출력은 이러한 회로의 동작을 멈추게 하고, 위상차에 비례하는 출력을 VCO에 인가하여 VCO를 위상 잠금하게 된다. 이러한 내용은 기존 연구된 바 있으나<sup>[8]-[10]</sup>, 이러한 루프 필터의 체계적인 파라미터 추출, 설정 방법 및 조정 방법이 제시된 바 없다. 또한, 앞서의 참고문헌의 회로는 SPD의 출력 크기에 민감하고 이것의 DC 전압 출력을 보상하는 방법이 없어 PLDRO를 구성하기 어려운 점이 있다. 본 논문에서는 그림 2의 각 블록의 체계적인 파라미터 추출, 설계 그리고 조정 방법을 제시하려고 한다. 또한, SPD 출력의 크기 및 DC 전압 출력에 대처할 새로운 회로도들을 제시하였다. 이의 기준 신호 원으로 700 MHz SAW 발진기를 사용하고, 16.8 GHz의 VTDRO를 사용하였다. 제작된 회로는 안정된 16.8 GHz의 중심 주파수에서 약 6.3 dBm의 출력 전력을 갖고, 위상 잠음은 -101 dBc/Hz(100 kHz off-

set)의 성능을 보인다.

## II. SPD를 이용한 Ku-대역 위상 고정 유전체 공진기 발진기의 설계 및 제작

### 2-1 구성도 및 부품 선정

그림 2의 구성 방식을 바탕으로 하고, 설계 목표를 만족하는 Ku-대역 PLDRO를 구성하기 위해, 그림 3과 같이 블록을 구성하였다. 그림 3에서 보인 바와 같이 VTDR의 출력 신호는 전력 분배기와 6 dB 감쇠기를 거쳐 SPD에 입력된다. 또한, 기준 신호는 2단 증폭기로 구성된 증폭기를 거쳐 SPD로 입력된다. 이때 SPD 출력에는 기준 발진기의 고조파 신호와 VTDR 신호의 위상차에 해당되는 맥놀이 파형이 나타나며, 이 신호는 루프 필터(loop filter)를 통과하게 되고, 이 전압이 VTDR를 구동하여, 두 신호의 주파수가 같아질 때까지 VTDR 조정 전압을 변화시키게 되어, 궁극적인 위상 잠금을 달성하게 된다.

이러한 블록을 구현하는 부품으로는 VTDR의 경우, Lucix사의 LO-164-FC<sup>[11]</sup>를 선정하였다. 이 VTDR은 조정 나사에 의한 기계적인 조정 범위는 약 30 MHz이며, 전기적인 조정에 의한 조정 범위는 조정 전압이 0.6~7.4 V일 때 약 6 MHz의 조정 폭을 가지고 있다. 또한, 위상 잠금 특성은 주파수 10 kHz offset에서 -93 dBc/Hz, 100 kHz offset에서 -115 dBc/Hz이다. 이것의 출력은 약 11~12 dBm으로 SPD를 원활하게 동작되기에는 출력이 너무 큰 상태이다. SPD를 동작하기 위해서 전력 분배기를 통해 감쇠된 3 dB 이외에, 저항을 이용한  $\pi$ 형 감쇠기를 6 dB로 설계하여, 총 9 dB의 감쇠를 주어, SPD에 약 3

dBm 정도의 출력이 입력될 수 있도록 하였다. 또한, 전력 분배기를 사용하여, 위상 잠금된 전압 제어 발진기의 출력을 제공할 수 있도록 하였다.

SPD를 구동하기 위해서는 적당한 입력 전력을 갖는 기준 신호원 입력이 필요하다. 본 논문에서는 기준 발진기로는 SAW 발진기를 사용하였고, 사용된 SAW 발진기는 Epson Powercom사의 EG-2102CA<sup>[12]</sup>를 선정하였다. 이것의 출력은 약 -8 dBm으로, SPD를 구동하기에는 출력이 부족한 상태이다. SPD를 적절히 구동하기 위해서 두 개의 전력 증폭기가 삽입되었으며, 초단 증폭기는 NEC 사의 UPC1678GV<sup>[13]</sup>를 선정하였는데 17.5 dBm의 포화 전력을 갖는다. 종단 증폭기는 AVAGO사의 MGA-83563<sup>[14]</sup>를 선정하였는데, 전압 3 V에서 22 dBm의 포화 전력과 전압 3.6 V에서 23 dBm의 포화 전력을 갖는다. 따라서 SAW 발진기의 기준 신호는 2단 증폭기를 통하여 충분한 출력 17 dBm 이상을 갖게 된다.

위상 비교기로서 설계에 이용된 SPD는 Aeroflex/Metelics사의 MSPD2018-E50<sup>[5]</sup>이며, 위상 비교를 위한 적정 기준 신호의 입력은 +17 dBm 이상, 고주파 신호 입력은 0 dBm에서 +4 dBm이 필요하다. SPD를 구동시키기 위한 기준 신호는 평형 신호를 요구하며, 이에 변압기가 삽입되었다. 변압기의 권선비는 1:2이며, MiniCircuits 사의 JTX-4-10T를 선정하였다<sup>[15]</sup>.

루프 필터는 ON Semiconductor사의 MC33071 연산증폭기<sup>[16]</sup>를 이용한 2차 능동 RC 필터로 설계하였다. 루프 필터를 이용하여, 전체 위상 잠금 회로가 2차로 동작하게 하며, 능동형으로 구성되어 VTDR의 전압 조정 범위를 맞출 수 있도록 하였다. 표 1에 사용된 부품들의 특성을 나타내었다.

### 2-2 PLL 구성품들의 파라미터 측정

#### 2-2-1 VTDR 측정

PLL을 구성하기에 앞서 루프 필터를 설계하기 위하여, VTDR의 전압에 따른 주파수 변화 특성을 확인할 필요가 있으며, 측정된 결과를 그림 4에 나타내었다. 그림 4에서 VTDR의 주파수 조정 감도(tuning sensitivity),  $K_v$  [Hz/V]는 936 [kHz/V]로 계산되었다.

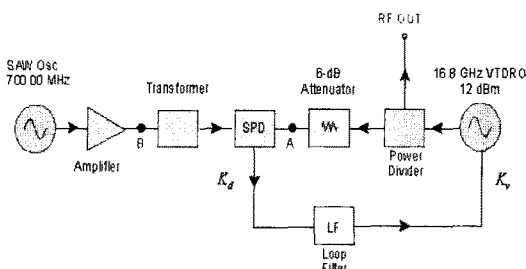


그림 3. PLDRO의 블록도  
Fig. 3. Block diagram of PLDRO.

표 1. PLDRO에 사용된 부품 리스트

Table 1. List of component in block diagram of PLDRO.

PN	용도	특성
LO-164-FC	VTDRO	<ul style="list-style-type: none"> <li>· Output freq.: 16.8 GHz</li> <li>· Output power: 9~12 dBm</li> <li>· Mechanical tuning: 30 MHz</li> <li>· Electrical tuning: 6.6 MHz</li> </ul>
EG-2102CA	SAW Osc.	<ul style="list-style-type: none"> <li>· Output freq.: 700 MHz</li> <li>· Output voltage: 0.8~2.35 V</li> </ul>
UPC1678GV	1단 증폭기	<ul style="list-style-type: none"> <li>· Operated freq.: 0.01~3 GHz</li> <li>· Gain: 23 dB</li> <li>· 포화 전력: 17.5 dBm</li> </ul>
MGA83563	2단 증폭기	<ul style="list-style-type: none"> <li>· Operated freq.: 0.5~6 GHz</li> <li>· Gain: 22 dB</li> <li>· 포화 전력: 22 dBm</li> </ul>
MSPD2018-E50	SPD	<ul style="list-style-type: none"> <li>· 동작 주파수(SRD): ~4 GHz</li> <li>· Ref input power: 17~27 dBm</li> <li>· RF input power: 0~4 dBm</li> </ul>
JTX-4-10T	Transformer	<ul style="list-style-type: none"> <li>· 동작 주파수: 50~1,000 MHz</li> <li>· 삽입 손실: 1.42~1.72 dB</li> <li>· Turn ratio: 2</li> </ul>

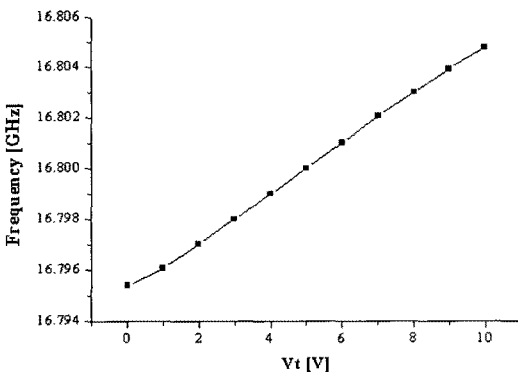


그림 4. VTDRO의 조정 전압에 따른 출력 주파수  
Fig. 4. Output frequency of VTDRO for tuning voltage.

이 VTDRO가 적정 출력을 공급하는지 확인하기 위하여, 이것을 PLDRO를 구성하기 위한 기관 상에 장착하고, 그림 3의 A점에서 VTDRO의 출력을 측정하였다. 이를 통하여 SPD에 입력되는 전력 값을 알 수 있게 된다. 이때 SPD의 적정 입력 전력이 되도록 감쇄기를 통해 조정하였다. 측정은 스펙트럼 분석기를 사용하였으며, SPD 입력이 2.33 dBm임을 확인하였다. 이 값은 적정 입력인 0~4 dBm의 값이므로

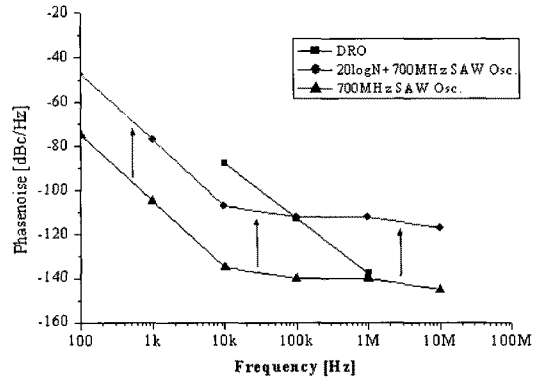


그림 5. VTDRO 및 기준 발진기의 위상 잡음 특성  
Fig. 5. Phase noise of VTDRO and reference oscillator.

SPD를 구동하는데 적절함을 알 수 있다.

### 2-2-2 SAW 발진기 측정

기준 발진기인 SAW 발진기의 경우, 이것의 위상 잡음과 그림 3의 B점에 입력되는 전력을 측정하는 것이 필요하다. 우선 기관 상에 조립된 700 MHz SAW 발진기의 위상 잡음 특성을 측정하였다. 이것을 그림 5에 보였다. 그림 5에는 이것의 24배 체배된 위상 잡음과 VTDRO의 측정된 위상 잡음을 보였다. 그림 5의 결과로부터 적정 루프 대역폭은 VTDRO의 위상 잡음과 24배 체배된 SAW 발진기의 위상 잡음이 교차하는  $BW=100$  kHz임을 알 수 있다. 또한, 기관 상에 장착된 SAW 발진기의 출력을 증폭기에 연결하여, 이것의 출력 특성을 측정하였다. 이를 통하여 SPD에 입력되는 전력 값을 알 수 있다. 측정 결과, 측정에 삽입된 20 dB 감쇄기 및 케이블의 손실을 고려하면, 약 22 dBm의 출력이 SPD에 입력됨을 확인할 수 있었다. 이 값은 최소 입력인 17 dBm보다 커서 SPD의 구동을 가능하게 한다.

### 2-2-3 SPD 측정

그림 6에서는 위상 비교기로 사용된 SPD의 주변 회로도를 보였다.

그림 6에서 보듯이 SPD(Sampling Phase Detector) 내부는 1개의 SRD(Step Recovery Diode)와 쇼트키(Schottky) 다이오드  $D_2$  및  $D_3$  한 쌍, 그리고 SRD와 Schottky 다이오드를 연결하는 커패시터 한 쌍의

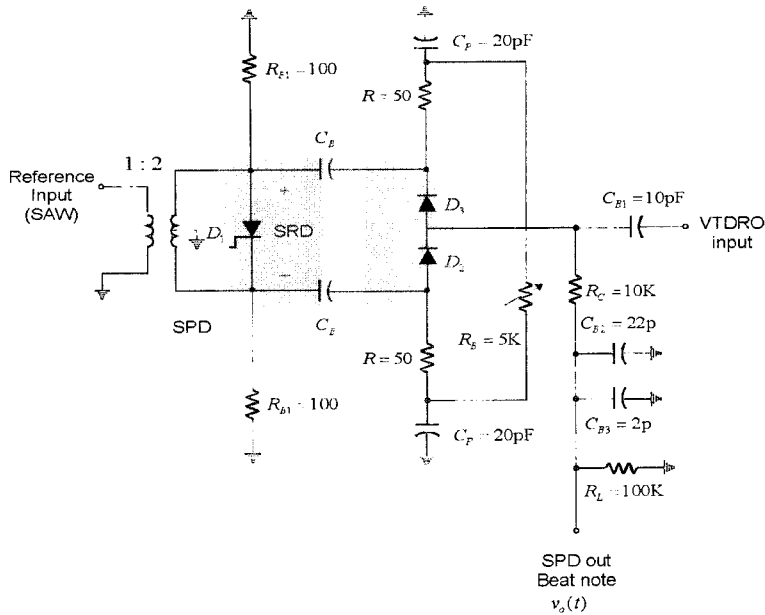


그림 6. SPD 위상 검출기 회로  
Fig. 6. SPD phase detector schematic.

$C_B$ 로 이루어진다. SPD 내부의 SRD는 기준 주파수 입력에 대해 기준 주파수의 주기를 갖는 임펄스 전류를 발생시키고, 이 전류는 기준 주파수로 체배된 모든 고조파의 전류를 발생시킨다. 여기에 사용된 저항  $R_{B1}$ 은 기준 입력 신호와의 정합을 위해 100 ohm으로 설정되었다.

VTDRO의 신호는 그림의 VTDRO 입력 단자로 인가되며, 커패시터  $C_{B1}$ 은 이 신호에 대한 DC 블록 커패시터이다. 이 때 저항  $R_C$ 는 그 값이 커서 VTDRO의 주파수에 대해서는 개방이 되며, VTDRO의 신호는 Schottky 다이오드  $D_2$  및  $D_3$ 에 인가되게 된다. 이 신호는 Schottky 다이오드에 인가된 SRD에 의해 발생된 고조파와 함께 혼합되어, Schottky 다이오드에는 모든 혼 변조된 주파수 전류 성분이 나타나게 되는데, 이 중 DC에 가까운 맥놀이 신호는 그림 6의 저항  $R_C$ 을 거쳐 beat note 출력으로 출력되게 된다. 또한, 주목할 것은 다른 고주파 성분들은 바이패스 커패시터  $C_{B2}$  및  $C_{B3}$ 에 의해 beat note로 출력되지 않게 된다. 그리고 발생된 DC 전류는 두 개의 50 ohm 저항  $R$  그리고 가변 저항  $R_B$ 의 경로를 거쳐 흐르게 된다. 이 때 beat note 출력에는 DC 전압이 나타나게 된다. 이 DC 전압은 저항  $R_B$ 에 의하

여 약간의 조정이 가능하다. 주목할 것은 이 때 발생된 두 beat note 신호가 위상이 같아 출력되는 DC 전압과 함께 출력되게 되어 0 점화하는 것이 필요하다. 보통 두 신호의 주파수가 정확히 일치하지 않을 경우에도 beat note 출력에는 어느 정도의 DC 전압이 존재하며, 여기에 위상 잠금이 될 경우 여기에 위상 차에 비례하는 DC 전압이 추가되게 된다. 또한, DC 전류는 저항  $R_C$ 을 통과하여 나올 수 없게 루프 필터 회로는 설계되어야 한다.

이와 같이 기준 신호의 고주파와 VTDRO 신호가 SPD를 통해서 혼합되는 동작은 mix의 동작과 같다. 기준 신호의  $n$ 차 고주파가 혼합된 beat note 신호는

$$V_{beat}(t) = V_n \sin(n\omega_i t + \phi_i - \omega_o t - \phi_o) \quad (1)$$

이며, 상향 변환된 신호는 바이패스 커패시터  $C_{B2}$  및  $C_{B3}$ 에 의해 제거된다. 위 식에서  $\omega_i$ 와  $\phi_i$ 는 기준 신호의 각주파수와 위상 오차를,  $\omega_o$ 와  $\phi_o$ 는 VTDRO 신호의 각주파수와 위상 오차를,  $V_n$ 는 크기를 의미한다. 기준 신호의 고주파와 VTDRO 신호의 주파수가  $n\omega_i = \omega_o$ 이면

$$V_{beat}(t) = V_n \sin(\phi_i - \phi_o) \quad (2)$$

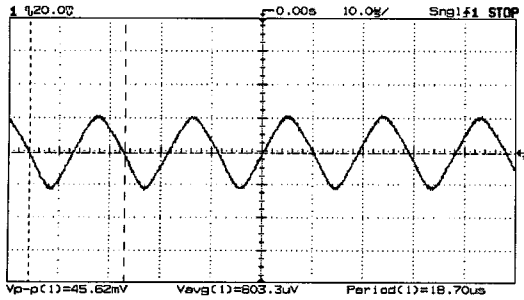


그림 7. SPD의 출력 측정 파형  
Fig. 7. Measured waveform of SPD output.

이다. 따라서  $V_{beat}(t)$ 는 위상 검출기로 동작하게 되며,  $V_n$ 은 위상 검출기 상수이다.

이와 같이 구성된 SPD 회로의 맥놀이 주파수 성분을 오실로스코프로 계측하였다. 이 때 VTDRO는 기계적인 조정을 통해 중심 주파수에 가깝게 두고 이것의 출력을 스코프로 계측한 것을 그림 7에 보였다. 그림 7에서 DC 전압이 최소가 되도록  $R_B$ 를 조정하였을 때의 파형이며, 이 결과로부터 peak-to-peak 전압은 약  $V_{p-p}=40$  mV가 되는 것을 알 수 있다. 따라서 위상검출기 상수  $K_d=20$  mV/rad이 된다. 또한, DC 전압이 여전히 존재하고 있어 추가로 이것을 0 점화하는 것이 필요함을 알 수 있다.

### 2-3 루프 필터 설계

그림 8에는 루프 필터 회로도도를 보였다. 그림 8에

서 OPA3는 정제환이 걸려 있으며, Schmitt trigger로서 구형파 전류원을 공급한다. 우선 이것을 제외한 나머지 회로에 대하여 설명하면, OPA1은 buffer로서 앞서 그림 6의 SPD 회로의 출력이 연결되게 된다. 이것은 비반전 증폭기로 동작하여 앞서 SPD의 출력을 약 21배 증폭하는 역할을 한다. 따라서 등가 위상 검출기 상수는 주목할 것은 이때 SPD 출력에 나타나는 DC 전압도 증폭되게 된다. 이상적인 연산증폭기의 경우, OPA1의 +단자에는 흘러들어가는 전류는 0이기 때문에, 부하 효과가 없어, 그림 7에서 얻어진 DC 전압은 변화가 없게 된다. 또한, +단자를 입력으로 사용하여 SPD 출력의 극성 변화도 없게 하였다.

이때 이 회로의 DC 출력  $V_o$ 은 효율적인 위상 잠금을 위해  $V_{cc}/2$ 로 설정될 필요가 있다. 이것은 미리 VTDRO의 조정 단자에  $V_{cc}/2$ 를 인가하고 조정 나사를 조정 합성하고자 하는 기준 주파수의 24배 체배된 주파수 즉, 16.8 GHz로 이동하여 달성하게 된다. 그러나 일반적인 SPD의 DC 출력은  $V_{cc}/2$ 가 아니기 때문에 이를  $V_{cc}/2$ 로 설정하기 위하여 DC 전압을 이동시킬 필요가 있다. 이러한 역할을 하는 것이 OPA2이며,  $R_8$  및  $R_7$  그리고 가변 저항  $R_{10}$ 에 의하여 이것을 달성하게 된다. 이 때 가변 저항  $R_{10}$ 에 의하여 OPA2의 출력은  $V_{cc}/2$ 의 DC 전압을 갖게 되나, 위상차에 비례하는 AC 출력은 OPA2는 반전증폭기가 되므로  $-R_8/R_7$ 의 이득을 갖게 되며, 또한 위상 반전이 일어나게 된다.

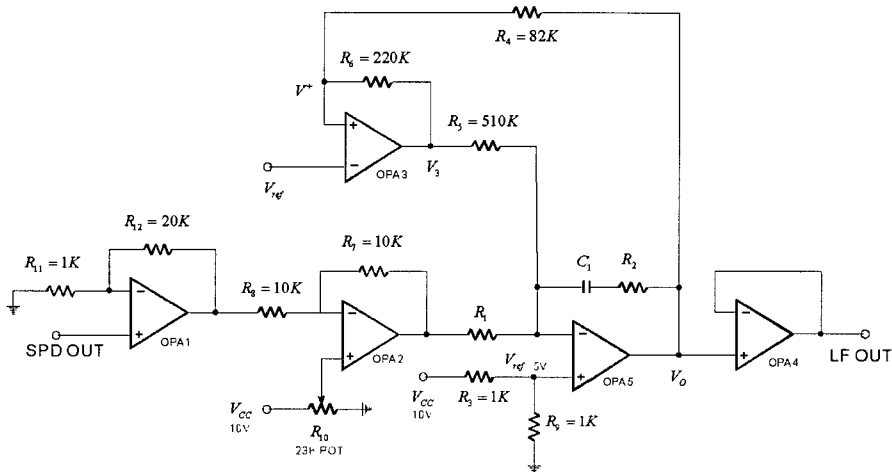


그림 8. 전체 루프 필터 회로  
Fig. 8. Overall loop filter schematic.

이 OPA2의 출력은 다시 루프 필터로 동작하는 OPA5로 입력되는데, 이것의 +단자의 DC 전압은  $V_{cc}/2$ 이고, 반전된 주파수 응답 특성을 가지므로, 앞서 OPA2의 위상 반전과 더불어 동위상의 루프 필터 역할을 하게 된다. 또한, 주목할 것은  $-R_8/R_7$ 의 이득으로 인해 위상 검출기 상수는  $K_d R_8/R_7$ 이 되므로 이득을 1로 설정해야 할 것이다. 따라서 이 값을  $R_8=R_7=10\text{ kohm}$ 으로 선정했다. 다른 방법으로는 이것을 고려 루프 필터 값을 재설정하여도 된다. 마지막으로 OPA4는 buffer로 동작하며, 이를 통해 OPA5에 대한 부하 효과는 없게 된다.

그림 9의 OPA3의 경우, 정كه환(positive feedback)으로 lock time를 줄이기 위한 목적으로 루프 필터에 전류를 공급하는 전류원으로 동작하는 Schmitt trigger이다. 즉, OPA3의 +단자의 전압  $V^+$ 이  $V_{cc}/2$ 로 설정된  $V_{ref}$ 보다 클 경우 OPA3의 출력 단자의 전압은  $V_{cc}$ 가 되며, 반대로 작을 경우 0이 될 것이다. 따라서 루프 필터로 사용된 OPA5의 출력에 따라 OPA3의 출력은  $V_{cc}$ 와 0를 오가는 구형파의 형상이 나타나게 된다. 이 출력에 따라  $(V_3(t) - V_{ref})/R_5 = \pm V_{cc}/(2R_5)$ 의 구형파 전류가 OPA5의 커패시터  $C_1$ 에 흐르게 된다.

이 때 저항  $R_1$ 에는 전류가 흐르지 않게 된다. 그 이유로는 OPA5의 -단자 전압은 부كه환에 의해  $V_{cc}/2$ 로 고정되어 있고, 또한 OPA2 출력도  $V_{cc}/2$ 로 고정되어 있어 저항  $R_1$ 에는 전류가 흐르지 않게 된다. 따라서 이 구형파의 전류는 커패시터  $C_1$ 에 흐르게 되어 반전된 적분 파형이 OPA5의 출력에 나타나게 된다. 따라서 OPA3의 출력 전압이  $V_{cc}$ 일 경우 OPA5의 출력 전압은 시간에 따라 감소하게 된다. 반면 OPA3의 출력 전압이 0일 경우 OPA5의 출력 전압은 시간에 따라 증가하게 된다. 따라서 VT-DRO의 주파수는 시간에 따라 그림 9와 같이 증가 감소를 반복하게 된다.

이 때 VT-DRO의 시간에 따른 주파수 변화는  $\pm V_{cc}/(2R_5)$ 의 전류가 커패시터  $C_1$ 에 입력되어 나타나는 출력 전압에 따른 주파수 변동이므로 아래 식 (3)과 같게 된다.

$$\Delta \omega = K_v \frac{V_{cc}}{2R_5 C_1} \quad (3)$$

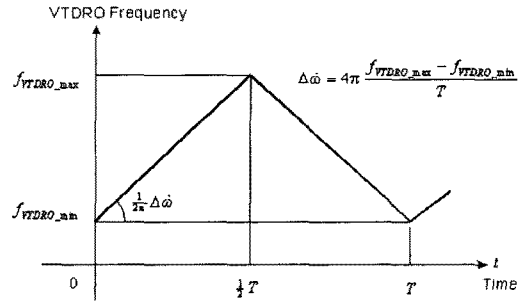


그림 9. VT-DRO 주파수의 시간에 따른 변화  
Fig. 9. Frequency change of VT-DRO with time.

반면 이 파형의 주기는 OPA5의 출력 전압  $V_o$ 에 따른 Schmitt trigger OPA3의 +단자 전압에 관련되게 된다. 이 때 OPA3의 출력 전압이  $V_{cc}$ 라면 OPA3의 +단자 전압  $V^+$ 은 중첩에 의해

$$V^+ = \frac{V_{cc} R_4}{R_6 + R_4} + \frac{V_o R_6}{R_6 + R_4} = \frac{V_{cc}}{2} \quad (4)$$

로 결정되게 된다. 따라서 전류의 방향이 바뀌는 회귀점은

$$V_o^1 = \frac{R_6 - R_4}{R_6} \cdot \frac{1}{2} V_{cc} \quad (5)$$

으로 얻어지고, 반대로 OPA3의 출력 전압이 0일 때 회귀점은 식 (4)와 유사하게 식 (6)을 얻게 된다.

$$\frac{V_o^2 R_6}{R_6 + R_4} = \frac{1}{2} V_{cc} \quad (6)$$

따라서 회귀 전압은

$$V_o^2 = \frac{R_6 + R_4}{R_6} \cdot \frac{1}{2} V_{cc} \quad (7)$$

로 얻어지는 것을 알 수 있다. 이것을 그림 10에 나타내었다. 따라서 VT-DRO의 주파수 조정 단자에 가해지는 하한 전압은 식 (5)에 의하여 결정되며, 상한 전압은 식 (6)에 의하여 결정된다. 따라서 이 두 전압은 VT-DRO에 가해지는 주파수 조정 전압이 되므로, 식 (5)과 (6)의 결과가 각각 VT-DRO의 주파수 조정 전압의 상한 및 하한 값인 0.6 및 7.4 V 안에 있도록 조정될 필요가 있다. 또한, OPA5의 평균 전압은 5 V가 됨을 유의할 필요가 있다. 즉, 이것은 저항  $R_6$  및  $R_4$ 로 결정되는데 이것은 위상 잠금이 되지 않은 상태에서 VT-DRO에 가해지는 조정 전압의 파형을

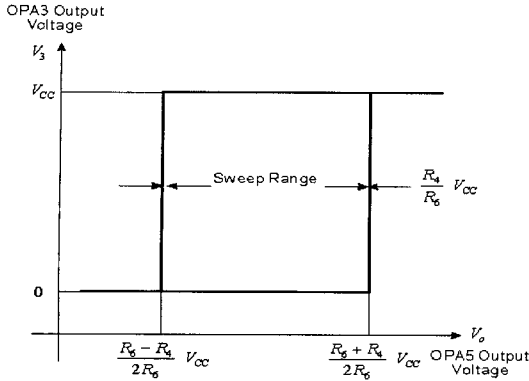


그림 10. OPA3 출력의 hysteresis  
Fig. 10. Hysteresis of OPA3 output.

보고,  $R_6$  및  $R_4$ 의 저항 값을 조정할 수 있게 된다. 이 때 조정된 값은  $R_6=220\text{ k}$ ,  $R_4=82\text{ k}$ 이다.

이렇게 설정된 저항값에 대하여 위상 잠금이 되지 않았을 경우, 루프 필터 출력(OPA5)과 OPA3의 출력을 그림 11에 보였다. 그림 11에서 OPA3 출력의 경우 대칭적인 파형을 보여주고 있으며, 이때 루프

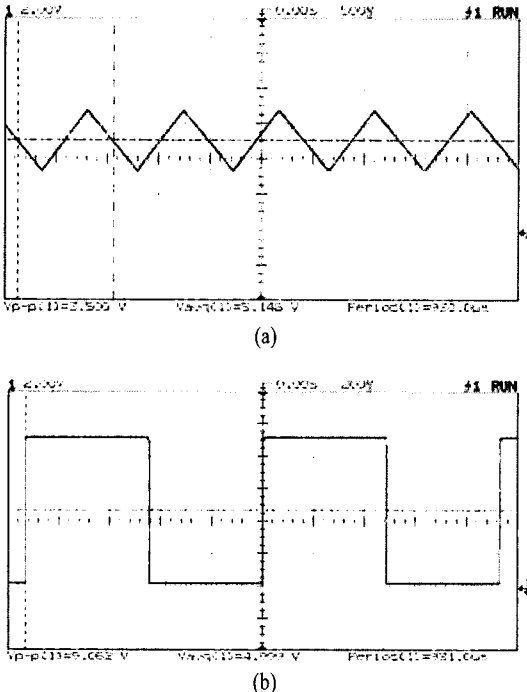


그림 11. (a) OPA3 출력 파형, (b) 루프 필터 출력 파형  
Fig. 11. (a) Waveform of OPA3 output, (b) Waveform of loop filter output.

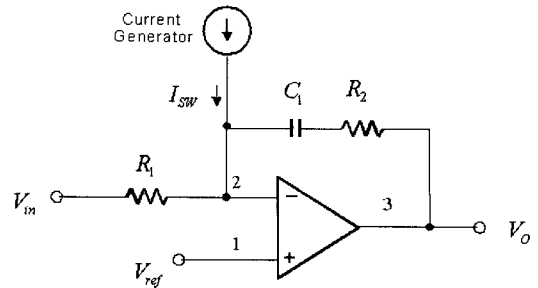


그림 12. 2차 능동 루프 필터  
Fig. 12. Second order loop filter.

필터의 출력은 식 (1)의 결과와 같음을 알 수 있다.

앞에서 측정된  $K_d$  및  $K_v$  값들을 사용하여, 2차 능동 루프 필터 설계하였다. 2차 능동 LF의 형태를 그림 12에 다시 나타내었다. 그림 12의  $R_1$ ,  $C_1$  및  $R_2$ 는 위상 잠금 회로의 루프 필터 소자이며, current generator는 square wave의 형태를 갖는 파형이며, 커패시터  $C_1$ 에 인가되어 이파형의 적분된 형상이 출력에 나타나게 된다.

이 때 그림 12의 전류원을 무시하면 루프 전달함수는 식 (8)과 같다.

$$F(s) = \frac{V_o}{V_i} = - \frac{R_2 + \frac{1}{sC_1}}{R_1} = - \frac{1 + s\tau_2}{s\tau_1} \quad (8)$$

여기서  $\tau_1=R_1C_1$ 이며  $\tau_2=R_2C_1$ 이다. 따라서 루프 대역폭  $\omega_n$  및 damping 상수  $\zeta$ 는 식 (9) 및 (10)으로 결정된다.

$$\omega_n = \sqrt{\frac{K_v K_d}{\tau_1}} \quad (9)$$

$$\zeta = \frac{\omega_n \tau_2}{2} \quad (10)$$

따라서 앞서서 설정된  $BW=100\text{ kHz}$ 를 갖도록  $\omega_n$ 은 설정되어야 하고 ( $\omega_n=2\pi BW$ ), 최적의 잠금 특성을 갖도록  $\zeta=0.707$ 의 값을 가져야 할 것이다. 주목할 것은 그림 9의 비반전 증폭기 이득으로 인해 위상 검출기 상수는 약  $K_d=800\text{ mV}$ 가 된다. 이 값을 대입하고, 변수가 3개이므로  $R_1=5\text{ kohm}$ 으로 설정하였을 때 식 (9) 및 (10)으로부터  $R_2=1.8\text{ kohm}$ ,  $C_1=1,200\text{ pF}$ 이 되었다.

다음으로 식 (3)에 의하여 계산된 주파수 변화율은 루프 필터의 대역폭보다 작아야 할 것이다. 그렇



지 않으면 위상 잠금이 일어나지 않았을 때 나타나는 주파수 변화율을 전체 위상 잠금 회로가 추적하지 못해 위상 잠금은 일어나지 않게 된다<sup>7)</sup>. 따라서 이것은

$$\Delta \dot{\omega} = K_v \frac{V_{cc}}{2R_5 C_1} \ll \omega_n^2 = \frac{K_v K_d}{R_1 C_1}$$

로 표현되고, 이 식은

$$\frac{V_{cc} R_1}{2R_5} \ll K_d \quad (11)$$

와 같이 나타나게 되어  $R_5$ 는  $R_1$ 보다 매우 큰 저항이 되게 된다. 이러한 면을 고려  $R_5=510 \text{ kohm}$ 으로 선정했다. 이와 같이 선정할 경우 식 (11)의 좌변은 약  $50 \text{ mV/rad}$ 가 되며, 반면 우변은  $800 \text{ mV/rad}$ 이므로 식 (11)을 만족하는 것을 알 수 있다.

다른 하나의 조건으로는 위상 잠금이 달성되었을 때 평형 상태의 조건이 된다. 이때는 평형 상태이므로 커패시터  $C_1$ 에 흐르는 전류는 0이 되게 된다. 0이 아닐 경우 +일 경우 커패시터에 축적된 전하의 변화로 출력 전압은 감소하게 되고, 반면 -일 경우 출력 전압은 증가하게 된다. 따라서 이 때 저항  $R_1$ 을 통해 흐르는 전류는 모두 저항  $R_5$ 에 흐르게 되어 앞서 설명한 삼각파는 사라지게 된다. 따라서 이 조건을 수식으로 쓰면

$$\pm \frac{V_{cc}}{2R_5} = \frac{K_d \theta_e}{R_1} \quad (12)$$

가 된다. 여기서  $\theta_e$ 는 위상 오차를 나타낸다.  $\theta_e$ 는 위상검출기의 속성상  $\pm\pi/2$ 보다 작아야 하므로 식 (12)와 식 (11)은 같은 조건이 되는 것을 알 수 있다. 식 (12)에서 문제가 되는 것은 루프 필터로 동작하는 OPA5의 +와 -단자 사이의 DC 전압 차이가 있을 경우 이러한 DC 전압은 오차가 크다면, 오차 전압에 의하여 식 (12)의 좌변의 Schmitt trigger의 전류를 보상하므로 위상 오차에 의한 평형은 존재하지 않게 된다. 따라서 이러한 오차 전압을  $\Delta V_e$ 이라고 하면, 이것은 식 (13)을 만족해야 한다.

$$\frac{\Delta V_e}{R_1} < \frac{V_{cc}}{2R_5} \quad (13)$$

#### 2.4 PLDRO 제작 및 측정

그림 13에는 설계 및 제작된 PLDRO의 사진을 보

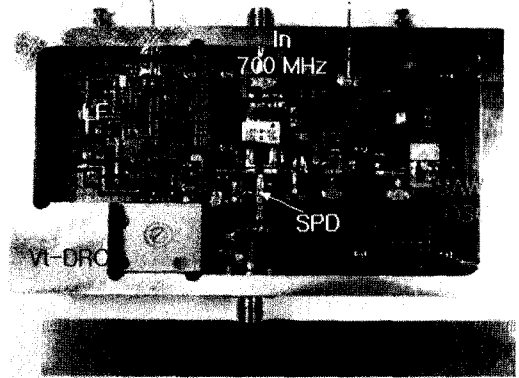


그림 13. 제작된 PLDRO 사진  
Fig. 13. Photograph of fabricated PLDRO.

이고 있고, 크기는  $63.6 \times 101.2 \text{ mm}^2$ 을 가지며, 하우징은 알루미늄으로 가공하였다.

이것의 위상 잠금은 까다로우서 체계적인 조정 절차가 필요하다.

- 1) 우선 장착된 VTDRO에 약 5 V(이것은 조정 전압의 중간 값에 해당한다)를 인가하고 출력을 스펙트럼 분석기로 계측하면서 조정 나사를 조정하여 16.8 GHz에 위치하도록 한다. VTDRO의 전기적 조정 범위는 제한되어 있기 때문에 이러한 작업이 필요하다.
- 2) 다음으로 동축 프로브를 이용하여 VTDRO의 출력이 SPD에 적정 입력인 0~4 dBm의 전력을 공급하는지 확인한다.
- 3) 또한, 기준 발진기의 700 MHz 출력이 SPD 적정 입력인 17 dBm 이상 인가되는지 스펙트럼 분석기와 동축 프로브를 이용하여 확인한다.
- 4) 다음은 SPD의 출력에 나타나는 beat note의 peak-to-peak 정현파 전압을 확인한다.
- 5) 이와 같이 RF 경로의 확인이 끝나면, 그림 9의 저항  $R_5$ 를 제거하고 DVM으로 그림 9의 가변 저항  $R_{10}$ 을 조정하여 OPA2의 출력 DC 전압과 OPA5의 +단자의 DC 전압차가 식 (11)을 만족하도록 하며, 이때 DC 전압은  $V_{cc}/2=5 \text{ V}$ 가 되도록 한다.
- 6) 다음은 루프 필터의 SPD 입력을 끊고 저항  $R_5$ 를 연결한다. 이때 루프 필터 출력에는 삼각파가 발생하게 되는데, 이것의 peak 값들이

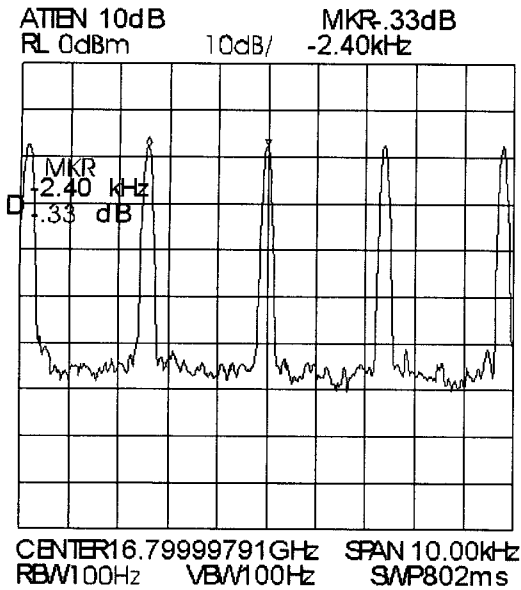


그림 14. 신호원 주파수를 100 Hz step으로 변화시켰을 때 VTDR의 주파수 변화  
 Fig. 14. Frequency change corresponding to frequency change of signal generator with 100 Hz step.

VTDR의 조정 전압 범위가 되도록 그림 9의  $R_6$  및  $R_4$ 를 조정한다. 삼각파의 기울기는 위상 잠금에 있어서 중요한 역할을 하게 되는데, 그림 9의  $R_5$ 를 조정하여 삼각파의 주기 및 기울기가 원하는 기울기가 되도록 한다. 즉, 이것의 기울기를  $S$ 라고 할 때  $\Delta\omega = K_v S \ll \omega^2$ 을 만족하는지 확인한다.

이상과 같이 일련의 조정 작업이 끝나면 위상 고정이 되게 되는데, 이의 확인을 위하여 장착된 SAW 발진기 대신에 signal generator를 연결하고 이것의 주파수를 약간 변화시키면 이에 따라 위상 잠금된 VTDR의 주파수가 변하게 된다. 그림 14는 이것을 나타내었다. 즉, signal generator의 출력 주파수를 100 Hz 간격으로 변화시킬 때 VTDR는 이것의 24배인 2.4 kHz 간격으로 변화하게 된다. 그림 14에서 이것을 확인할 수 있다.

그림 15(a)는 신호원을 제거하고 SAW 발진기를 기준 발진기로 사용하였을 때 위상 잠금이 된 스펙트럼을 나타낸다. 측정시 20 dB 감쇄기를 통과한 단일 스펙트럼으로서, 16.8 GHz의 주파수를 가지고 있다. 사용된 케이블의 손실(Ku-대역에서 약 2.3 dB)<sup>[19]</sup>

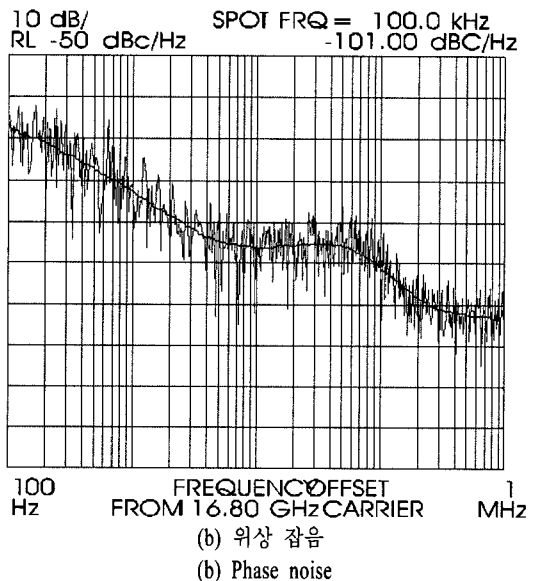
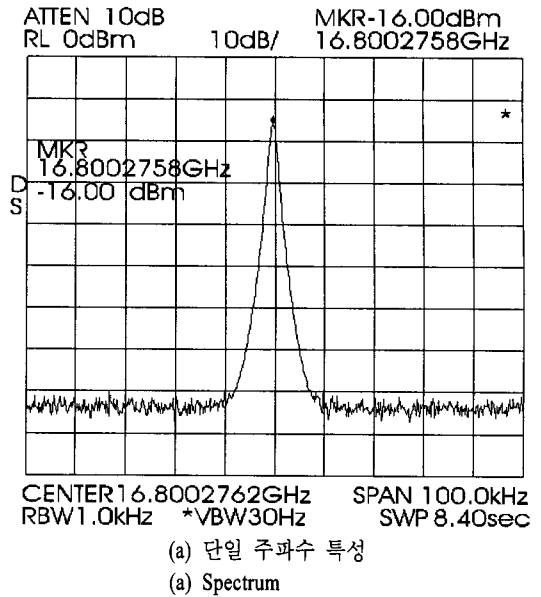


그림 15. 제작된 PLDR  
 Fig. 15. Fabricated PLDR.

및 감쇄기(20 dB)의 손실을 고려하면 약 6.3 dBm의 출력이 얻어지는 것을 알 수 있다. 그림 15(b)는 위상 잠금이 완성된 단일 스펙트럼의 위상 잠음을 측정된 결과로 100 kHz offset에서 -101 dBc/Hz임을 알 수 있다.

### III. 결 론

본 논문에서는 크기  $63.6 \times 101.2 \text{ mm}^2$ 를 가지는 Ku-

대역 PLDRO의 설계 및 제작 과정을 보였다. 특히 부품의 형태를 고려한 배치 방법과 체계적으로 각 부의 검증에 위한 측정 점의 삽입 등을 통하여, 복잡한 시스템의 제작이 가능하였다. 제작된 위상 잠금 회로의 측정 결과는 16.8 GHz 중심 주파수에서 약 6.3 dBm의 출력 전력, 그리고  $-101$  dBc/Hz(100 kHz offset)의 위상 잡음 가지는 만족스러운 결과를 얻었다.

### 참 고 문 헌

- [1] T. A. Bos, F. Bayer, and U. Lott, "A low cost 16.2 GHz phase noise locked oscillator for wireless LAN", *IEEE MTT-S Digest*, vol. 53, no. 9, pp. 1395-1398, 1997.
- [2] National Semiconductor, *PLL Performance, Simulation, and Design*, 2001.
- [3] NEC, *16 GHz Divide by 8 Prescaler IC for Satellite Communication, uPB1514TU*, Available: <http://www.cel.com>
- [4] Agilent, *HMMC3008 DC-16 GHz GaAs HBT MMIC Divide 8 Prescaler*, Available: <http://www.agilent.com>
- [5] Metelics Corporation, *The Sampling Phase Detector MSPD2018-E50*, Available: <http://www.metelics.com>
- [6] AeroflexMetelics Corporation, *The Sampling Phase Detectors MSPD2018-E50*, Available: <http://www.metelics.com>
- [7] F. M. Gardener, *Phaselock Tevhniques*, 3rd Edition, John Wiley & Sons Inc., pp. 183-206, 2005.
- [8] A. Brillant, "Understanding phase-locked DRO design aspects", *Microwave J.*, Sep. 2000.
- [9] 이건준, 김영식, "Ku-Band용 위상 고정 고조파 발진기 설계", *한국전자과학회논문지*, 16(1), 2005년 1월.
- [10] J. Perez, P. Dorta, and F. Silerra, "A comparison of the performance of three different phase locked oscillators fabricated at 21 GHz", *IEEE MTT-S Digest*, pp. 305-308, 1992.
- [11] LUCIX Corporation, *16.8 GHz FRDRO LO-164-FC*, Available: <http://www.lucix.com>
- [12] Seiko Epson Corporation, *3.3 V UHF LV-PECL NEW-SAW Oscillator EG-2102CA-P*, Available: <http://www.epsondevice.com>
- [13] NEC Corporation, *5 V-BIAS, +17.5 dBm OUTPUT, 2.0 GHz WIDEBAND Si MMIC AMPLIFIER uPC1678GV*, Available: <http://www.nec.com>
- [14] AVAGO Technologies, *+22 dBm Psat 3 V Power Amplifier for 0.5~6 GHz MGA-83563*, Available: <http://www.avago.com>
- [15] Mini-Circuits Corporation, *RF Transformer 50 ohm 50 to 1,000 MHz JTX-4-10T*, 2002, Available: <http://www.minicircuits.com>
- [16] On Semiconductor, *Single Supply 3.0 V to 44 V Operational Amplifiers MC33071,2,4,A*, 2002, Available: <http://www.onsemi.com>
- [17] On Semiconductor Corporation, *1.0 A Low-Dropout Positive Fixed and Adjustable Voltage Regulator, NCP 1117, NCV 1117*, 2004, Available: <http://www.onsemi.com>
- [18] Maxim Corporation, *+5 V Programmable Low-Dropout Voltage Regulator MAX 667*, 1994, Available: <http://www.triquint.com>
- [19] Gigalane, *Coaxial Micro Plugs(CMP) upto 7 GHz*, Available: <http://gigalane.com>

오 바담가라와



2003년 1월: 몽골국립과학기술대학교 정보통신 전공 (공학사)  
2008년 8월: 충남대학교 전파공학 전공 (공학석사)  
[주 관심분야] 초고주파 능동회로 및 시스템

이 만 희



2007년 2월: 충남대학교 전자전파정보통신 전공 (공학사)  
2007년 3월~현재: 충남대학교 전파공학 전공 석사과정  
[주 관심분야] 초고주파 능동회로 및 시스템

양 승 식



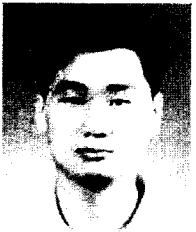
2003년 2월: 충남대학교 전파공학과 (공학사)  
2005년 2월: 충남대학교 전파공학과 (공학석사)  
2005년 3월~현재: 충남대학교 전파공학과 박사과정  
[주 관심분야] 초고주파 능동회로 및 시스템, MMIC 설계

정 해 창



2008년 2월: 충남대학교 전자전파정보통신 전공 (공학사)  
2008년 3월~현재: 충남대학교 전파공학 전공 석사과정  
[주 관심분야] 초고주파 능동회로 및 시스템

오 현 석



2005년 2월: 충남대학교 전파공학과 (공학사)  
2005년 3월~2007년 2월: 충남대학교 전파공학과 (공학석사)  
2007년 2월~현재: 충남대학교 전파공학과 박사과정  
[주 관심분야] 마이크로파 회로 설계

염 경 환



1976년~1980년: 서울대학교 전자공학과 (공학사)  
1980년~1982년: 한국과학기술원 전기 및 전자과 (공학석사)  
1982년~1988년: 한국과학기술원 전기 및 전자과 (공학박사)  
1988년 3월: 금성전기(주) 소재부품연구소 선임연구원 (MIC팀 팀장)  
1990년 3월: 금성전기(주) 소재부품연구소 책임연구원  
1991년 5월: 금성정밀(주) 기술연구소 연구1실 책임연구원  
1991년 8월: (주) LTI  
1999년 10월~현재: 충남대학교 전파공학과 교수  
[주 관심분야] 초고주파 능동 회로 및 시스템, MMIC 설계