
나노구조 FinFET에서 게이트산화막의 특성에 따른 터널링의 변화 분석

정학기*

Analysis of Tunneling Transition by Characteristics of Gate Oxide for Nano Structure FinFET

Hak Kee Jung*

요 약

본 연구에서 나노구조 FinFET 제작시 게이트산화막 특성이 서브문턱영역에서 전송특성에 미치는 영향을 분석하고자 한다. 이를 위하여 분석학적 전송모델을 사용하였으며 분석학적 모델을 유도하기 위하여 포아슨방정식을 이용하였다. 나노구조 FinFET에서 문턱전압이하의 전류전도에 영향을 미치는 열방사전류와 터널링전류에 대하여 분석하였으며 본 연구의 모델이 타당하다는 것을 입증하기 위하여 서브문턱스윙값을 이차원 시뮬레이션값과 비교하였다. 결과적으로 본 연구에서 제시한 전송특성모델이 이차원 시뮬레이션모델과 매우 잘 일치하였으며 FinFET의 전송특성이 게이트산화막의 특성에 따라 매우 큰 변화를 보이는 것을 알 수 있었다. 특히 게이트길이가 작아지면서 전송특성에 커다란 영향을 미치는 터널링특성에 대하여 집중적으로 분석하였다.

ABSTRACT

In this paper, it has been analyzed how transport characteristics is influenced on gate oxide properties in the subthreshold region as nano structure FinFET is fabricated. The analytical model is used to derive transport model, and Possion equation is used to obtain analytical model. The thermionic emission and tunneling current to have an influence on subthreshold current conduction are analyzed for nano-structure FinFET, and subthreshold swings of this paper are compared with those of two dimensional simulation to verify this model. As a result, transport model presented in this paper is good agreement with two dimensional simulation model, and this study shows that the transport characteristics have been changed by gate oxide properties. As gate length becomes smaller, tunneling characteristics, one of the most important transport mechanism, have been analyzed.

키워드

FinFET, 포아슨방정식, 서브문턱스윙, 터널링

I. 서론

세계 최대 반도체 회사인 인텔이 작년 하반기에 45nm 공정기술을 적용한 프로세서에 이어 플래시 메모리 분

야에도 40nm급 공정을 적용키로 함에 따라 전세계 플래시 메모리 업체간 기술 경쟁이 열기를 더하고 있다. 인텔이 계획대로 40nm 공정을 플래시 메모리에 적용할 경우 올 하반기 40nm급 낸드플래시를 생산키로 한 삼성전자

나 일본의 도시바보다 앞서 40nm 기술에 진입하게 된다. 삼성전자는 CTF(Charge Trap Flash) 기술을 적용하여 올 하반기 40nm 32Gb 플래시 메모리를 생산할 것이라 발표한 상태이며 도시바는 도시바 메모리 사업전략보고서를 통하여 올 하반기 40nm급 MLC(Multi Level Cell) 낸드 플래시 메모리를 개발키로한 바 있다. 이와 같이 올해는 나노급 반도체 메모리소자 뿐만 아니라 프로세서까지 개발되고 있는 실정이므로 향후 나노소자에 대한 연구는 국가 기술경쟁의 기틀이 될 것이다.

나노급 소자에 대한 연구 중 가장 앞서가는 소자는 이중게이트 MOSFET(Double Gate MOSFET; DG MOSFET)이다. 소자의 크기가 나노단위까지 감소하면서 단일 게이트 MOSFET에서 발생하는 단채널효과(Short Channel Effect; SCE)를 더 이상 감당할 수 없을 정도로 소자특성에 영향을 미치고 있다. 이와 같은 단채널효과를 보완하기 위하여 개발된 것이 이중게이트 MOSFET 소자이다. 이중게이트 MOSFET은 우수한 스케일효과에 의하여 20nm 이하 차세대 주력 FET 소자 제작의 가능성에 대한 연구가 활발히 진행 중에 있다 [1][2]. MOSFET의 채널길이가 점점 작아지면서 발생하는 단채널효과는 단일 게이트로 제작된 MOSFET의 크기감소에 커다란 제약이 되고 있다. 이와 같은 단채널효과를 감소시키기 위하여 개발하기 시작한 이중게이트 MOSFET은 두개의 게이트로 인하여 채널전류 제어용량이 거의 두배로 증가할 뿐만이 아니라 채널두께 제한 및 게이트산화막 터널링 등 심각한 단채널효과를 제어할 수 있다는 장점을 가지고 있다. 이중게이트 MOSFET은 공정상의 어려움으로 인하여 주로 핀(Fin) 형태를 게이트 구조로 이용하여 이중게이트 구조를 제작하는 FinFET로 제작하고 있다. 이러한 FinFET 구조 제작시 가장 중요한 요소는 게이트 산화막의 특성이다. 채널길이가 20nm 이하로 작아지면서 터널링 전류가 크게 증가하므로 [3] 문턱전압이하 특성이 저하되어 누설전류가 크게 증가하게 된다. 특히 채널길이가 감소하면서 스케일링 이론에 따라 게이트산화막의 두께도 감소하여야 하므로 산화막으로의 터널링에 의한 누설전류를 방지하기 위하여 임계두께를 가져야 할 것이다. 산화막 두께 및 유전율 등에 따라 전송특성에 심각한 영향을 미치고 있다. 그러므로 본 논문에서는 문턱전압이하의 인가전압 조건에서 게이트 산화막의 특성이 전송특성에 미치는 영향을 고찰하고자 한다. 즉, 문턱전압이하에서 산화

막 두께에 따른 터널링 전류의 변화를 중심으로 고찰함으로써 산화막 특성이 전자전송특성에 미치는 영향을 분석하고자 한다. 2장에서는 이론적 배경에 대하여 설명할 것이며 3장에서는 결과를 고찰하고 4장에서 결론을 맺을 것이다.

II. FinFET

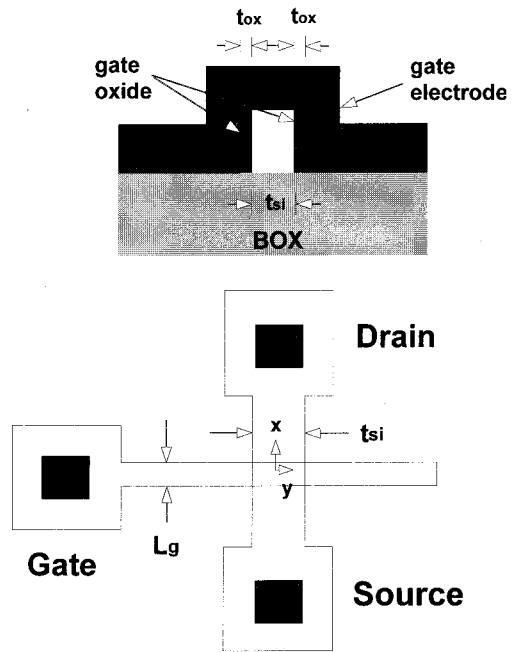


그림 1. 핀FET 구조
Fig. 1 Structure of FinFET

일반적인 DG MOSFET의 채널영역은 형태에 관계없이 두개의 게이트를 가지고 있다. 특히 FinFET의 경우는 그림 1과 같이 게이트산화막이 채널을 둘러싼 형태를 취하고 있다. 집적도의 문제를 가진 수평형구조와 공정상의 문제를 지닌 수직형구조의 장점만을 결합한 구조라고 할 수 있다. FinFET의 경우 핀구조를 매립형 산화막(Buried OXide; BOX) 위에 형성하는 구조로서 다른 구조보다 초미세 채널길이 및 채널두께를 정의할 수 있다. 채널은 저도핑하여 완전결핍상태에서 동작하도록 하며, 대칭적인 구조로 P+ 폴리실리콘게이트를 사용하였으며

구조적 파라미터는 채널두께 t_{Si} , 게이트산화막 두께 t_{ox} 그리고 게이트길이 L_y 등이다. 채널도핑은 $N_A = 10^{16}/cm^3$, n형 소스와 드레인 영역도핑은 $N_D = 10^{20}/cm^3$ 을 사용하였으며 폴리실리콘게이트의 P형 도핑도 $N_A = 10^{20}/cm^3$ 을 사용하였다.

FinFET의 경우, 서브문턱영역에서 열방출 및 터널링 전류가 대부분을 차지할 것이며 전류를 구하기 전에 미리 채널내 포텐셜분포 Ψ 를 구해야만 한다. 서브문턱영역에서 채널포텐셜은 완전히 결핍상태에서 포아슨방정식을 이용하여 구할 수 있다[4].

중첩의 원리를 사용하여 Ψ 는

$$\Psi(x, y) = V_{GS} - \Phi_{MS} + U_{1D}(y) + \Phi_{2D}(x, y) \quad (1)$$

와 같이 표현되며 여기서 V_{GS} 는 게이트전압, Φ_{MS} 는 게이트-채널간 일함수차이다. 그리고 $U_{1D}(y)$ 는 일차원 포아슨방정식의 일반해로서

$$U_{1D}(y) = \frac{V_A}{2} \left(\frac{y^2}{t_{Si}^2} - \frac{1}{4} - \frac{1}{y} \right) \quad (2)$$

이며 여기서 t_{Si} 는 채널두께, $V_A = qN_A t_{Si}^2 / \epsilon_{Si}$, $y = \epsilon_{ox} t_{Si} / \epsilon_{Si} t_{ox}$ (여기서 t_{ox} 는 게이트산화막의 두께이며 ϵ_{ox} 는 산화막의 유전율이다.)이다. 산화막 특성이 전송특성에 영향을 미치는 요소는 V_A 와 캐패시턴스율로서 알려진 y 이다.

$\Phi_{2D}(x, y)$ 항은 소스/드레인의 영향을 표현한 이차원 라플라스방정식의 해로서

$$\begin{aligned} \phi_{2D}(x, y) = & \sum_j \Gamma_j \cos \frac{y}{\lambda_j} [V_j (\sinh \frac{x}{\lambda_j} + \sinh \frac{L-x}{\lambda_j}) \\ & + V_{Ds} \sinh \frac{x}{\lambda_j}] / \sinh \frac{L}{\lambda_j} \end{aligned} \quad (3)$$

이다. 여기서 λ_j 는 다음을 만족시키는 고유값이다.

$$\begin{aligned} \tan \frac{t_{Si}}{2\lambda_j} &= \frac{\gamma\lambda_j}{t_{Si}} \quad (4) \\ \Gamma_j &= \frac{2\lambda_j}{t_{Si}} \sqrt{1 + \frac{t_{Si}^2}{\gamma^2\lambda_j^2}} / \left(\frac{1}{\gamma} + \frac{1}{2} + \frac{1}{2} \frac{t_{Si}^2}{\gamma^2\lambda_j^2} \right) \\ V_j &= V_{bi} - V_{GS} + \Phi_{MS} + V_A \lambda_j^2 / t_{Si}^2 \end{aligned}$$

λ_j 라는 파라미터를 구할 때 역시 캐패시턴스 및 V_A 와 같이 산화막 특성에 영향을 미치는 요소가 포함되어 있다.

대부분의 캐리어가 이동되어지는 최소 채널포텐셜 Φ_{min} 은 $\partial\Psi(x, y) / \partial x = 0$ 에서 구할 수 있으며 이때 전류 I_D 는 자유전자의 총량에 비례하며 이의 밀도는 고전적 볼츠만통계를 따른다고 가정한다.

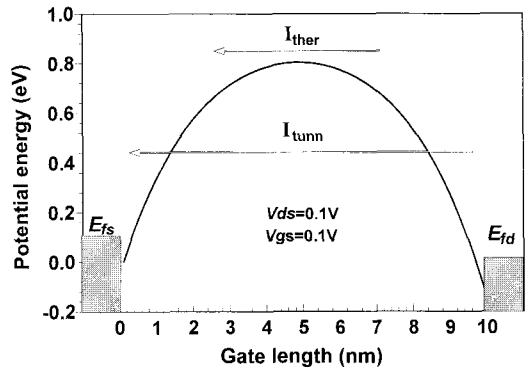


그림 2. 열적 전류 (I_{ther})와 터널링 전류 (I_{tunn})
Fig. 2 Thermionic current (I_{ther}) and tunneling current (I_{tunn})

그림 2와 같이 표시할 수 있는 열적 전류 I_{ther} 와 터널링 전류 I_{tunn} 의 합으로 I_D 를 구할 수 있다.

$$I_{ther} = qn_m(y)v_{th}t_{Si}W/6 \approx qn_m(d_{eff})v_{th}t_{Si}W/6 \quad (5)$$

$$I_{tunn} = (qN_D t_{Si} W/6)(2T_t v_{th_i}/3 + T_i v_{th_i}/3) \quad (6)$$

$$I_D = I_{ther} + I_{tunn} \quad (7)$$

이다[3]. 여기서 T_i 와 v_{th_i} 는 종방향 실효질량을 가진 전자의 터널링확률 및 열적 속도이며 T_t 와 v_{th_t} 는 횡방향 실효질량을 가진 전자의 터널링확률 및 열적 속도

이다. 파라미터 d_{eff} 는 자유전자의 전도중심을 나타낸다[4]. 이때 $T_{t,l}$ 은 다음과 같이 표현된다.

$$T_{t,l} = \exp \left[-2 \int_{x_1}^{x_2} |\alpha_{t,l}(x)| dx \right] \tag{8}$$

$$\alpha_{t,l}(x) = \sqrt{\frac{2m_{t,l} [q\psi(x, d_{eff}) - E_{fm}]}{\hbar}}$$

여기서 $\psi(x, d_{eff})$ 는 포텐셜분포함수로서 전술한 바와같이 터널링확률에 영향을 미치고 있다는 것을 알 수 있다. 그림 2에서도 알 수 있듯이 터널링전류는 채널 포텐셜분포함수의 폭에 따라 변화함을 알 수 있으며 채널길이가 20nm이하로 감소할 때 식 (6)과 같은 터널링전류는 무시할 수 없으며 이때 서브문턱스윙값은 다음 식에 의하여 구할 수 있다.

$$SS = \left[\frac{\partial \log(I_D)}{\partial V_{GS}} \right]^{-1} \tag{9}$$

이상과 같은 이론적 배경을 근거로 하여 산화막 특성에 따른 터널링 특성 등 전송특성의 변화를 고찰할 것이다.

III. 산화막특성에 따른 전송특성분석

먼저 본 연구의 모델에 대한 타당성을 검토하기 위하여 서브문턱스윙을 이차원 시뮬레이션값[5]과 비교하였다. 그림 3에 도시한 바와 같이 이차원 시뮬레이션값과 매우 잘 일치하므로 본 연구에서 제시한 모델이 타당함을 알 수 있었다. 특히 게이트길이가 12nm이하에서 급격히 터널링전류에 의한 서브문턱스윙값의 저하현상이 뚜렷이 나타났다. 게이트산화막의 두께변화에 대한 결과를 비교해 보면 산화막두께가 증가하면 터널링전류를 고려하지 않았을 때 서브문턱스윙값이 증가하나 터널링현상을 고려하여 서브문턱스윙을 계산해보면 거의 차이가 나지 않는다는 것을 알 수 있었다. 게이트길이가 아지면 거의 차이를 보이지 않고 있다. 이는 10nm이하의 초미세 게이트길이에서는 터널링에 의한 전류가 열적 전류보다 더 큰 영향을 미치기 때문이다. 게이트 길이가 감소하면 터널링전류에 의한 효과를 무시할 수 없어서

브문턱스윙이 급격히 증가함을 알 수 있었다. 특히 산화막두께가 0.5nm에서 1.5nm정도로 증가할지라도 10nm 이하 게이트길이를 갖는 FinFET에서는 서브문턱스윙이 거의 일정함을 알 수 있었다. 그러나 채널두께에 따라 큰 변화를 보이는 것을 관찰할 수 있다.

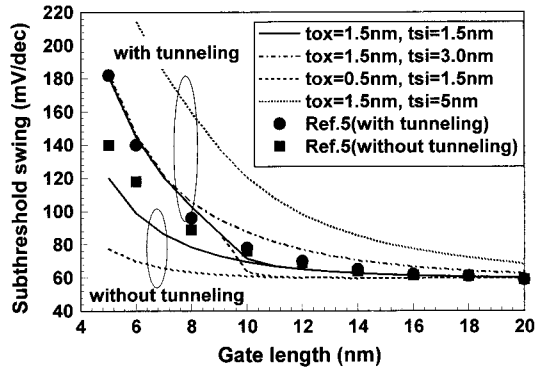


그림 3. 서브문턱스윙의 비교
Fig. 3 Comparison of subthreshold swings

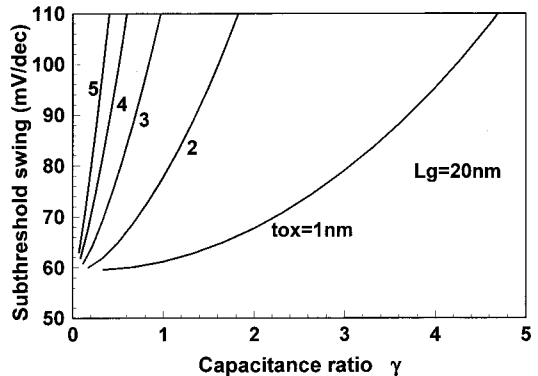


그림 4. 캐패시턴스율에 따른 서브문턱스윙변화
Fig. 4 Subthreshold swings for capacitance ratio

산화막두께에 대한 효과를 좀더 자세히 고찰하기 위하여 그림 4에 캐패시턴스율의 변화에 대한 서브문턱스윙값의 변화를 도시하였다. 캐패시턴스율이 증가할수록 서브문턱스윙값은 크게 증가함을 알 수 있었다. 또한 게이트산화막의 두께가 증가할수록 급격히 서브문턱스윙값이 증가하고 있다. 게이트산화막의 두께가 일정할 때 캐패시턴스율이 증가한다는 것은 결국 채널두께가 증가하는 것이므로 전술한 바와같이 채널두께가 증가할수록 서브문턱스윙이 크게 증가한다는 것을 알 수 있

었다. 또한 채널두께 및 산화막두께가 고정되었을 경우를 생각해보면 캐패시턴스율의 증가는 산화막의 유전율증가로 볼 수 있다. 그림 5에서 실리콘산화막의 유전율은 3.9정도이므로 유전율이 10배 증가한다고 가정하고 터널링전류의 변화를 관찰하였다.

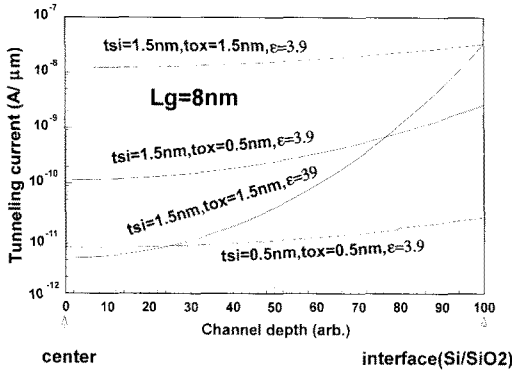


그림 5. 채널내 터널링전류분포
Fig. 5 Tunneling current distribution in channel

유전율이 10배로 증가할 때 채널내 터널링전류의 변화가 매우 급격하다는 것을 알 수 있다. 그림 3에서 알 수 있듯이 이는 서브문턱스윙의 증가로 나타난다. 산화막의 두께만 변화된 경우 증가율이 거의 동일하므로 서브문턱스윙도 거의 동일한 결과를 얻을 수 있었다. 또한 채널두께가 감소하면 터널링전류를 급격히 감소시킬 수 있다는 것을 관찰할 수 있다. 게이트절연막으로 실리콘산화막(SiO_2)을 실리콘질화막(Si_3N_4)대치할 경우 서브문턱스윙의 변화를 그림 6에 도시하였다. 디지털소자에 사용가능한 임계치인 70mV/dec 을 얻기 위한 FinFET 소자의 구조적 파라미터를 고찰할 수 있다. 게이트절연막의 종류에 관계없이 두께가 감소하면 채널두께는 증가해야만 일정한 서브문턱스윙값을 유지할 수 있다. 게이트절연막으로 실리콘질화막을 사용하였을 경우, 채널두께 또는 게이트절연막 두께가 증가하여도 실리콘산화막을 사용하였을 때와 동일한 서브문턱스윙값을 얻을 수 있었다. 즉, 실리콘질화막을 게이트산화막으로 사용하면 구조적파라미터의 여유도가 증가함을 알 수 있었다.

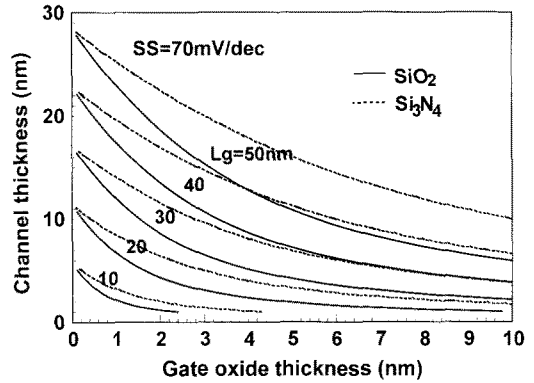


그림 6. 게이트절연막 물질에 따른 서브문턱스윙
Fig. 6 Subthreshold swings for gate insulators

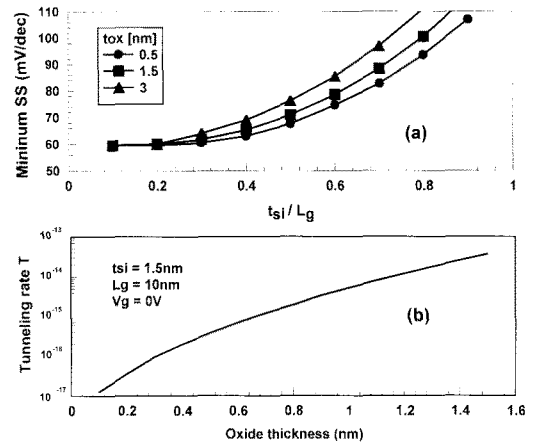


그림 7. (a) 최소 서브문턱스윙 (b) 게이트산화막 두께에 대한 터널링 확률

Fig. 7 (a)Minimum subthreshold swings
(b) Tunneling rate for gate oxide thickness

그림 7에 서브문턱스윙과 터널링에 대한 관계를 산화막두께에 대하여 고찰하였다. 게이트산화막의 두께가 증가할수록 터널링 확률도 증가함을 알 수 있었으며 이는 결과적으로 최소 서브문턱스윙의 증가로 나타나고 있다. 또한 채널두께의 증가는 최소 서브문턱스윙값을 크게 증가시키는 것을 알 수 있었다. 그러므로 게이트산화막 및 채널의 두께는 가능하면 작게 제작하여야만 최소 서브문턱스윙값을 작게 할 수 있다. 단일게이트 MOSFET의 경우 채널두께 대 게이트길이의 비가 1/3이하에서만 디지털소자로 사용가능한 70mV/dec 이하

의 서브문턱스윙값 등 우수한 전송특성을 보이고 있으나 FinFET의 경우 $t_{ox} = 0.5nm$ 에서 약 2/3까지 증가시킬 수 있다는 것을 알 수 있다.

IV. 결 론

본 연구에서는 FinFET에서 게이트산화막 특성에 따른 서브문턱스윙 및 터널링 등 전송특성의 변화를 고찰하였다. 제시한 전송모델의 타당성을 입증하기 위하여 이차원 시뮬레이션값과 서브문턱스윙값을 비교하였으며 매우 잘 일치함을 알 수 있었다. 게이트산화막의 두께 및 유전율 등 산화막 특성에 따른 서브문턱스윙의 관계를 분석하여 우수한 서브문턱스윙값을 갖기 위한 게이트산화막의 관계를 고찰하였다. 문턱전압이하 영역에서 보다 자세히 전송특성을 분석하기 위하여 터널링전류를 이용하였다. 채널길이가 감소하면 터널링전류의 대폭적인 증가에 의하여 서브문턱스윙 특성이 저하하는 것을 알 수 있었으며 게이트산화막의 두께가 감소할수록 서브문턱스윙 값이 감소함을 알 수 있었다. 또한 유전율의 증가는 터널링전류의 대부분을 실리콘/게이트계면에서 흐르게하므로 즉, 전도중심을 게이트콘택으로 이동시켜 서브문턱스윙 값을 증가시킨다는 것을 알 수 있었다. 그러므로 디지털소자용으로 사용하기 위하여 보다 작은 서브문턱스윙 값을 갖는 소자를 제작하여야만하며 이때 터널링효과를 감소시키기 위하여 게이트산화막두께를 감소시켜야 한다.

참고문헌

[1] D.S.Havaladar, G.Katti, N.DasGupta and A.DasGupta, "Subthreshold Current Model of FinFETs Based on Analytical Solution of 3-D Poisson's Equation," IEEE Trans. Electron Devices, vol. 53, no.4, 2006.

[2] G.Katti, N.DasGupta and A.DasGupta, "Threshold Voltage Model for Mesa-Isolated Small Geometry Fully Depleted SOI MOSFETs Based on Analytical Solution of 3-D Poisson's Equation," IEEE Trans. Electron Devices, vol. 51, no.7, 2004.

[3] H.K.Jung and S.Dimitrijevic, "Analysis of Subthreshold Carrier Transport for Ultimate Double Gate MOSFET," IEEE Trans. Electron Devices, vol. 53, no.4, pp.685-691, 2006.

[4] Q.Chen, B.Agrawal, J.D.Mein, "A Comprehensive Analytical Subthreshold Swing(S) Model for Double-Gate MOSFETs," IEEE Trans. Electron Devices, vol. 49, no.6, pp.1086-1090, 2002.

[5] D.Munteanu and J.L.Autran, "Two-dimensional modeling of quantum ballistic transport in ultimate double-gate SOI devices," Solid-State Electronics, vol.47, pp.1219-1225, 2003.

저자소개

정학기(Hak Kee Jung)



1983.3 아주대학교 전자공학과 졸업
 1985.3 연세대학교 전자공학과 M.S.
 1990.8 연세대학교 전자공학과 Ph.D
 1995.8 일본 오사카대학 교환교수

2005.8 호주 그리피스대학 교환교수

1990.3-현재 군산대학교 전자정보공학부 교수

※관심분야 : 반도체소자 시뮬레이션, 몬테칼로 시뮬레이션, 회로및 시스템 해석 등