

## Mo 하지층의 첨가원소(Ti) 농도에 따른 Cu 박막의 특성

홍태기 · 이재갑<sup>†</sup>  
국민대학교 신소재공학부

### Characteristic of Copper Films on Molybdenum Substrate by Addition of Titanium in an Advanced Metallization Process

Taeki Hong and Jeagab Lee<sup>†</sup>

School of Advanced Materials Engineering, Kookmin University 861-1, Jeongneung-dong, Seongbuk-gu, Seoul 136-702, Korea

(2007년 7월 28일 받음, 2007년 9월 3일 최종수정본 받음)

**Abstract** Mo(Ti) alloy and pure Cu thin films were subsequently deposited on SiO<sub>2</sub>-coated Si wafers, resulting in Cu/Mo(Ti)/SiO<sub>2</sub> structures. The multi-structures have been annealed in vacuum at 100-600°C for 30 min to investigate the outdiffusion of Ti to Cu surface. Annealing at high temperature allowed the outdiffusion of Ti from the Mo(Ti) alloy underlayer to the Cu surface and then forming TiO<sub>2</sub> on the surface, which protected the Cu surface against SiH<sub>4</sub>+NH<sub>3</sub> plasma during the deposition of Si<sub>3</sub>N<sub>4</sub> on Cu. The formation of TiO<sub>2</sub> layer on the Cu surface was a strong function of annealing temperature and Ti concentration in Mo(Ti) underlayer. Significant outdiffusion of Ti started to occur at 400°C when the Ti concentration in Mo(Ti) alloy was higher than 60 at.%. This resulted in the formation of TiO<sub>2</sub>/Cu/Mo(Ti) alloy/SiO<sub>2</sub> structures. We have employed the as-deposited Cu/Mo(Ti) alloy and the 500°C-annealed Cu/Mo(Ti) alloy as gate electrodes to fabricate TFT devices, and then measured the electrical characteristics. The 500°C annealed Cu/Mo(Ti) alloy gate electrode TFT showed the excellent electrical characteristics (mobility = 0.488 - 0.505 cm<sup>2</sup>/Vs, on/off ratio = 2×10<sup>5</sup>-1.85×10<sup>6</sup>, subthreshold = 0.733-1.13 V/decade), indicating that the use of Ti-rich(Ti≥60at.%) alloy underlayer effectively passivated the Cu surface as a result of the formation of TiO<sub>2</sub> on the Cu grain boundaries.

**Key words** Cu, Mo(Ti) alloy, Metallization, Out-diffusion, TFT-LCDs

## 1. 서 론

최근 TFT-LCDs는 PC의 모니터 뿐만 아니라 40"이상의 대면적, 고휘도 TV에 사용하는 추세이다. 그러나 단일막 금속배선 재료로 사용되고 있는 Cr, Ta, Ta-Mo alloy는 20 μΩ-cm 이상의 높은 비저항과 대면적화에 따른 금속 배선길이의 증가 및 개구율의 증가를 위한 design rule의 감소로 인하여 RC-delay를 야기되어 LCD 화면이 켜지거나 잔상을 남기는 문제를 발생한다.<sup>1)</sup> Cu는 일반적인 배선재료로 사용되는 알루미늄보다 낮은 비저항값(1.67 μΩ-cm)과 높은 융점(T<sub>mp</sub> = 1085°C)을 갖고 있어 EM 및 SM에 대한 우수한 저항성을 가지고 있고 진보된 금속화 공정에 적합한 재료로써 상당한 주목을 받고, 활발히 연구가 진행되고 있다.<sup>2,3)</sup> 그러나 Cu는 산화가 잘 되며, 기판(Si, SiO<sub>2</sub>)과의 나쁜 접착력, 기판으로의 빠른 확산이 일어나는 문제점 등을 보여 소자공정 적용에 있

어서 신뢰성을 떨어뜨리고 있다.<sup>4,5)</sup> 이러한 문제점을 해결하기 위해서 Cu의 alloy element로서 Co,<sup>6)</sup> Mo,<sup>7)</sup> Cr,<sup>8)</sup> Ta,<sup>9)</sup> B,<sup>10)</sup> Ag<sup>11)</sup>에 관한 연구가 활발히 진행되고 있다.

본 연구에서는 Cu의 하지층으로서 Cu와 고용이 되지 않지만 실리사이드 형성이 용이한 Mo와 Cu와의 고용성이 좋지만 큰 산화경향을 갖는 Ti를 이용하여 Mo(Ti) alloy를 사용하였다. 농도에 변화를 준 하지층 Mo(Ti) alloy위의 Cu 박막의 열처리 온도에 따라서 비저항, microstructure, 확산정도 및 표면변화에 대하여 이해하고자 하였다. 또한, Cu/Mo(Ti) alloy 구조의 gate를 열처리에 의해서 형성되는 self-passivation이 gate insulator (SiN<sub>x</sub>) 증착과정에서 diffusion barrier로서의 역할을 수행할 수 있는지를 알고자 TFTs 제작 후 특성의 변화에 대하여 조사하였다.

## 2. 실험 방법

Si <100> wafer를 열산화 방법으로 100 nm 성장시킨 SiO<sub>2</sub> 기판에 Mo-Ti alloy film과 Cu film을 DC magnetron

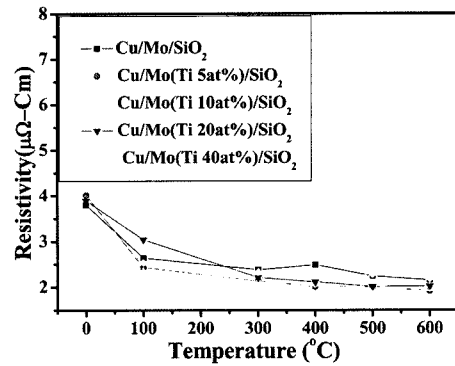
<sup>†</sup>Corresponding author  
E-Mail : lgab@kookmin.ac.kr (J. G. Lee)

sputtering을 이용하여 증착하였다. 기저압력  $1 \times 10^{-6}$  Torr, 공정압력 3 mTorr, 180 W의 조건에서 각각 20 nm, 100 nm 증착하였다. Mo(Ti) alloy은 2" Mo(5N) target에 5 mm  $\times$  5 mm Ti(5N) 조각을 올려놓고 증착하였고, Cu는 (6N) target을 이용하여 진공을 깨지 않은 상태 in-situ로 형성하였다. 같은 방법으로서 Ti(Mo) alloy는 2" Ti(5N) target에 5 mm  $\times$  5 mm Mo(5N) 조각을 올려 놓고 증착하였다. 하지층의 열적거동을 확인하기 위하여 기저압력  $2 \times 10^{-5}$  Torr, 100~600°C 구간에서 30 min 열처리 후 four point probe를 이용하여 Cu/Mo(Ti) alloy 구조의 면저항을 측정하였다.

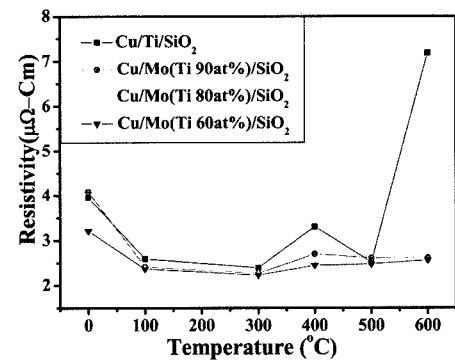
하지층 Mo(Ti) alloy의 농도 및 확산거동을 Rutherford Backscattering Spectroscopy(RBS)을 이용하여 분석하였고, Field Emission Scanning Electron Microscope (FESEM)과 Atomic Force Microscope (AFM)을 이용하여 박막의 열적 표면변화를 확인하였다. 또한, as-dep과 500°C 30 min 열처리된 Cu/Mo-Ti alloy Gate를 이용한 TFT의 전기적 특성은 HP4156C으로 분석하였다.

### 3. 결과 및 고찰

Fig. 1은 SiO<sub>2</sub> 기판에 Cu/Mo(Ti) alloy를 각각 100 nm/20 nm 증착 후 열처리 온도에 따른 비저항의 변화를 나타낸 것인데 (a), (b)는 하지층 Mo에 Ti의 농도의 변화에 따른 그래프이다. (a) 비교적 하지층의 Ti의 농도가 낮으면(<40 at.%) 열처리 온도에 따라서 비저항은 감소하는 경향을 나타내지만 (b) Ti의 농도가 높으면(>60 at.%) 열처리 온도(100~300°C)에 따라서 감소하다가 400°C 열처리 시 Ti 확산으로 인하여 비저항이 증가하



(a)



(b)

Fig. 1. Resistivity variation of (a) Cu/Mo-based/SiO<sub>2</sub> and (b) Cu/Ti-based/SiO<sub>2</sub> films as a function of annealing temperature.

고, 500°C 에서는 비저항이 낮아지는 것은 Cu 내부에 있던 Ti이 표면으로 전체 확산되었기 때문이다. 또한, 600°C 열처리 시에는 Si과의 반응으로 인하여 비저항이 증가한다.<sup>12)</sup> Cu/Mo(Ti) alloy/SiO<sub>2</sub> 의 표면변화를 관찰하기 위하여

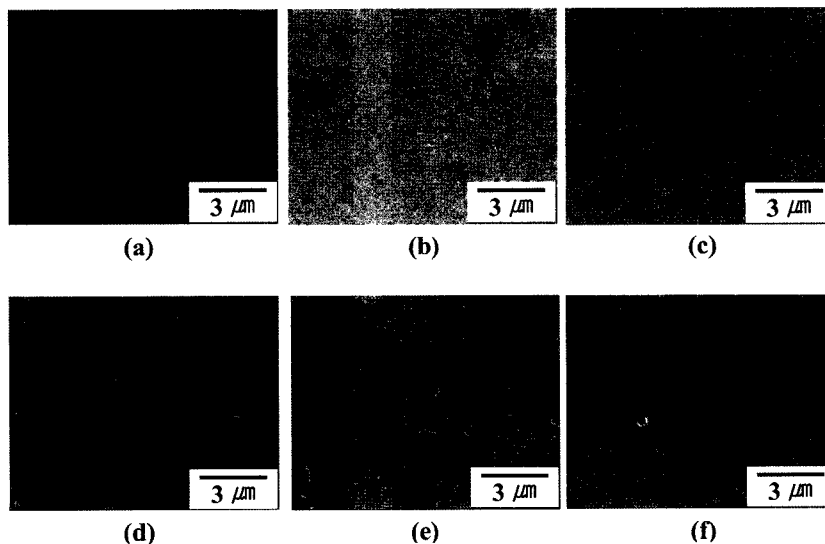
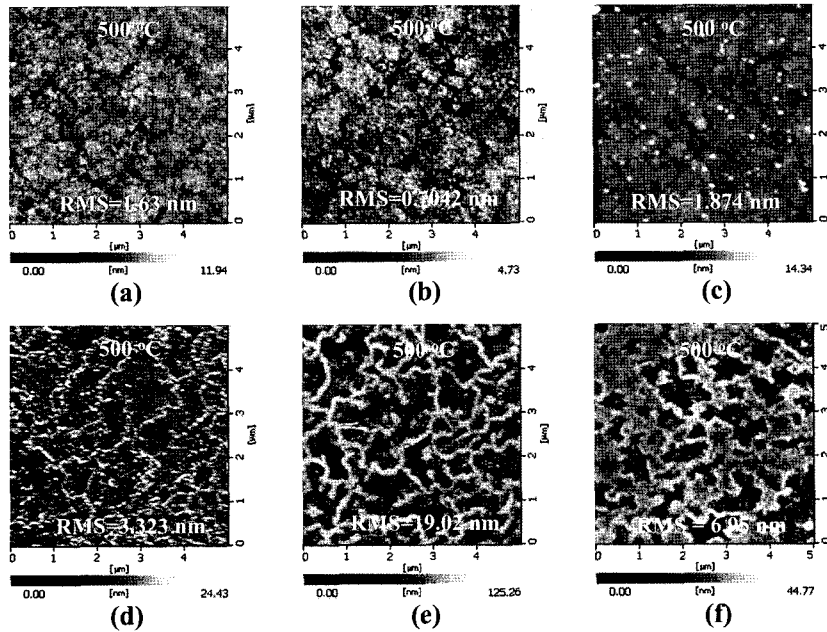


Fig. 2. FESEM images of Cu/Mo(Ti alloy)/SiO<sub>2</sub> structure after 500°C annealing for 30 minutes by Ti concentration in under layer. (a) 0 at.%, (b) 10 at.%, (c) 20 at.%, (d) 60 at.%, (e) 80 at.% and (f) 100 at.%.

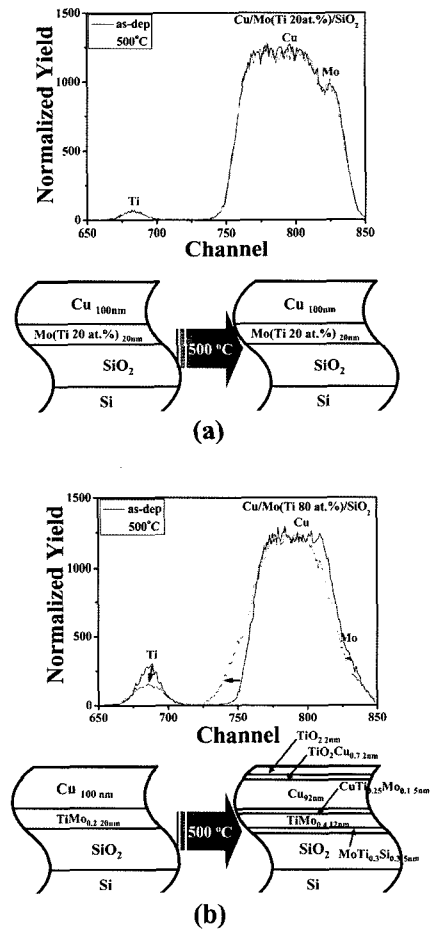


**Fig. 3.** AFM images of Cu/Mo(Ti alloy)/SiO<sub>2</sub> structure after 500°C annealing for 30 minutes by Ti concentration in under layer. (a) 0 at.%, (b) 10 at.%, (c) 20 at.%, (d) 60 at.%, (e) 80 at.% and (f) 100 at.%.

FESEM과 AFM을 이용하였다. Fig. 2는 500°C 30 min 열처리 후 FESEM을 이용하여 표면을 관찰한 것이다. 하지층의 Ti의 농도가 40 at.% 이하인 (a), (b), (c)의 images를 보면 Cu 표면에 void가 형성되어 있는 것을 확인할 수 있고, Ti의 농도에 따라서 void 크기가 (a), (b), (c) 순으로 작아진다. 하지만 Ti의 농도가 60 at.% 이상 경우인 (d), (e), (f)를 보면 void는 사라졌지만 석출물이 형성되는 것을 확인하였다. 이 석출물은 Ti의 농도가 높아질수록 표면전체에 균일하게 형성되었다.

Fig. 3 AFM images를 보면 Fig. 2 FESEM images와 같이 하지층이 pure Mo일 경우에는 void가 크게 형성되지만 Ti의 농도(<40 at.%)가 점차 높아질수록 void의 크기는 점점 작아져서 사라지고, 더 높은 Ti농도(>60 at.%)에서는 표면에 석출물이 형성되면서 표면거칠기(RMS)가 크게 증가하는 것을 확인할 수 있다.

Fig. 4는 열처리 후 표면의 변하는 원인을 조사하기 위하여 (a)는 Cu/Mo(Ti 20 at.%) / SiO<sub>2</sub> film, (b)는 Cu/Mo(Ti 80 at.%) / SiO<sub>2</sub> film의 as-dep과 500°C 열처리된 시편을 RBS 분석한 결과이다. (a)는 as-dep 상태와 500°C 열처리한 두 그래프가 일치한다. 즉, 열처리된 Cu/Mo(Ti 20 at.%) / SiO<sub>2</sub> 구조에서는 Ti의 확산이 일어나지 않고, Cu의 grain 성장으로 인하여 void가 생성되는 것이다. 반면 (b) Cu/Mo(Ti 80 at.%) / SiO<sub>2</sub> 구조에서는 500°C 열처리시 Ti peak이 감소하면서 Cu와 Mo peak이 x축으로 이동하는 것을 볼 수 있다. RBS data를 Rutherford universal manipulation program (Rump)으로 simulation한 결과를 보면 (a)는 확산이 일어나지 않은 결과를 보이고, (b)는



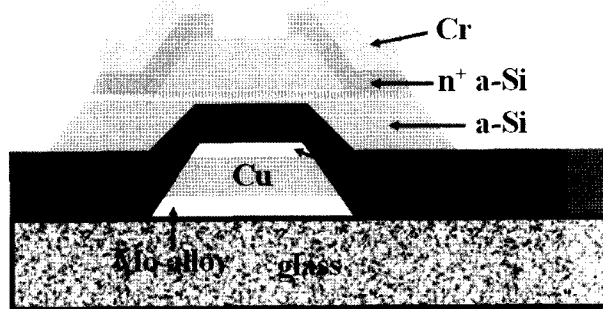
**Fig. 4.** RBS spectra of the (a) Cu/Mo(Ti 20 at.%) / SiO<sub>2</sub>, (b) Cu/Mo(Ti 60 at.%) / SiO<sub>2</sub> as a function of annealing temperature.

**Table 1(a).** A characteristic of TFT device using (a) as-dep, (b) 500°C annealed Cu/Mo(Ti) alloy gate.

	Cu/Mo	Cu/Mo (Ti 10 at.%)	Cu/Mo (Ti 20 at.%)	Cu/Mo (Ti 60 at.%)	Cu/Mo (Ti 80 at.%)	Cu/Ti
Subthreshold (V/decade)	2.69	2.07	1.51	2.34	1.99	2.26
Threshold Voltage (V)	8.95	4.78	-2.52	3.24	3.41	2.95
On/off ratio	$1.25 \times 10^5$	$1.75 \times 10^5$	$9.33 \times 10^4$	$3.35 \times 10^5$	$4.91 \times 10^5$	$6.64 \times 10^4$
Mobility ( $\text{cm}^2/\text{Vs}$ )	0.270	0.196	0.369	0.274	0.333	0.258

**Table 1(b).** (Table 1. Continued)

	Cu/Mo	Cu/Mo (Ti 10 at.%)	Cu/Mo (Ti 20 at.%)	Cu/Mo (Ti 60 at.%)	Cu/Mo (Ti 80 at.%)	Cu/Ti
Subthreshold (V/decade)	1.13	1.26	1.22	1.13	0.865	0.733
Threshold Voltage (V)	-0.244	-0.667	-1.72	-0.791	-1.65	-0.477
On/off ratio	$4.63 \times 10^4$	$5.04 \times 10^4$	$2.87 \times 10^4$	$2.02 \times 10^5$	$1.21 \times 10^6$	$1.85 \times 10^6$
Mobility ( $\text{cm}^2/\text{Vs}$ )	0.405	0.473	0.494	0.505	0.488	0.497

**Fig. 5.** A schematic view of the TFT using the Cu/Mo(Ti) alloy gate annealed at 500°C

Ti의 확산으로 인하여 표면에  $\text{TiO}_2$ 가 22 nm 형성된 것을 알 수 있다. 이것은 FESEM 과 AFM 결과에서 나타난 석출물이 Ti의 확산으로 인하여  $\text{TiO}_2$ 가 형성된 것으로 확인되었다.

Fig. 5는 열처리된 gate metal을 이용시 하지층 첨가원소인 Ti이 확산하여 Cu 표면에  $\text{TiO}_2$ 가 석출된다. 이것을 이용하여 제작한 TFT의 개략도로서 Cu의 capping layer로서의 역할을 확인해보고자 제작하였다.

Table 1은 하지층의 농도에 따른 TFT의 특성으로서 (a)는 as-dep 상태의 Cu/Mo(Ti) gate를 사용한 결과를 보면 하지층의 Ti 농도에는 무관하게  $6.64 \times 10^4$ – $3.35 \times 10^5$ 의 on/off ratio,  $-2.52$ – $8.95$  V/decade의 subthreshold 그리고  $0.196$ – $0.369$   $\text{cm}^2/\text{Vs}$ 의 Mobility를 갖는 좋지 않은

TFTs 특성을 나타낸다.

반면 (b)는 500°C 열처리된 Cu/Mo(Ti) gate를 사용한 결과를 보면 하지층의 Ti의 함량이 증가함에 따라서 on/off ratio ( $2.87 \times 10^4$ 에서  $1.85 \times 10^6$ ), subthreshold (1.13에서 0.733 V/decade) 그리고 Mobility (0.405에서 0.497  $\text{cm}^2/\text{Vs}$ )의 TFTs 특성이 개선되었다.

#### 4. 결 론

Cu/Mo(Ti) alloy 구조에서 비저항은 Ti 농도가 40 at.% 이하에서는 600°C 열처리로 인하여 약  $2.2 \mu\Omega\text{-cm}$ 의 낮은 비저항을 얻을 수 있었고, Ti-rich( $\geq 60$  at.%) alloy를 400°C 열처리 시 Ti 확산으로 인한 비저항이 증가하였다. 하지만 500°C 열처리 시 비저항이 감소하였다. Cu/Mo(Ti 80 at.%) $\text{SiO}_2$ 인 경우  $2.4 \mu\Omega\text{-cm}$ 의 비저항을 얻었다.

열처리된 Cu/Ti-rich( $\geq 60$  at.%) alloy/ $\text{SiO}_2$ 를 FESEM과 AFM 분석결과 Cu 표면의 grain boundaries를 따라서 석출물이 생성됨을 확인할 수 있었다. 이 석출물의 RBS 분석결과  $\text{TiO}_2$ 임을 확인하였다. 하지만 Cu/Mo(Ti  $\leq 40$  at.%) $\text{SiO}_2$  구조에서는 석출물이 형성되지 않았다.

이렇게 Ti의 out-diffusion으로 Cu 표면에 석출되는  $\text{TiO}_2$ 을 이용하여 TFT 제작 시 mobility(0.488–0.505  $\text{cm}^2/\text{Vs}$ ), subthreshold slope(0.733–1.13 V/decade),  $I_{\text{on}}/I_{\text{off}}$  ratio ( $2 \times 10^5$ – $1.85 \times 10^6$ )의 우수한 TFTs 특성을 얻었다. 이로써 Cu 표면에 형성된  $\text{TiO}_2$ 가 Cu의 diffusion barrier로서의 좋은 특성을 나타냄을 확인하였다.

## 감사의 글

본 연구는 과학기술부/한국과학재단의 우수연구센터육성사업의 지원으로 수행되었음. (R11-2005-048-00000-0)

## 참 고 문 헌

1. E. G. Colgan, P. M. Fryer, E. Galligan, W. Graham, R. Horton, D. Hunt, L. Jenkins, R. John, P. Koke, Y. Kuo, K. Latzko, J. Libsch, A. Lien, K. Lovas, R. Nywening, R. Polastre, M. E. Rothwell, J. Wilson, R. Wisnieff and S. L. Wright, Proc. of IDW' 03 (Kobe), P. 29. (1996).
2. A. Awaya and Y. Arita, J. Electron. Mater., **21**, 959 (1992).
3. Y. J. Park, V. K. Andleigh and C. V. Thompson, J. Appl. Phys., **85**, 3546 (1999).
4. H. Itow, Y. Nakasaki, G. Minamihaba, K. Suguro and H. Okano, Appl. Phys. Lett., **63**(7), 934 (1993).
5. O. Aibel, E. Bugiel, D. Kruger, W. Hasse and M. Hommel, Microelectronics Reliability, **46**, 768 (2006).
6. J. M. E. Harper, J. Gupta, D. A. Smith, J. W. Chang, K. L. Holloway, C. Cabral, Jr., D. P. Tracy and D. B. Knorr, Appl. Phys. Lett., **65**, 177 (1994).
7. W. H. Lee, Y. K. Ko, J. H. Jang, C. S. Kim, P. J. Reucroft, and J. G. Lee, J. Electron. Mater., **30**, 1042 (2001).
8. C. Cabral, Jr., J. M. E. Harper, K. Holloway, D. A. Smith, and R. G. Schad, J. Vac. Sci. Technol., A **10**, 1706 (1992).
9. K. Barnak, G. A. Lucadamo, C. Cabral, Jr., C. Lavoie, and J. M. E. Harper, J. Appl. Phys., **87**, 2204 (2000).
10. S.-L. Zhang, J.M.E. Harper, and F.M. d'Heurle, J. Electron. Mater., **30**, 59 (2001).
11. A. Isobayashi, Y. Enomoto, H. Yamada, S. Takahashi and S. Kadomura, Proceedings of the 2004 International Electron Device Meeting, IEDM, San Francisco, CA, Dec 13-15, p. 953. (2004).
12. S. J. Hong, S. Lee, H. J. Yang, H. M. Lee, Y. K. Ko, H. N. Hong, H. S. Soh, C. K. Kim, C. S. Yoon, K. S. Ban and J. G. Lee, Semicond. Sci. Technol., **19**, 1315 (2004).