

논문 2007-44SD-9-10

향상된 전력효율을 갖는 GaInP/GaAs HBT 마이크로파 푸쉬-푸쉬 전압조정발진기

(A Microwave Push-Push VCO with Enhanced Power Efficiency in
GaInP/GaAs HBT Technology)

김 종 식*, 문 연 국**, 원 광 호**, 신 현 철***

(Jongsik Kim, Yeon-Guk Moon, Kwang-Ho Won, and Hyunchol Shin)

요 약

본 논문은 교차결합된 부성저항(cross-coupled negative-gm) 발진기 구조의 캐패시터 공통단자에서 2차 고조파를 얻어내는 새로운 푸쉬-푸쉬 기술에 대해 제안한다. 캐패시터 공통단자에서 2차 고조파가 생성되는 기본적인 이론은 에미터-베이스 접합 다이오드의 비선형 특성에 의한 Voltage clipping과 VCO core 트랜지스터의 Switching 동작 시 생기는 상승과 하강 시간의 차로써 설명된다. Simulation을 통한 비교연구를 통하여 본 논문에서 제안한 방법이 기존의 에미터 공통단자에서 출력을 얻어 내는 방법보다 마이크로파 영역에서 전력효율이 더 뛰어나다는 것을 보였다. 본 기술을 적용한 Prototype MMIC VCO가 12-GHz와 17-GHz 대역에서 GaInP/GaAs HBT 공정을 사용하여 설계, 제작되었다. 출력 파워는 각각 -4.3dBm과 -5dBm이 측정되었고, Phase noise는 1-MHz offset에서 각각 -108 dBc/Hz와 -110.4 dBc/Hz가 측정되어 -175.8 dBc/Hz와 -184.3 dBc/Hz의 FoM(Figure-of-Merit)을 얻었다. 제작된 12-GHz와 17-GHz의 VCO Core는 각각 25.7mW (10.7mA/2.4V)와 13.1mW (4.4mA/3.0V)를 소모한다.

Abstract

This paper presents a new push-push VCO technique that extracts a second harmonic output signal from a capacitive commonnode in a negativegm oscillator topology. The generation of the 2nd harmonics is accounted for by the nonlinear current-voltage characteristic of the emitter-base junction diode causing; 1) significant voltage clipping and 2) different rising and falling time during the switching operation of core transistors. Comparative investigations show the technique is more power efficient in the high-frequency region than a conventional push-push technique using an emitter common node. Prototype 12GHz and 17GHz MMIC VCO were realized in GaInP/GaAs HBT technology. They have shown nominal output power of -4.3dBm and -5dBm, phase noise of -108 dBc/Hz and -110.4 dBc/Hz at 1MHz offset, respectively. The phase noise results are also equivalent to a VCO figure-of-merit of -175.8 dBc/Hz and -184.3 dBc/Hz, while dissipate 25.68mW (10.7mA/2.4V) and 13.14mW (4.38mA/3.0V), respectively.

Keywords : VCO, MMIC, GaInP/GaAs HBT, Push-Push VCO.

I. 서 론

* 학생회원, *** 평생회원, 광운대학교 전자공학과
(Department of Radio Science and Engineering,
Kwangwoon University)

** 정회원, 전자부품연구원 유틸리티스컴퓨팅센터
(Ubiquitous Computing Center, Korea Electronics
Technology Institute)

※ 본 연구는 정보통신부 정보통신연구진흥원의 대학
IT연구센터 사업 (IITA-2006-C1090-0603-0038) 및
전자부품연구원의 지원으로 수행되었음.

접수일자: 2007년3월27일, 수정완료일: 2007년7월31일

초고주파 집적회로 (MMIC : Microwave Monolithic
Integrated Circuit) 전압조정 발진기 (VCO : Voltage
Controlled Oscillator)는 높은 동작주파수, 저전력, 그리
고 작은 크기를 지향하는 매우 중요한 회로이다. 최근
무선통신이 수십 GHz 대역으로 올라가면서 LC tank의
인덕터가 1 nH 이하로 작아져 공정상의 오차가 커지거
나 기생(Parasitic)성분에 많은 영향을 받게 되고 급격

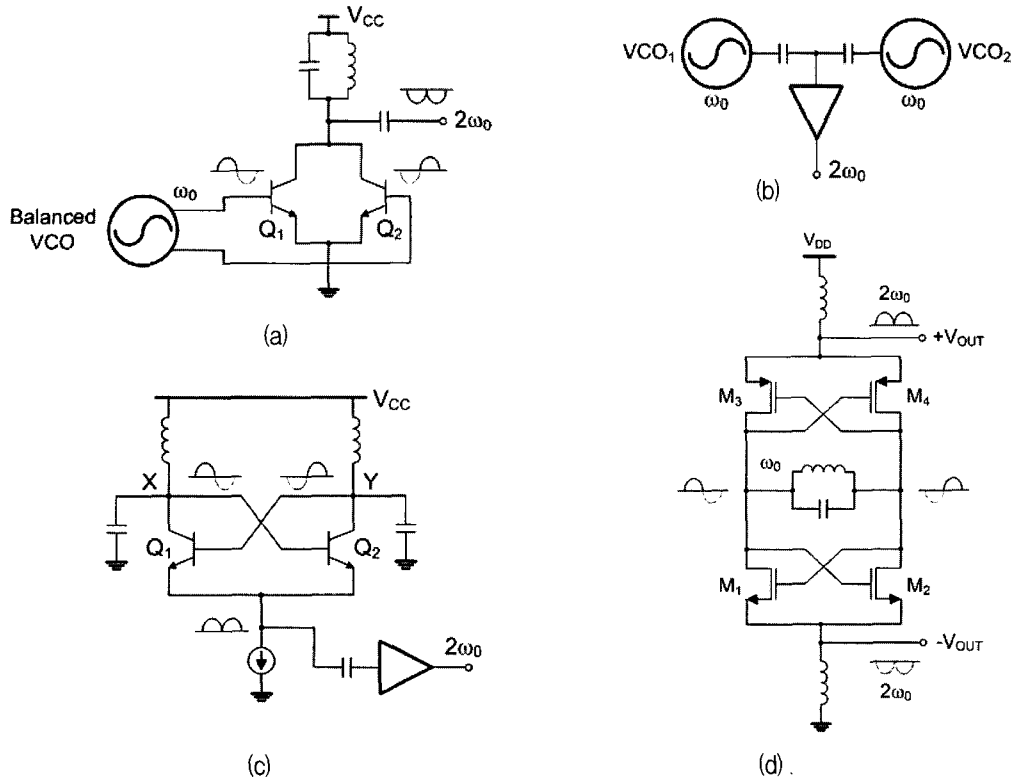


그림 1. 2차 고조파 출력을 얻는 방법 : (a) VCO core에 주파수 체배기의 연결, (b) 차동 동작을 하는 똑같은 두개의 VCO를 결합하여 가상 접지에서 출력을 얻는 구조, (c) 공통 에미터 단자에서 2차 고조파 출력을 얻는 부정저항 차동 발진기, (d) 교차결합된 NMOS와 PMOS 트랜지스터의 공통 소스 단자에서 차동의 2차 고조파 출력을 얻는 구조

Fig. 1. 2nd harmonic extraction methods : (a) frequency doubler with VCO core, (b) 2nd harmonic output at virtual ground of combination of two identical VCOs operating in differential mode, (c) negative-gm differential oscillator with common-emitter node as a 2nd harmonic output node, (d) differential 2nd harmonic output at common-source node of NMOS and PMOS cross-coupled transistor pair.

히 감소하는 Tank의 Quality Factor를 보상하기 위해 전류 소모가 늘어나게 된다. 또한, VCO는 다른 회로에 비해 출력 파워가 크므로 단일 칩 송수신기 내의 다른 회로로 원치 않은 VCO의 신호 간섭이 증가하는 등의 문제점이 발생하게 된다.

이러한 문제점은 VCO core는 낮은 주파수에서 동작 시키고 출력으로는 Core주파수의 2차 고조파(Second Harmonics) 성분을 얻어내는 구조를 사용하여 개선시킬 수 있는데 현재까지 몇 가지 구조가 보고되었다. 그림 1 (a)와 같이 VCO에 주파수 체배기(Frequency Doubler)를 결합한 구조가 있다. 이러한 구조를 적용하여 효과적인 결과를 얻을 수 있지만 회로설계가 복잡해지고 전류소모도 증가하게 된다^[1-2]. 다른 효과적인 방법으로 푸쉬-푸쉬(Push-Push) VCO가 있다. 그림 1 (b)와 같이 푸쉬-푸쉬 VCO는 기본적으로 두 개의 Balanced 회로를 결합시켜 구성하는데 VCO core의 푸쉬-푸쉬 출력 단에서 기본주파수(Fundamental

Frequency)는 180°의 위상차로 인해 사라지고 2차 고조파 성분만이 더해져서 부하로 전달되는 동작을 한다. 이러한 VCO는 출력 주파수($2\omega_0$) 보다 VCO Core가 낮은 주파수(ω_0)에서 동작하기 때문에 Q-factor 증가, LC tank의 공정변화에 대한 영향감소, 그리고 Pulling 효과 감소라는 장점을 가지고 있다. 푸쉬-푸쉬 출력 단자는 출력신호를 어느 단자에서 얻어내느냐에 따라 세 가지로 구분되는데 컬렉터 공통단자(Collector common-node)^[3-4], 베이스 공통단자(Base common-node)^[5], 그리고 에미터 공통단자(Emitter common-node)^[6]를 이용한다.

한편, 집적회로에서 VCO로 흔히 사용되는 또 다른 형태는 그림 1 (c)와 같이 VCO core의 트랜지스터를 교차결합(Cross-coupled)시킨 부정저항(Negative-gm) 차동 발진기 구조의 공통 에미터 단자에서 2차 고조파를 얻어내는 구조가 있다^[7]. 이 구조는 차동신호(Differential signaling)와 효과적인 동상의 잡음

(Common-mode noise)제거특성 등의 장점을 가지고 있어 직접회로에 많이 사용된다. 같은 원리를 이용하여 그림 1(d)와 같이 상보형 트랜지스터의 NMOS와 PMOS의 공통 소스단자에서 차동의 2차 고조파를 얻어내는 구조도 제안되었다^[8].

본 논문에서는 이와 같은 기존의 발진기보다 전력효율이 향상된 새로운 방법을 제안한다. 제안된 방법의 동작이론과 전력효율에 대한 구조적 장점이 해석되고 12-GHz와 17-GHz MMIC VCO를 구현한 결과가 제시되었다^[9~10].

II. 구조 및 동작 원리

1. 구조

그림 2는 일반적으로 많이 사용하는 부성저항 차동 발진기의 회로도이다. 교차 결합된 트랜지스터(Q_{1,2})는 부성저항 (Negative-g_m)을 발생시킨다. C₁과 (C₂+C_π)로 구성되는 캐패시터 전압분배기(Capacitive voltage divider)는 Tank의 신호크기와 베이스 단자에서의 신호크기를 동시에 최적화시키기 위한 값으로 설정되어야 한다. 캐패시터 전압분배기는 베이스 단자의 신호크기가 최적의 값보다 커져 트랜지스터가 Saturation 영역에서 동작하지 않도록 하여 VCO의 Phase noise가 급격히 감소하게 되는 현상을 방지하기 위한 것이다^[11].

캐패시터 전압분배기의 공통단자 CN은 에미터 공통단자 EN과 같이 기본(Fundamental) 주파수(ω₀)에 대해서 가상접지(Virtual ground)가 된다. 하지만, 캐패시터 공통단자 CN은 VCO core에서 기본 신호(V₊, V₋)의 2차 고조파(2ω₀)성분에 대해 매우 효과적인 출력 단자가 될 수 있다. 캐패시터 공통단자는 기존의 에미터나 컬렉터 공통단자와 비교했을 때 베이스 공통단자로 분류될 수 있다. 본 논문에서는 자세한 동작원리에 대해 해석하고 기존의 부성저항 차동 발진기 푸쉬-푸쉬 구조에서 신호를 얻어내는 EN단자와 CN단자의 출력전력효율에 대해 비교 연구하였다.

2. 동작원리

VCO core에서 2차 고조파가 생성되는 원리는 두 가지로 설명될 수 있다. 첫 번째는 베이스-에미터 접합 다이오드의 비선형 스위칭(Nonlinear switching) 특성이다. 그림 3은 트랜지스터 Q_{1,2}의 베이스-에미터 전압(V_{BE}) 신호와 베이스 입력 전류(i_{BE}) 신호의 Simulation 결과이다. 베이스 입력전류는 베이스 입력 캐패시턴스 때문에 베이스-에미터 전압신호보다 90°앞서게 된다.

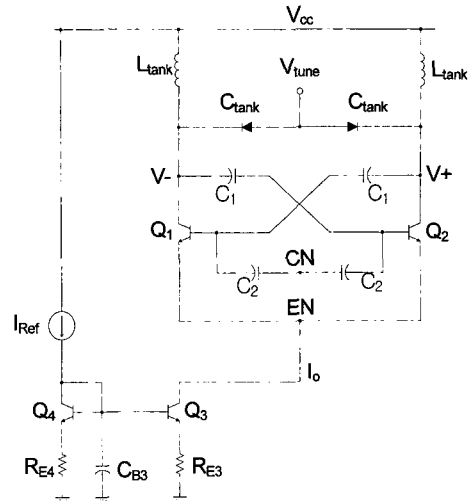


그림 2. 부성저항 차동 전압조정 발진기의 회로도
Fig. 2. Circuit schematic of a negative-gm differential VCO.

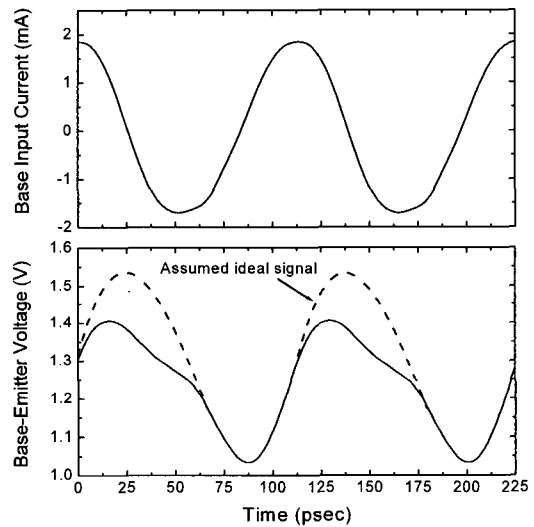


그림 3. 베이스 단자에서의 전류와 전압 신호
Fig. 3. Current and voltage waveforms at the base terminal.

점선으로 그려져 있는 이상적인 파형과 비교할 때, V_{BE}의 상위 반주기 동안은 심한 클리핑(Clipping)이 생기는 것을 알 수 있다. 이러한 왜곡현상은 베이스-에미터 접합 다이오드의 지수적(Exponential)인 전류-전압관계 때문이다.

두 번째 원리는 회로 내에서 캐패시턴스로의 충전(Charging)과 방전(Discharging)에 관련된 시상수(Time-constant)의 차로써 설명될 수 있다. 베이스-에미터 단자에서 시상수는 다음과 같이 표현 될 수 있다.

$$\tau = r_{\pi} \cdot \left\{ \frac{C_1 \cdot (C_2 + C_{\pi})}{C_1 + C_2 + C_{\pi}} \right\} \quad (1)$$

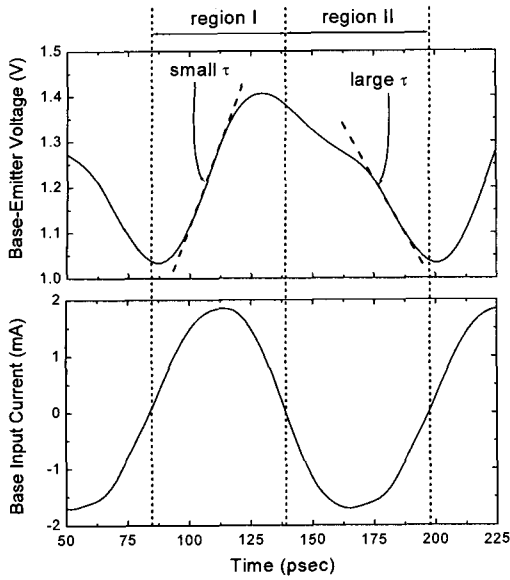


그림 4. 베이스 전압 신호의 상승과 하강시간의 차
Fig. 4. Difference in the rise and fall time of the base voltage waveform.

식 (1)에서 r_{π} 는 베이스 입력 저항이고 C_{π} 는 베이스-에미터 캐패시턴스 이다. 그림 4에 나타나있듯이 영역-I에서는 i_B 가 상승함에 따라 r_{π} 는 작아져 τ 는 작아지게 되고 결국 빠른 상승시간을 갖게 되며, 반대로 영역-II에서는 느린 하강시간을 갖게 된다. 결과적으로 v_{BE} 는 비대칭이 된다.

앞서 설명한 두 가지 원리가 동시에 적용되어 베이스 전압 파형에서 2차 고조파성분을 생성하는 원인이 된다. CN 단자에서 베이스 전압신호의 기본주파수(ω_0) 성분은 180° 의 위상 차 때문에 사라지고 2차 고조파($2\omega_0$) 성분만이 더해지게 된다. 이 때, Q_1 과 Q_2 의 베이스 단자에서 전압파형은 식 (2)와 같이 주어질 수 있다.

$$\begin{aligned} v_{B1} &= v_{out,b} \cos \omega_0 t + v_{HD2} \cos 2\omega_0 t \\ v_{B2} &= -v_{out,b} \cos \omega_0 t + v_{HD2} \cos 2\omega_0 t \end{aligned} \quad (2)$$

여기서, $v_{out,b}$ 는 베이스 단자에서의 기본 주파수성분 전압의 크기이고 v_{HD2} 는 2차 고조파 성분의 크기이다. CN 단자에서는 v_{B1} 과 v_{B2} 가 더해지므로 출력은 식 (3)와 같이 쓸 수 있다.

$$v_{CN} = \frac{v_{B1} + v_{B2}}{2} = v_{HD2} \cos 2\omega_0 t \quad (3)$$

위 식에서 베이스 노드에서의 2차 고조파 성분(v_{HD2})은 트랜지스터 Q_1 과 Q_2 의 컬렉터 단자에서의 2차 고조파 성분과 크기가 같다. 식 (3)는 컬렉터 단자에서의

v_{HD2} 성분이 회로의 모든 단자 및 노드에서 동상이 되므로 CN 단자에서는 캐패시터 디바이더에 의한 전압신호의 감쇄 없이 출력을 얻을 수 있다는 것을 나타내고 있다. 그러므로 CN 단자에서는 손실 없이 Tank로부터 최대한의 2차 고조파 성분을 효율적으로 얻어낼 수 있게 된다.

III. 전력효율의 비교

EN 단자에서 2차 고조파 성분을 추출해내는 것은 CN 단자에서 2차 고조파 성분을 추출해내는 것과는 전혀 다른 원리를 가지고 있다. VCO core의 차동(Differential pair) 구조에서 두 개의 트랜지스터는 베이스 입력 전압에 따라 “에미터 팔로워(Emitter follower)”로 구성되거나 “Turned off” 상태로 바뀌게 된다. 그림 5는 트랜지스터 Q_2 가 에미터 팔로워로 구성되고 Q_1 은 꺼져있는 상태에서의 동작을 그리고 있다. EN 단자에서의 효율은 전압 증폭도(Voltage gain) A_{EF} 로 대응하여 결정되고, 다음과 같이 표현할 수 있다.

$$A_{EF} = \frac{Z_L}{Z_L + Z_E} \quad (4)$$

여기서 Z_L 은 전류 원(Current source)의 출력 등가 임피던스이고, Z_E 는 에미터 단자에서 바라본 임피던스이다.

본 논문에서는 CN 단자와 EN 단자에서의 2차 고조파가 생성되는 효율을 비교하기 위해서 $2\omega_0$ 출력의 크

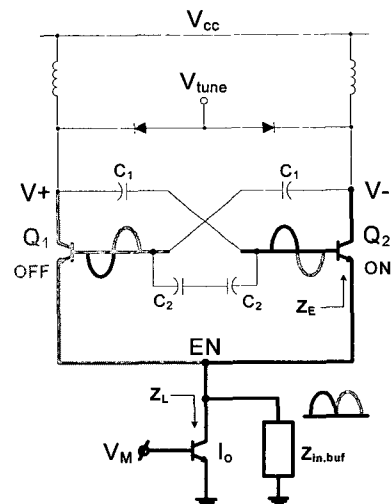
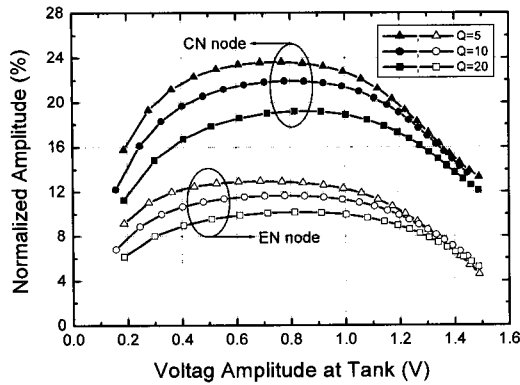
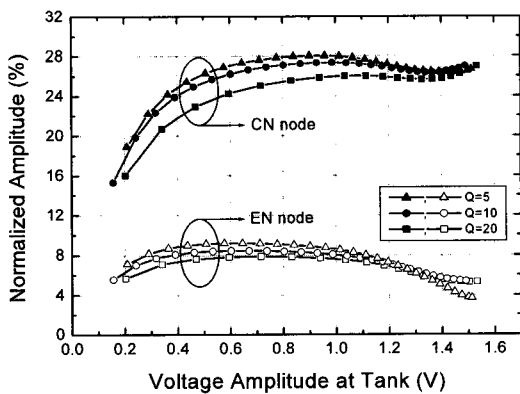


그림 5. EN 단자에서의 2차 고조파의 생성 원리
Fig. 5. Second harmonic generation mechanism at the EN node.



(a)



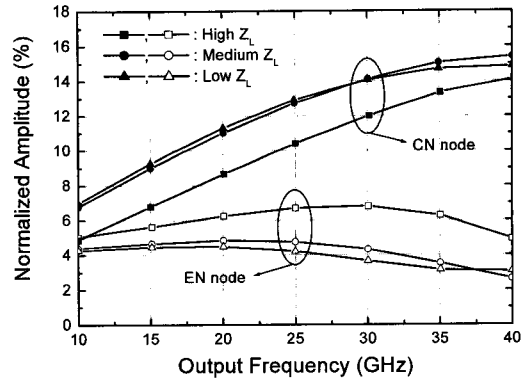
(b)

그림 6. (a) 10-GHz와 (b) 20-GHz 출력 주파수에서 5, 10, 20의 Q-factor에 따른 정규화된 출력 전압크기와 Tank의 전압크기

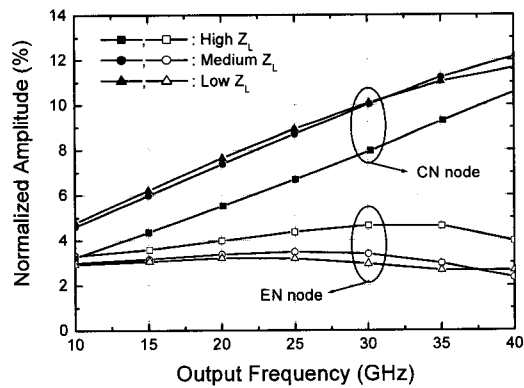
Fig. 6. Normalized output amplitude versus the tank swing with the tank Q-factors of 5, 10, and 20 at the output frequencies of: (a) 10 and (b) 20 GHz.

기를 Tank의 출력 신호크기로 나누어 정규화(Normalized)시킨 값을 Figure-of-merit (FoM)으로 선택 하였다. 교차 결합된 부성저항 발진기의 전류-제한 영역(Current-limited regime)에서 Tank의 기본 주파수(ω_0) 전압 크기는 $I_0 \cdot R_{eq}$ 의 값으로 근사 될 수 있다. 여기서 I_0 는 바이어스 전류이고 R_{eq} 는 LC tank의 등가 병렬 저항성분이다^[12]. 따라서 Tank의 Q-factor의 값이 정해졌을 때 Tank의 기본 주파수(ω_0) 전압 크기는 DC 전류소모에 비례하게 된다. 그러므로, Tank에서의 ω_0 크기에 의한 출력단자에서의 정규화된 $2\omega_0$ 크기는 등가적으로 주어진 DC 전력소모에서 얼마나 효과적으로 $2\omega_0$ 성분을 얻을 수 있는지를 나타낼 수 있게 된다.

그림 6 (a)와 (b)는 각각 10-GHz와 20-GHz의 출력 주파수에서 세 가지 Q-factor(5, 10, 20)에 대한 CN과 EN단자에서의 정규화된 출력크기를 비교하고 있다.



(a)



(b)

그림 7. 출력파용 증폭기의 에미터 사이즈가 (a) $A_E=F1 \times 2 \times 4 \mu m^2$ 으로 비교적 큰 입력 임피던스 $Z_{in,buf}$ 조건과 (b) $A_E=F1 \times 2 \times 10 \mu m^2$ 으로 비교적 작은 입력 임피던스 $Z_{in,buf}$ 조건에서의 출력 주파수에 따른 정규화된 출력 전압크기

Fig. 7. Normalized output amplitude versus the output frequency with two buffer amplifier loading conditions. (a) Relatively high $Z_{in,buf}$ with $A_E=F1 \times 2 \times 4 \mu m^2$ (b) Relatively low $Z_{in,buf}$ with $A_E=F1 \times 2 \times 10 \mu m^2$

Simulation에서 부가적인 로딩(Loading)을 피하기 위해 버퍼 증폭기(Buffer amplifier)는 추가하지 않았고, Tank의 신호크기는 전류원(Tail current source)의 전류를 상승시켜 증가시켰다. 그림에서 알 수 있듯이, Tank의 신호크기와 Q-factor의 모든 범위에서 CN 단자는 EN 단자보다 실질적으로 더 큰 출력전압크기를 만들어내고 있다. 그림 6에서 알 수 있듯이 두 단자에서의 출력전압크기의 차이는 10-GHz에서 최대 180%를 보이고 있으며, 20-GHz에서는 최대 330%까지 도달하고 있다.

CN과 EN단자에 버퍼 증폭기가 부가되었을 때 EN과 CN단자에 추가적인 로딩이 되어 출력 전력효율에 영향을 미치게 되고 전류원(Tail current source)의 임피던스

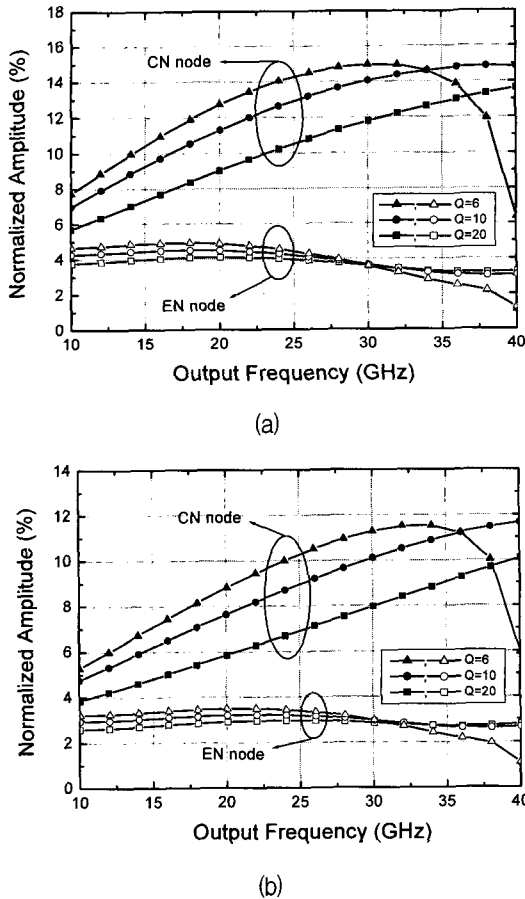


그림 8. 부하로 사용된 트랜지스터의 에미터 사이즈가 (a) $A_E=F1x2x4\mu m^2$ 으로 비교적 큰 입력 임피던스 $Z_{in,buf}$ 조건과 (b) $A_E=F1x2x10\mu m^2$ 으로 비교적 작은 입력 임피던스 $Z_{in,buf}$ 조건에서의 출력 주파수에 따른 정규화된 출력 전압크기

Fig. 8. Normalized output amplitude versus the output frequency with different loading conditions. (a) Relatively high $Z_{in,buf}$ with $A_E=F1x2x4\mu m^2$ (b) Relatively low $Z_{in,buf}$ with $A_E=F1x2x10\mu m^2$

스(Z_L) 역시 전체 로딩에 영향을 미치게 된다. 그러므로, 정규화된 전압크기를 두 개의 다른 입력 임피던스 ($Z_{in,buf}$)를 가지는 버퍼용 증폭기와 세 개의 다른 부하 임피던스(Z_L)를 가지는 전류원에 따라 Simulation 하였다. 각각의 로딩 임피던스의 차이는 각 HBT의 에미터 크기를 바꿔서 적용하였다. 에미터 사이즈가 $A_E=F1x2x4\mu m^2$ 으로 큰 입력 임피던스 $Z_{in,buf}$ ($40-j33\Omega$)를 가지는 트랜지스터와 $A_E=F1x2x10\mu m^2$ 으로 작은 입력 임피던스 $Z_{in,buf}$ ($21-j19\Omega$)를 가지는 트랜지스터를 선택하여 공통 에미터 증폭기로 적용시켜 Simulation한 결과를 그림 7 (a)와 (b)에 나타내었다. 각각의 경우에 따라 에미터 사이즈가 $A_E=F1x2x10\mu m^2$ 으로 큰 임피던스를 갖는 $Z_L(19.65-j36.2\Omega)$, 에미터 사이즈가 $A_E=F2x2x10\mu m^2$ 로 중간 임피던스를 갖는 $Z_L(3.1-j35.8\Omega)$, 에미터 사이

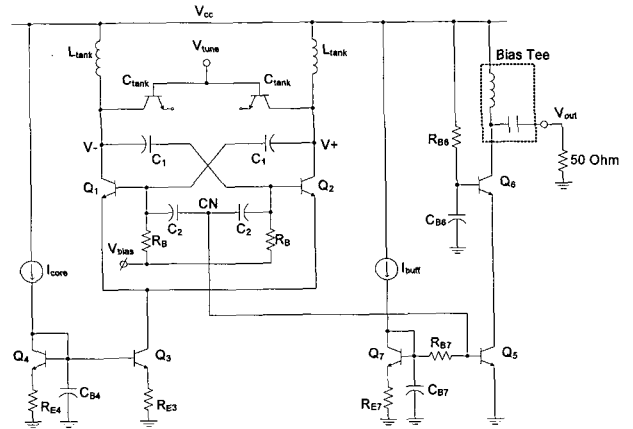


그림 9. 캐패시터 공통단자에서 출력을 얻어내는 VCO의 회로도

Fig. 9. Circuit schematic of the designed VCO extracting the output signal from the capacitive common-node CN

즈가 $A_E=F2x2x20\mu m^2$ 로 그리고 낮은 임피던스를 갖는 $Z_L(1.65-j32.85\Omega)$ 에 대해서도 비교하였다. 괄호안의 값은 20-GHz 출력 주파수에서의 임피던스 값이다. 더 작은 에미터 사이즈를 갖는 트랜지스터는 에미터의 전류 밀도(Current density)가 실제 회로설계 시 허용범위에서 벗어날 수 있으므로 비교에서 제외 되었고 Tank의 Q-factor와 출력전압의 크기는 각각 10과 650mV로 고정시켜 Simulation하였다.

그림 7 (a)와 (b)는 CN 단자가 거의 모든 경우에 대해서 항상 EN 단자보다 더 큰 출력 전압을 발생시키고 있다는 것을 보여주고 있다. 큰 Z_L 의 경우 10-GHz에서 예외의 경우가 발생하였지만, 이 경우에도 CN과 EN의 효율은 거의 같게 나타나고 있다는 것을 알 수 있다. 지금까지의 결과는 일반적인 로딩 조건에서 CN 단자가 EN 단자보다 효과적이고 출력 주파수가 증가 할수록 효율이 점점 더 좋아진다는 것을 보여주고 있다.

세 개의 서로 다른 Tank의 Q-factor에 따른 비교의 결과가 그림 8 (a)와 (b)에 나타나 있다. 이 때, Tank의 출력 신호크기는 650mV로 고정하고, Z_L 은 비교적 작은 값($A_E=F2x2x20\mu m^2$)으로 고정시켜 Simulation 하였고 두 개의 서로 다른 버퍼 증폭기의 에미터 사이즈에 따라 큰 값의 $Z_{in,buf}$ ($A_E=F1x2x4\mu m^2$, 그림 8 (a))와 작은 $Z_{in,buf}$ ($A_E=F1x2x10\mu m^2$, 그림 8 (b))에 의한 부하가 고려되었다. 비록 작은 $Z_{in,buf}$ 의 조건에서 두 단자간에 정규화 전압크기의 차이가 있지만 모든 Q-factor, 출력 주파수, 그리고 버퍼로 인한 로딩에 대해 CN 단자가 EN 단자보다 훨씬 우수한 정규화 된 전압크기를 보여주고 있다.

그림 7과 그림 8은 출력 주파수가 증가할수록, CN 단자의 효율이 개선되지만 EN 단자의 효율은 감소하는 흥미로운 결과를 보여주고 있다. 이러한 현상은 주파수가 증가 할수록 트랜지스터 고유의 비선형성이 증가하기 때문에 CN 단자에서의 2차 고조파 성분(v_{HD2})은 증가하지만, Z_L 에 연관된 트랜지스터 고유의 캐패시턴스 때문에 EN 단자에서의 전압이득(식 (4)의 A_{EF})은 감소함으로써 나타나는 것이다. 그러므로 초고주파 영역에서 푸쉬-푸쉬 VCO를 구현하는데 있어 CN 단자는 EN 단자보다 훨씬 더 효율적인 단자가 된다.

IV. 설계 및 측정결과

나리지온의 High-Speed GaInP/GaAs HBT 모델을 이용하여 12-GHz와 17-GHz MMIC VCO가 설계되었다. 그림 9는 설계된 회로도이다. 회로는 부성저항 차동 발진기와 CN 단자로부터 $2\omega_0$ 출력 신호를 얻어내기 위한 캐스코드(Cascode) 출력 버퍼 증폭기로 구성되어 있다.

1. 회로설계

가. 12-GHz VCO의 설계

LC tank는 6-GHz에서 공진하고 Spiral 인덕터는 0.7nH로 설계되었으며 6-GHz에서 21의 Q 값을 갖는다. 버랙터(Varactor)는 HBT($A_E=F4x2x20\mu m^2$)의 베이스-컬렉터에 역방향 바이어스를 가해 베이스-컬렉터 접합 캐패시턴스를 사용하였고 176.3-fF에서 225.5-fF의 가변 범위를 갖는다. 12-GHz 대역에서 3.06%의 주파수 튜닝 범위가 Simulation 되었다. $A_E=F1x2x4\mu m^2$ 의 크기를 갖는 교차 결합된 HBT (Q_1, Q_2)가 부성저항을 발생시키기 위해 사용되었다. CN 단자에서 $2\omega_0$ 출력 신호의 Phase noise 성능을 최대로 끌어올리기 위해 C_1 과 C_2 는 각각 785-fF으로 설계하여 베이스 전압크기가 200mV_P가 되도록 하였다. Tank 에서의 Single -ended(V- 또는 V+) 전압크기와 CN 단자에서의 전압크기가 각각 630mV_P와 77mV_P가 되도록 설계하였다.

푸쉬-푸쉬 출력은 정전류(Q_7 : Constant current source) 바이어스를 사용한 버퍼용 캐스코드 증폭기(Q_5, Q_6)를 통해 얻어진다. R_{B7} 은 출력 신호의 크기와 Phase noise를 고려하여 300Ω으로 설정 되었다. 측정을 간편히 하기 위하여 50Ω-드라이빙(Driving)을 위한 버퍼 증폭기의 부하는 바이어스-티(Bias-tee)를 사용하였다. 버퍼용 증폭기의 전압이득은 12-GHz에서 7.3dB를 갖도

록 설계되었으며, 50Ω 부하조건에서 -5dBm의 출력을 낼 수 있도록 하였다.

나. 17-GHz VCO의 설계

8.5-GHz에서 16.35의 Q-factor를 갖는 0.42nH의 Spiral 인덕터가 Tank의 인덕터로 사용되었다. 12-GHz VCO에서와 같이 $A_E=F2x2x20\mu m^2$ 의 크기를 갖는 트랜지스터의 베이스-컬렉터 접합 캐패시턴스를 버랙터(Varactor)로 사용하였고 108.2-fF에서 129.4-fF의 가변 범위를 갖는다. VCO core의 교차 결합된 트랜지스터의 에미터 사이즈는 12-GHz VCO와 같은 것을 사용하였다. C_1 과 C_2 는 각각 404-fF을 사용하여 Tank에서의 Single-ended (V- 또는 V+) 전압크기와 CN 단자에서의 전압크기가 각각 730mV_P와 120mV_P가 되도록 설계 하였다.

버퍼용 캐스코드 증폭기는 12-GHz VCO와 같은 구조로 설계 하였고 R_{B7} 은 출력 신호의 크기와 Phase noise를 고려하여 1KΩ으로 설계 하였다. 외부에 바이어스-티(Bias-tee)를 사용하여 버퍼용 캐스코드 증폭기의 부하로 사용하였으며, 17.5-GHz에서 10.5dB의 전압 이득을 갖는다. 레이아웃에서는 기본주파수 성분이 출력단으로 커플링되는 것을 최대한 줄이기 위해 VCO core의 대칭성(Symmetry)을 최대한 고려하였다.

2. 측정 결과

설계된 VCO는 나리지온(Knowledge_ON)社가 제공하는 Commercial GaInP / GaAs HBT 공정을 이용하여 그림 10과 같이 제작되었고 칩의 면적은 패드(PAD)와 버퍼용 증폭기를 포함하여 각각 729x737 μm^2 와 730x730 μm^2 이다. 각 제작된 칩은 RF on-wafer 프로브

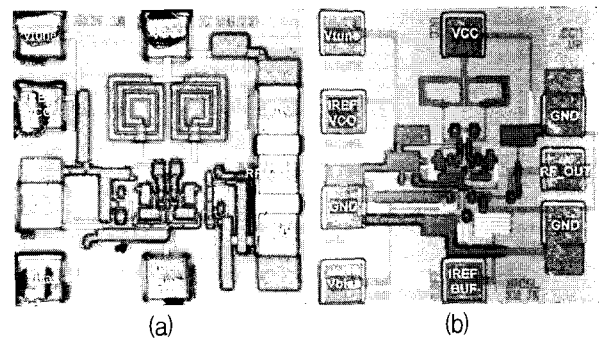


그림 10. 제작된 (a) 12-GHz와 (b) 17-GHz VCO의 칩 사진
Fig. 10. Microphotographs of the fabricated VCOs : (a) 12-GHz and (b) 17-GHz.

(Probe)를 사용하여 측정하였다. 출력 스펙트럼과 Phase noise 성능은 Agilent社의 E4440A Spectrum Analyzer를 사용하여 측정하였다.

가. 12-GHz VCO의 측정 결과

VCO core와 출력 버퍼 증폭기는 2.4V 전원에서 각각 10.7mA와 13.1mA를 소모한다. 그림 11은 11.88-GHz의 출력주파수 스펙트럼 (Spectrum) 이다. Phase noise는 캐리어 출력의 1-MHz offset에서 -108 dBc/Hz가 측정되었다. VCO FoM(Figure-of-merit)은 다른 출력주파수와 다른 전력소모를 가지고 있는 VCO를 공정하게 평가하는데 널리 사용되는 식 (5)을 사용하였다.

$$FoM = \Phi(f_m) - 20 \log \left(\frac{f_o}{f_m} \right) + 10 \log \left(\frac{P_{diss}}{1mW} \right) \quad (5)$$

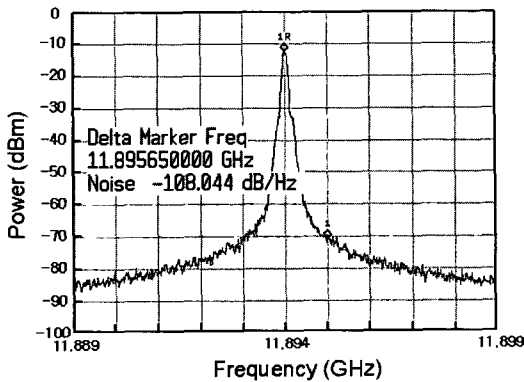


그림 11. 12-GHz VCO의 출력 스펙트럼과 Phase noise 측정

Fig. 11. Output spectrum and phase noise measurement of 12-GHz VCO.

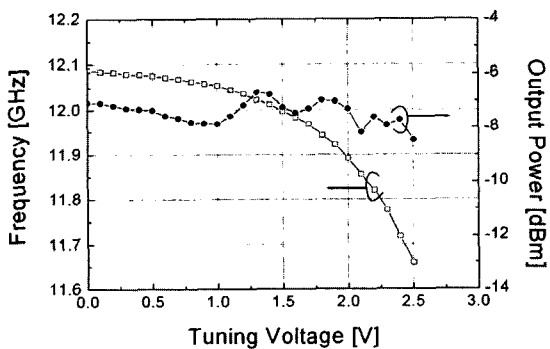


그림 12. 12-GHz VCO의 주파수 튜닝 특성과 출력전력의 측정

Fig. 12. Frequency tuning characteristics and output power of 12-GHz VCO.

여기서 $\Phi(f_m)$ 는 측정된 Phase noise, f_o 는 발진 주파수, f_m 은 offset 주파수 이다. VCO의 FoM은 -175.8 dBc/Hz로 계산 되었다.

주파수 튜닝(Tuning)범위는 튜닝전압이 2.5V ~ 0V 까지 감소함에 따라 그림 12와 같이 11.65-GHz ~ 12.08-GHz가 측정되었다. 튜닝전압이 증가함에 따라 베이스-컬렉터 접합 캐패시턴스가 증가하므로 VCO는 부정익득(Negative VCO gain)을 얻게 되었다. 출력 전력은 VCO의 전체 튜닝범위에 걸쳐 -4.3dBm ~ -6.1dBm가 측정되었다. 12-GHz 출력크기에 대한 6-GHz 기본주파수 억압(Suppression)은 -6 dBc가 측정되어 -25.2 dBc의 Simulation값 보다 훨씬 좋지 않은 결과를 얻었다.

나. 17-GHz VCO의 측정 결과

17-GHz VCO core와 출력 버퍼 증폭기는 3.0V 전원에서 각각 4.38mA와 10.52mA를 소모한다. 그림 13은 17.912-GHz의 출력주파수 스펙트럼 (Spectrum) 이다. Phase noise는 1-MHz offset에서 -110.4 dBc/Hz가 측정되었다. 그림 14는 17-GHz VCO의 튜닝특성의 측정 결과이다. 출력 주파수는 3V~0V 튜닝전압에 대해서 17.51-GHz~17.93-GHz의 범위가 측정 되었다. 17.8 GHz에서 3.5dB의 측정용 RF 케이블의 손실은 출력전력에 보상 되었다. 1-MHz offset에서의 Phase noise는 전체 튜닝범위에서 -110 dBc/Hz부터 -100 dBc/Hz까지 변화를 갖는다.

VCO FoM(Figure-of-merit)은 식 (5)를 사용하여 1-MHz에서 -184.3 dBc/Hz가 계산되어 발표된 다른 논문의 결과^[4,6,13~14] 중에서 가장 좋은 값을 가지고 있다.

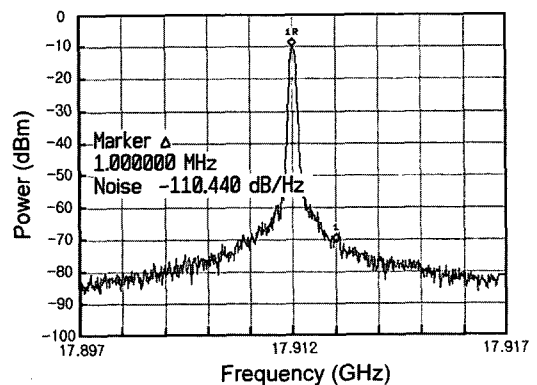


그림 13. 17-GHz VCO의 출력 스펙트럼과 Phase noise 측정

Fig. 13. Output spectrum and phase noise measurement of 17-GHz VCO.

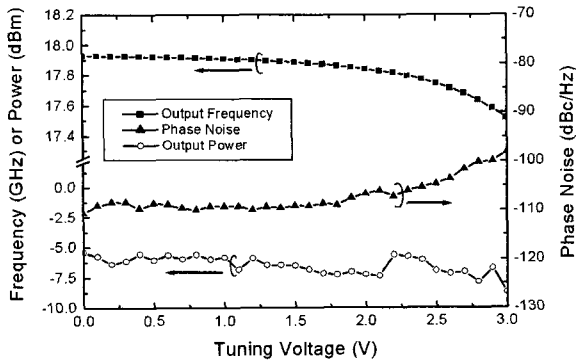


그림 14. 17-GHz VCO의 튜닝 전압에 따른 출력 주파수, 출력 파워, 1-MHz offset에서의 Phase noise 측정 결과

Fig. 14. 17-GHz VCO tuning characteristics : output frequency (GHz), output power (dBm), and phase noise at 1-MHz offset (dBc/Hz) against the tuning voltage.

또한, 17-GHz VCO의 전력소모는 GaInP/GaAs 공정을 사용하여 구현한 다른 결과^[6,13~14]와 비교했을 때 13.2mW로 매우 낮은 특성을 보이고 있다.

2차 고조파 성분에 대한 기본주파수 성분의 억압특성은 -16dBc가 측정되었다. 기본주파수 성분은 2차 고조파로의 간섭은 메탈(Metal)간의 기생성분(Parasitic)이나 공정오차(Process variation)에 의한 트랜지스터, 버렉터, MIM 캐패시터, 그리고 인덕터 같은 소자의 Mismatch에 의해 생길 수 있다. 이러한 현상을 확인하기 위해 몇 가지 가능한 기생성분과 Mismatch 성분을 삽입해서 Simulation한 결과, 기본주파수 억압특성은 -18 dBc로 측정결과와 매우 비슷한 결과를 얻었다. 이러한 기본주파수 억압특성은 버퍼용 출력증폭기에 Tuned load를 적용시키거나 노치필터(Notch filter)를 연결하면 쉽게 개선 될 것이다.

IV. 결 론

기존의 부성저항 차동 발진기 구조의 캐패시터 공통 단자(CN node)에서 새로운 푸쉬-푸쉬 출력을 얻는 방법이 제안되고 실험적으로 증명되었다. CN 단자를 이용한 방식은 기존에 사용하던 EN 단자를 이용한 방식보다 마이크로파 영역에서 전력 효율이 훨씬 더 향상된 방법임을 보였다. 제안된 방식을 기반으로 제작된 17-GHz VCO는 4.38mW의 전력소모를 가지며, 1-MHz offset에서 -110.4 dBc/Hz의 Phase noise 특성을 가지

고 있고, 출력전력은 -5dBm이 측정되었으며, 주파수 튜닝 범위는 2.37%를 보였다.

참 고 문 헌

- [1] O. Lee, J. Kim, K. Lim, J. Laskar, S. Hong, "A 60-GHz Push-Push InGaP HBT VCO with Dynami0063 Frequency Divider," IEEE Microwave and Wireless Comp. Lett, vol. 15, no. 10, pp. 679-681, Oct. 2005.
- [2] S. Ko, J. Kim, T. Song, E. Yoon, S. Hong, "K- and Q-bands CMOS frequency sources with X-band quadrature VCO," IEEE Tran. Microwave Theory and Tech., vol. 53, No. 9, pp. 2798-2800, Sept. 2005.
- [3] J. Kim, D. Baek, S. Jeon, J. Park, S. Hong, "A 60GHz InGaP/GaAs HBT Push-Push MMIC VCO," in IEEE MTT-S Int. Microwave Symp. Dig., June 2003, pp. 885-888
- [4] L. Dussopt, G. M. Rebeiz, "A Low Phase Noise Silicon 18-GHz Push-Push VCO," IEEE Microwave and Wireless Comp. Lett., vol. 13, no. 1, pp. 4-6, Jan. 2003.
- [5] K. W. Kobayashi, A. K. Oki, L. T. Tran, J. C. Cowles, A. Gutierrez-Aitken, F. Yamada, T. Block, D. C. Streit, "A 108-GHz InP HBT Monolithic Push-Push VCO with Low Phase Noise and Wide Tuning Range," IEEE J. Solid-State Circuits, vol. 34, no. 9, pp. 1225-1232, Sept. 1999.
- [6] H. Zirath, R. Kozhuharov, M. Ferndahl, "Balanced Colpitt Oscillator MMICs Designed for Ultra Low Phase Noise," IEEE J. Solid-State Circuits, vol. 40, no. 10, pp.2077-2086, Oct. 2005.
- [7] C. Lam, B. Razavi, "A 2.6-GHz/5.2-GHz Frequency Synthesizer in 0.4-mm CMOS Technology," IEEE J. Solid-State Circuits, vol. 35, no. 5, pp. 788-794, May 2000.
- [8] H. Shin, H. Kim, "Extraction Technique of Differential Second Harmonic Output in CMOS LC VCO," to be published in IEEE MWCL, May. 2007.
- [9] J. Kim, S. Jeon, S. Moon, N.Y. Kim, H. Shin, "A 12-GHz GaInP/GaAs HBT VCO Based on Push-Push Output Extraction form Capacitive Common-Node," in IEEE MTT-S Int. Microwave Symp. Dig., June. 2005, pp. 1705-1708.
- [10] H. Shin, J. Kim, "A 17-GHz Push-Push VCO Based on Output Extraction From a Capacitive Common Node in GaInP/GaAs HBT

Technology,” in IEEE Trans. Microwave Theory and Tech., vol. 54, no. 11, pp.3587-3863, Nov. 2006

[11] M. Margarit, J. Tahm, R. Meyer, M. Deen, “A Low-Noise Low-Power VCO with Automatic Amplitude Control for Wireless Applications,” IEEE J. Solid-State Circuit., vol. 34, no. 6, pp. 761-771, Dec. 1999.

[12] A. Hajimiri and T. H. Lee, “Design Issues in CMOS Differential LC Oscillators,” IEEE J. Solid-State Circuits, vol. 34, no. 5, pp.717-724, May 1999.

[13] D. Baek, J. Kim, S. Hong, “A Ku Band InGaP/GaAs HBT MMIC VCO with a Balanced and a Differential Topologies,” in IEEE MTT-S Int. Microwave Symp. Dig., June 2002, pp. 847-850

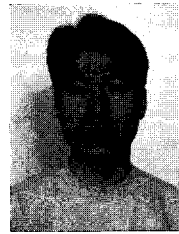
[14] Y. Yamauchi, H. Kamitsuna, M. Nakatsugawa, H. Ito, M. Muraguchi, K. Osafune, “A15-GHz Monolithic Low-Phase-Noise VCO Using AlGaAs/GaAs HBT Technology,” IEEE J. Solid-State Circuits, vol. 27, no. 10, pp.1444-1447, Oct. 1992.

저 자 소 개



김 종 식(학생회원)
 2005년 광운대학교 전파공학과
 공학사.
 2007년 광운대학교 전파공학과
 공학석사.
 2007년~현재 광운대학교
 전파공학과 박사과정

<주관심분야 : CMOS RFIC, III-V MMIC>



문 연 국(정회원)
 1998년 인하대학교 전자공학과
 공학사.
 2000년 인하대학교 전자공학과
 공학석사.
 1999년~2002년 ARALION
 연구원

2002년~2005년 삼성전자 System LSI
 선임연구원.
 2005년~현재 전자부품연구원 유비쿼터스 컴퓨팅
 연구센터 전임연구원.

<주관심분야 : RF and Analog Integrated Circuit Design for Wireless Transceiver>



원 광 호(정회원)
 1989년 단국대학교 전자공학과
 공학사.
 2004년 중앙대학교 정보통신
 공학과 공학석사.
 2007년 광운대학교 전자통신학과
 박사수료.

1991년~1997년 현대전자 정보통신연구원
주임연구원

1997년~현재 전자부품연구원 유비쿼터스
컴퓨팅 연구센터 책임연구원

<주관심분야 : WPAN System and SoC>



신 현 철(평생회원)
 1991년 KAIST 전기및전자공학과
 공학사.
 1993년 KAIST 전기및전자공학과
 공학석사.
 1998년 KAIST 전기및전자공학과
 공학박사.

1998년~2000년 삼성전자 선임연구원

2000년~2002년 UCLA 박사후연구원

2002년~2003년 Qualcomm RF/Analog IC
Design 선임연구원

2003년~현재 광운대학교 전파공학과 부교수

<주관심분야 : CMOS RFIC, III-V MMIC>