

논문 2007-44SD-9-8

LTPS TFT 논리회로 성능향상을 위한 전류모드 논리게이트의 설계 방법

(Design Method of Current Mode Logic Gates for High Performance
LTPS TFT Digital Circuits)

이 준 창**, 정 주 영*

(J. C. Lee and J. Y. Jeong)

요 약

LTPS TFT의 개발과 성능 향상은 패널에 다양한 디지털 회로를 내장하는 SOP의 비약적 발전에 기여하였다. 본 논문에서는 일반적으로 적용되는 낮은 성능의 CMOS 논리게이트를 대체할 수 있는 전류모드 논리(CML) 게이트의 설계 방법을 소개한다. CML 인버터는 낮은 로직스윙, 빠른 응답 특성을 갖도록 설계할 수 있음을 보였으며 높은 소비전력의 단점도 동작 속도가 높아질수록 CMOS의 경우와 근사해졌다. 아울러 전류 구동능력을 키울 필요가 없는 까닭에 많은 수의 소자가 사용되지만 면적은 오히려 감소하는 것을 확인하였다. 특히 비반전 및 반전 출력이 동시에 생성되므로 noise immunity가 우수하다. 다수 입력을 갖는 NAND/AND 및 NOR/OR 게이트는 같은 회로에 입력신호를 바꾸어 구현할 수 있고 MUX와 XNOR/XOR 게이트도 같은 회로를 사용하여 구현할 수 있음을 보였다. 결론적으로 CML 게이트는 다양한 함수를 단순한 몇가지의 회로로 구성할 수 있으며 낮은 소비전력, 적은 면적, 개선된 동작속도 등을 동시에 추구할 수 있는 대안임을 확인하였다.

Abstract

Development of high performance LTPS TFTs contributed to open up new SOP technology with various digital circuits integrated in display panels. This work introduces the current mode logic (CML) gate design method with which one can replace slow CMOS logic gates. The CML inverter exhibited small logic swing, fast response with high power consumption. But the power consumption became compatible with CMOS gates at higher clock speed. Due to small current values in CML, layout area is smaller than the CMOS counterpart even though CML uses larger number of devices. CML exhibited higher noise immunity thanks to its non-inverting and inverting outputs. Multi-input NAND/AND and NOR/OR gates were implemented by the same circuit architecture with different input configuration. Same holds for MUX and XNOR/XOR CML gates. We concluded that the CML gates can be designed with few simple circuits and they can improve power consumption, chip area, and speed of operation.

Keywords : Current Mode, TFT, System-on-Panel, digital gates, display

I. 서 론

현재 노트북 컴퓨터 등에 널리 사용되고 있는 박막 트랜지스터 액정 디스플레이(TFT LCD)는 일반적으로

비정질 실리콘(a-Si)으로 제작된 화소 배열(Pixel Array)과 단결정 실리콘로 제작된 구동 집적 회로(LSI)를 TAB(Tape Automated Bonding)등의 방법으로 연결하여 만들어져 왔다. 이와 같은 방식에서는 고해상도의 디스플레이를 구현함에 있어 화소 배열과 구동 집적회로 사이에 많은 연결이 필요하게 되고, 이는 제조 공정의 어려움을 가져올 뿐만 아니라 신뢰도를 떨어뜨리고, 수율을 저하 시키며 궁극적으로 액정 디스플레이의 가격 상승의 주요 원인이 된다. 이러한 문제의 해결책으로 다결정을 이용하여 비정질 실리콘 TFT보다 높은

* 정회원, ** 학생회원, 수원대학교 전자공학과
(Dept. of Electronic Engineering, University of Suwon)

※ 이 연구는 산업자원부의 21세기 프론티어기술개발사업인 차세대정보디스플레이기술개발사업단의 기술개발비(과제번호#F0004110-2007-23)지원으로 수행되었습니다.

접수일자: 2007년6월6일, 수정완료일: 2007년8월20일

수십 cm^2/Vsec 이상의 전자와 정공 이동도를 갖는 다결정 실리콘 TFT이 개발되었고 이동도가 지속적으로 개선되어 수백 cm^2/Vsec 까지 이르고 있다. 특히, 450 ~ 550도 이하의 저온 공정을 사용함으로써 유리기판 위에 높은 전자 이동도의 TFT를 제작하는 LTPS(Low Temperature Poly-Silicon) 기술이 개발되어 실용성이 향상되었다.^[1~2]

우수한 이동도에 기반을 둔 다결정 실리콘 TFT는 단순한 화소 스위칭 역할에서 벗어나 보다 빠르고 복잡한 기능을 처리하는 회로의 구성에 사용하는 SOP(System-On-Panel)의 출현을 가능하게 하였다^[3]. 그러나 현재의 LTPS-TFT 성능으로는 단결정 실리콘 집적 회로를 패널에 붙여 사용하는 COG(Chip-On-Glass) 시스템 등에 비해 속도, 면적, 전력소모량 등에서 열세에 있다. 본 논문은 이러한 다결정 TFT회로의 성능 향상에 기여할 수 있는 전류 모드 논리 (Current Mode Logic, CML) 게이트의 설계 방법에 관한 것이다.

II. CML게이트의 설계

1. CML 인버터의 설계

일반적으로 SOP(System-On-Panel)에서는 CMOS회로가 주로 사용되어왔다. 그러나 단결정 LSI 대비 LTPS-TFT의 특성이 떨어지므로 CMOS 구조의 회로는 원하는 동작 속도를 얻기 어렵다. 이런 문제점을 개선하기 위해 CML 게이트가 대안이 될 수 있다. 특히 반전 및 비반전 출력이 동시에 발생되므로 noise immunity를 개선할 수 있다. CML 게이트(Gate)는 저항에 발생하는 전압으로 논리 상태를 나타내기 때문에 정전류 (static current)에 의한 전력 소모가 많은 대신 모든 트랜지스터가 선형영역에서 동작하므로 속도가 빠른 장점을 갖는다^[4~5]. 한편, 전력 소모를 줄이기 위해서 다음의 식에서 보는 것과 같이 CMOS 게이트(Static CMOS gate)에 비해 작은 로직 스윙을 사용한다.

$$P = a \cdot C \cdot V_{dd} \cdot \Delta V \quad (1)$$

여기서 ΔV 는 로직 스윙을 나타낸다. 또 CML 게이트 내 소자들의 드레인-소스 간 전압은 CMOS에 비해 작으므로 Hot Carrier의 발생 또는 Impact Ionization 비율이 작아 소자의 수명을 늘리는 측면에서도 유용하다.

인버터는 논리회로의 근간으로 CML 인버터의 회로는 그림 1과 같다. p 채널 TFT로 구성된 회로는 n 채널 소자에 비해 kink 효과도 적게 나타나고 수명도 길

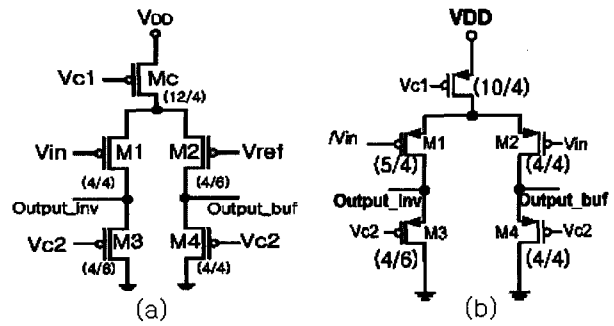


그림 1. CML 인버터/버퍼
(a) 단일 입력, (b) 상보 입력 구조
Fig. 1. CML inverter/buffer. (a) single input, (b) complementary input structure

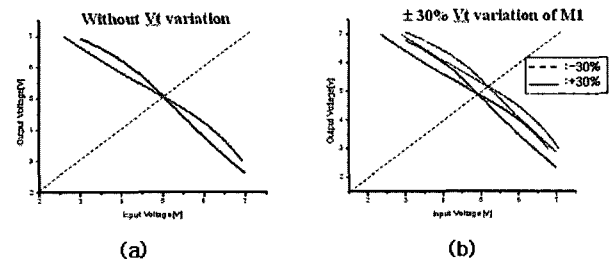


그림 2. 차동입력 CML 인버터/버퍼의 재생 마진 (a) 균일 소자 특성에서 재생마진, (b) 30% 문턱전압 편차에 따른 재생 마진 변화
Fig. 2. Regenerative margin of differential CML inverter/buffer (a) under uniform device properties, (b) under 30% V_t fluctuation.

어 유용하다. M1과 M2는 입력단으로 그림 1 (a)는 기준전압과 입력신호를 비교하는 방식이며 (b)는 상반된 신호가 차동신호로 인가되는 경우이다. M3와 M4는 부하로 사용되며 선형영역에서 동작하여 저항값은 직류전원 V_{c2} 에 의해 결정된다. M_c 는 독립 전류원으로 사용되는데 바이어스 V_{c1} 에 의해 결정되는 전류는 M1과 M2로 나뉘어 흐르며 전류 차이에 따른 M3와 M4에서 $I \cdot R$ 전압강하로 논리 상태를 표시한다^[6].

LTPS TFT는 단결정 소자에 비해 특성 변화가 매우 커 회로의 동작 특성이 변하게 되므로 민감도를 비교할 필요가 있다. 기준전압을 사용하는 인버터의 경우 재생 마진은 CMOS에 비해 매우 작는데 입력 TFT M1의 문턱전압이 변하면 마진이 발생하는 전압의 범위까지 변하는 것을 확인할 수 있었다. 반면에 상보 입력을 사용하는 그림 1 (b)의 인버터의 경우는 보다 넓은 입력 전압 범위에서 재생마진이 발생하고 문턱전압의 변화에 대해서도 그림 2(b)에 보인 것과 같이 안정적으로 재생 마진을 확보할 수 있음을 알 수 있었다.

표 1은 회로 면적과 전력소모와 전파 지연 특성에 관

표 1. CMOS 및 CML 인버터/버퍼의 특성 비교
Table 1. Comparison between CMOS and CML inverter/buffer.

		CMOS	CML Single-Ended	CML Differential
Area		152 μm^2	116 μm^2	128 μm^2
Power	15Mhz	347 μW	992 μW	720 μW
	31Mhz	712 μW	1048 μW	724 μW
Delay	Tp_rise	4.35ns	0.84ns	0.79ns
	Tp_fall	3.03ns	1.18ns	1.02ns
	T_rise	6.7ns	2.15ns	2.19ns
	T_fall	5.5ns	2.10ns	2.00ns

해서 정적 CMOS, 단일입력 모드 CML과 차동입력 CML의 인버터/버퍼 HSPICE 모사 결과를 비교한 것이다. CMOS 게이트는 버퍼 출력을 위해 중속 연결된 두 개의 정적 인버터로 설계되었다. 표로부터 CML 게이트의 지연 파라미터와 칩 면적이 정적 CMOS보다 작은 것을 볼 수 있다. 반면 입력 주파수가 15MHz로 동작할 경우 CML의 전력 소모가 더 크게 나타난다. 그러나 입력 주파수가 31Mhz로 증가되면 CML의 전력소모는 거의 변화가 없지만 정적 CMOS의 전력소모는 거의 두 배로 증가하였다. 이 결과로부터 CML 게이트는 고속 스위칭 게이트로 갈수록 유리하다는 것을 알 수 있다.

2. CML NAND/AND 및 NOR/OR 게이트의 설계

CML 게이트의 장점중 하나는 하나의 회로에 배선을 달리하여 복수의 논리게이트를 만들 수 있다는 것이다. 한 예로 NAND 및 NOR 게이트의 회로 구조가 같다. 그림 3은 CML NOR/OR 게이트의 회로로서 이 회로에 인가되는 입력을 반전시키면 NAND/AND로 동작한다. 앞서 기술한 CML 인버터와 같이 이 게이트도 전류원 Mc에서 제공하는 전류의 흐름을 제어하여 저항으로 작동하는 M3 와 M4 양단의 I*R 전압강하로 논리값을 정한다. 단, 인버터의 경우와 달리 두 개의 입력신호를 받으므로 전류가 흐르는 경로는 Ma-Mb-M3, Ma-Md-M4, M2-M4의 세 개가 있다.

전류가 흐르는 경로상의 소자 수는 전체 경로의 저항을 증가시키므로 모든 경로의 저항값이 같도록 각 소자의 W/L 비율을 결정해야 하고 따라서 Ma, Mb, Md는 M2 너비의 두 배가 되도록 한다. 그림 4(a)는 CML NOR/OR 게이트의 HSPICE 모사 결과이다. 그림에서 보듯 out과 /out 신호가 대칭적으로 동작하는 것을 확인할 수 있다. 한편 입력이 A=0, B=1인 경우와 모두 1

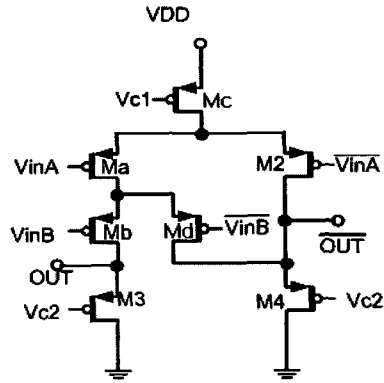


그림 3. CML NAND/AND 및 NOR/OR 게이트 회로
Fig. 3. Circuit of CML NAND/AND and NOR/OR gate.

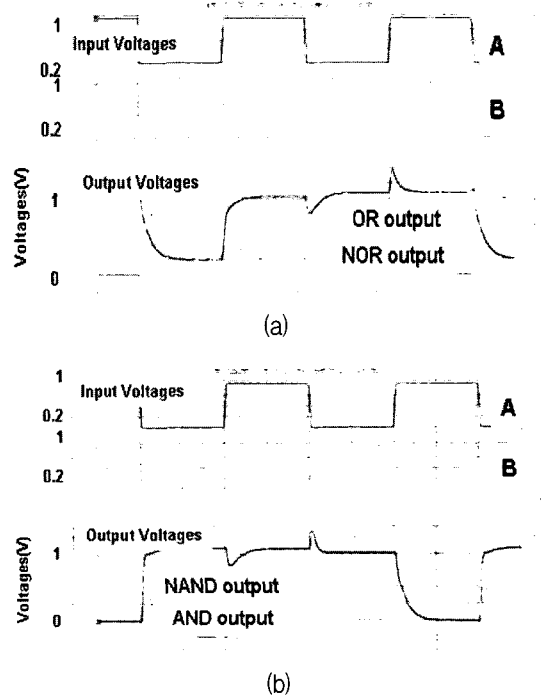


그림 4. HSPICE 모사 결과 (a) CML NOR/OR, (b) CML NAND/AND
Fig. 4. HSPICE simulation results.
(a) CML NOR/OR, (b) CML NAND/AND

표 2. CML NAND/AND 및 NOR/OR 게이트의 상세
Table 2. Details of CML NAND/AND and NOR/OR gate.

Device name	W/L	Device name	W/L	Supply (V)
Ma	14/4	M2	7/4	Vc1=2.4
Mb	14/4	M3	2/4	Vc2=-2
Mc	2/4	M4	2/4	
Md	14/4			

인 경우에 OUT 신호가 접지 전압 가까이로 더욱 낮아지는 것은 경로 상에 두 개의 TFT가 OFF 상태가 되어 흐르는 전류량을 제한하기 때문이다. 이 결과 소자가

켜져있는 경로에 흐르는 전류는 증가하게 되므로 /OUT 신호는 더욱 커진다. 이 같은 현상은 noise immunity를 더욱 향상시킨다.

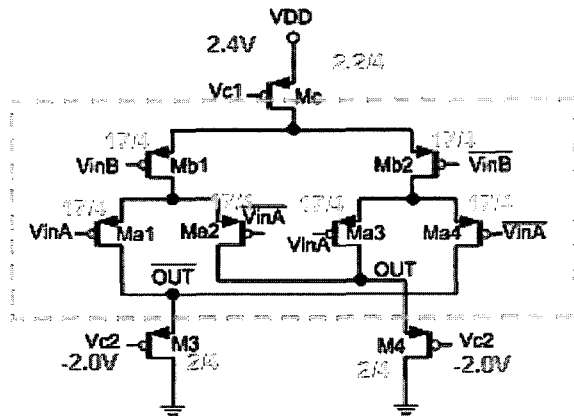
다중 입력 CML 게이트의 장점에서 언급된 것처럼 NAND/AND 또는 NOR/OR 게이트는 간단한 구조의 설계로 다양한 응용을 할 수 있을 뿐 아니라 동작 속도에 있어서도 부하 정전용량의 증가가 CMOS 경우에 비해 매우 적어 유리하다. 특히 전력소모는 전체 회로에 흐르는 전류의 양을 동일하게 유지하므로 입력의 수가 늘어나도 전력 소모량은 변하지 않는다. 표2는 HSPICE 모사에 사용된 소자들의 크기와 직류 전압원의 값을 요약한 것이다.

3. CML XOR/XNOR 및 MUX 게이트의 설계

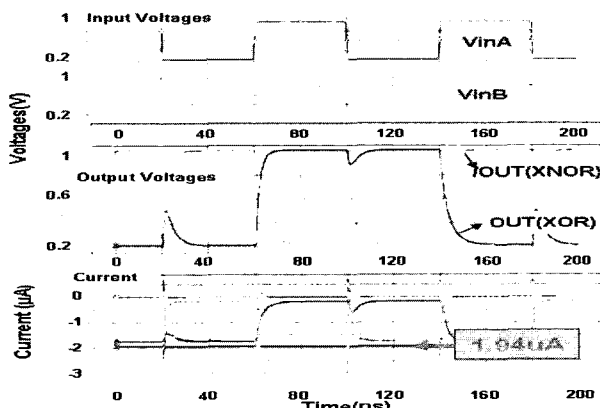
XOR/XNOR 게이트는 그림 5(a)에 보는 것과 같이 총 10개의 P채널 TFT를 이용하여 설계할 수 있다. 회

로 설계에서 알 수 있듯이 OUT 및 /OUT 출력단은 두 개의 가지에서 전류를 공급받아 M3 또는 M4에 흐르게 하여 전압 강하를 유도하고 신호 레벨을 표시하게 된다. 각 소자의 크기와 인가된 직류 바이어스 전압값은 그림에 표시된 것과 같으며 모사 결과는 그림 5(b)와 같다.

한편 같은 수의 TFT를 이용하여 배선의 연결을 달리하면 그림 6(a)에 보인 것과 같이 멀티플렉서를 구현할 수 있다. 이 회로에 사용된 소자와 전원은 모두 그림 5의 XOR/XNOR 게이트에 사용된 것과 같다. MUX의 동작을 살펴보면 SelA 신호가 'Low'인 경우 VinA 신호에 의해 출력노드의 전압이 결정이 되고, 반대로 SelB 신호가 'Low'인 경우에는 VinB 신호에 의해 출력 노드의 전압이 결정된다.



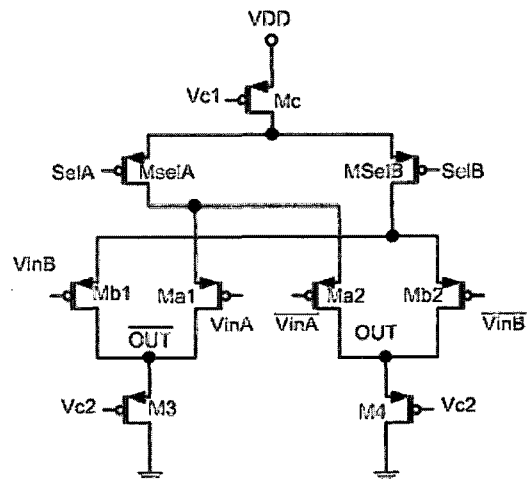
(a)



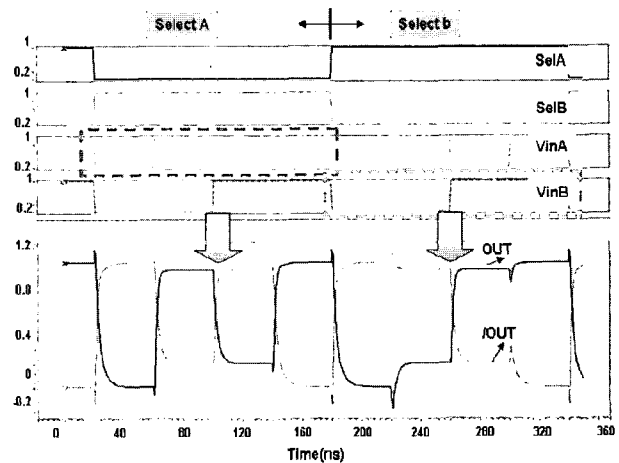
(b)

그림 5. (a) CML XOR/XNOR 게이트, (b) HSPICE 모사결과

Fig. 5. (a) CML XOR/XNOR gate, (b) HSPICE simulation result.



(a)



(b)

그림 6. (a) CML MUX 게이트, (b) HSPICE 모사 결과

Fig. 6. (a) CML MUX gate, (b) HSPICE simulation result.

그림 6(b)는 MUX 회로의 HSPICE 모사 결과로 예측했던 것처럼 선택신호 A와 B의 입력 상태에 따라 출력으로 선택된 입력이 전달되는 것을 확인할 수 있다. 이 회로는 XOR/XNOR게이트와 같은 설계 파라미터를 사용하므로 전력소모량과 동작속도가 동일한 특징을 갖는다.

III. 요약 및 결론

CML게이트는 입력 신호에 따라 전류가 흐르는 경로를 제어하여 논리 결과를 얻는 원리를 사용하기 때문에 소자들이 on 상태를 유지하고 있다. 이 같은 특징은 낮은 이동도를 갖는 LTPS TFT를 이용한 고속 논리회로의 설계에 적합하다. 본 논문에서는 CML 인버터의 설계를 통해 CMOS 설계의 게이트보다 월등한 스위칭 특성을 구현할 수 있음을 보였고 전력 소모량도 로직 스위칭의 값을 1.2볼트 정도로 낮추어 저감시킬 수 있었다.

복수 입력을 갖는 게이트의 설계에서 CML게이트의 장점은 더욱 두드러지는데 NAND/AND 및 NOR/OR 게이트를 같은 회로로 구현할 수 있음을 보였고 XNOR/XOR와 MUX 게이트를 같은 회로로 구현함을 보였다. 이런 사실은 다양한 게이트의 소비전력 및 동작속도가 동일하거나 매우 근사하다는 것을 의미하며

skew 문제의 최소화 등으로 논리회로 설계를 용이하게 해줄 것으로 기대된다.

한편 향후 전력 소모를 줄이는 최적설계에 관한 연구와 순차논리회로를 구성하는 회로의 설계가 이루어져야 하겠다.

참 고 문 헌

- [1] H. Sakamoto et al., "2.6 inch HDTV Panel Using CG Silicon", SID'00 Digest, p.1190, 2000.
- [2] Y. Hirakata et al., "4-in VGA Reflectin-Type Poly-Si TFT LCD with Intergrated Digital Driver Using Seven-Mark CG Silicon CMOS Process", SID'00 Digest, p.1014, 2000.
- [3] Y. Matsueda et al., "Concept of a System on Panel", IDW'00, p.171, 2000.
- [4] A. Hairapetian et al., "Current-Controlled CMOS Logic Family" United States Patent : US 6,424,194 B1, July 2002.
- [5] A. Bellaouar "Current Mode Logic Gate for Low Voltage High-Speed Applications" United States Patent : US 6,492,840 B1, December 2002.
- [6] J-G Kim, J.Y. Jeong, and J,H Hur, "Improvement of LTPS TFT Digital Circuit Performance for System-On-Panel Application" IDW'04, p. 443 2004.

저 자 소 개



이 준 창(학생회원)
2004년 수원대학교 전자공학과
학사 졸업.
2004년~현재 수원대학교 대학원
전자공학과 석사 과정.
<주관심분야 : LCD 구동회로,
VLSI, 반도체>



정 주 영(정회원)
대한전자공학회 논문지
제33권 A편 10호 참조