

논문 2007-44SD-9-2

단층 입력 구조의 Magnetic-Tunnel-Junction 소자용 Macro-Model을 이용한 4비트 그레이 카운터의 설계

(Design of 4-bit Gray Counter Simulated with a Macro-Model for
Single-Layer Magnetic-Tunnel-Junction Elements)

이승연*, 이감영*, 이현주*, 이승준**, 신형순**

(Seungyeon Lee, Gamyong Lee, Hyunjoon Lee, Seungjun Lee, and Hyungsoon Shin)

요약

기존의 트랜지스터 기반의 논리 연산자를 비휘발성 소자인 MTJ (Magnetic Tunneling Junction)로 대체하는 자기논리 (magneto-logic) 회로는 그동안 기억 소자 분야에만 국한되어온 MTJ를 스핀전자공학 분야의 새로운 응용으로 논리 회로까지 확장하여 적용 가능하게 한다. 자기논리 회로는 회로 면적 면에서 우수하고 전원이 꺼져도 정보를 유지할 수 있는 장점을 가지고 있다. 또한, 불 (Boolean) 연산을 수행함에 있어서 유연성을 보여, 단순히 입력을 바꾸는 것만으로도 한 MTJ 소자로 모든 논리 연산자를 구현 가능하게 한다. 이로써 물리적으로 완성된 회로 내에서, 재구성 가능한 자기논리 회로를 설계할 수 있다. 본 논문에서는 종래의 다층 입력 구조의 MTJ에 비해, 공정이 간단하고, 보다 유연한 함수 구현 능력을 갖는 단층 입력 구조의 새로운 MTJ 소자를 제안하며, 그 예로, 4비트 그레이 카운터를 설계하여 그 동작을 이전 논문에서 제안된 바 있는 macro-model을 보완 적용하여 검증하였다.

Abstract

It opens a new horizon on spintronics for the potential application of MTJ as a universal logic element, to employ the magneto-logic in substitution for the transistor-based logic device. The magneto-logic based on the MTJ element shows many potential advantages, such as high density, and nonvolatility. Moreover, the MTJ element has programmability and can therefore realize the full logic functions just by changing the input signals. This magneto-logic using MTJ elements can embody the reconfigurable circuit to overcome the rigid architecture. The established magneto-logic element has been designed and fabricated on a triple-layer MTJ. We present a novel magneto-logic structure that consists of a single layer MTJ and a current driver, which requires less processing steps with enhanced functional flexibility and uniformity. A 4-bit gray counter is designed to verify the magneto-logic functionality of the proposed single-layer MTJ and the simulation results are presented with the HSPICE macro-model of MTJ that we have developed.

Keywords : magneto-logic, single-layer MTJ, 4-bit gray counter, write driver, macro-model

I. 서론

근래에 들어 Magneto-resistive Random Access

Memory (MRAM)의 정보 저장 소자로 사용되어 오던 Magnetic Tunnel Junction (MTJ) 소자를 논리 회로 구현에 이용함으로써, 기존의 트랜지스터로 구현되어 오던 CMOS 논리 회로를 대체할 자기논리 (magneto-logic) 회로에 대한 연구가 활발히 진행 중이다.^[1~6] 기존의 CMOS 논리회로는 보다 복잡한 논리 회로의 구현을 위해, NAND, NOR, XOR 등의 논리 연산자를 조합하여 인가된 입력에 대해 즉시 연산 결과를 출력하는 조합논리 (combinational logic) 회로의 결과 정보를, 래치와 같은 정보 저장소를 두어 순서에 따라 차례차례

* 학생회원, ** 정회원, 이화여자대학교 정보통신학과
(Department of Information Electronic Eng., Ewha Womans University)

※ 본 연구는 정보통신부 및 정보통신연구진흥원의 대학 IT연구센터 지원사업 (ITA-2006-C109006030030)과 과학기술부에서 추진하는 21세기 프론티어 사업 중 테라급나노소자 개발사업단 지원으로 수행되었음.
접수일자: 2007년2월6일, 수정완료일: 2007년8월17일

일을 하여 최종 결과를 내는 순차논리 (sequential logic) 회로에 저장하는 방식을 사용하여 왔다. 따라서 자체 저장 능력을 갖는 소자로 논리 회로를 구현할 시, 회로의 효율이 매우 증가하게 된다. 최근 한 연구에 의하면, MTJ 소자를 이용한 자기논리 회로로 조합논리 회로를 대체하는 시도가 있었다.^[3] MTJ 소자는 불 (Boolean) 연산을 수행할 수 있을 뿐만 아니라, 스스로의 결과 정보를 저장 할 수도 있는 비휘발성 소자로, 그 이점을 최대한 활용하면, 자기논리 회로는 조합논리 회로뿐 아니라, 순차논리 회로까지도 대체 가능하다. 자기논리 회로는 지금까지 기억 소자 분야에만 국한되어온 MTJ 소자를 새로운 응용으로 논리 회로까지 확장하여 적용함으로써 스핀전자공학 분야의 새로운 장을 열 것으로 기대되어 지고 있다.

그림 1은 종래의 자기논리 회로에 사용되어 오던 MTJ 소자의 구조를 보여준다.^[4] 기본적으로, 두 개의 magnetic layer가 dielectric tunnel barrier에 의해 분리된 구조를 보이며, 두 개의 magnetic layer 중 하단의 fixed layer는 그 극 방향이 매우 큰 자기장에 의해서만 변하므로 고정 되어 있다고 보고, 상단의 free layer는 그 극 방향이 비교적 작은 자기장에 의해서도 변하므로 소자에 인가되는 자기장의 방향과 크기에 따른다고 본다. 이 때 두 layer의 극 방향이 같으면 소자는 작은 저항 값 (R_L)을 갖고, 이 두 layer의 극 방향이 다르면 소자는 큰 저항 값 (R_H)을 갖는다. MTJ 소자의 이러한 극 방향은 일정 임계값 이상의 자기장에 의해 배열되며, 전원이 꺼져도 정보 값을 유지하게 된다. 그림 1에서 보는 바와 같이, 종래의 자기논리 회로에 사용되어 오던 MTJ 소자는 세 개의 입력 선을 갖는 다층 입력 구조이다. 이 입력 선에 흐르는 전류의 방향에 의해 MTJ 소자의 free layer 극 방향이 변하게 되는데, 세 개의 입력 중 두 개 이상의 동일한 입력에 의해 발생하는 자기장의 방향과 크기로 소자의 정보인 free layer의 극 방향을 바꾸어 논리 '0' 또는 논리 '1'의 정보를 저장한다. 만약 두 개 이상의 입력 선에 +I가 흐를 경우, MTJ 소자의 저항 값은 R_H 가 되고, 논리 '1'의 정보가 저장된다. 그림 1과 같이, 다층 입력 소자의 입력이 각각 A, B, C일 경우 불 연산은 수식 (1)을 따른다.

$$OUT = (A \cdot B) + (B \cdot C) + (C \cdot A) \quad (1)$$

이러한 다층 입력 구조를 통해 MTJ 소자는 기존 수 개의 트랜지스터로 구성되었던 논리 연산자를 한 개의 MTJ 소자만으로도 구현 가능하게 하는 불 연산 능력

을

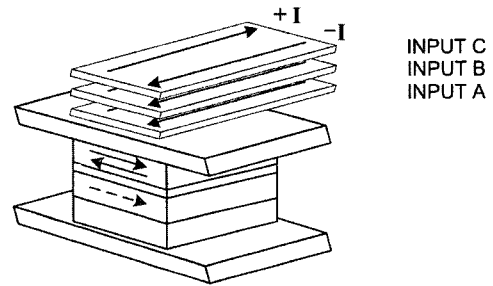


그림 1. 기존 다층 입력 구조의 MTJ 소자
Fig. 1. Conventional design of triple-layer MTJ.

갖게 된다.^[5-6] 또한, 기존 CMOS 논리 연산자가 물리적인 배선에 의해 그 동작이 고정되어 있던 것에 비해, 다층 입력 구조의 MTJ 소자 하나하나는 불 연산을 수행함에 있어 유연성을 보여, 단순히 입력을 바꾸는 것만으로도 하나의 같은 MTJ 소자 내에서 서로 다른 논리 연산을 수행할 수 있다.

그러나 하나의 논리 연산자가 아닌, 자기논리 회로 구현을 위해 다층 입력 구조의 MTJ 소자들을 서로 연결하게 되면 이러한 유연성을 잃게 되며, 서로 독립된 입력 선들을 연결 시 배선이 복잡해지고, 균일하지 않은 구동 전류가 필요하다는 단점이 있다. 또한 다층 입력 구조의 MTJ 소자는 MTJ를 쌓은 후 그 위에 서로 절연된 메탈 입력 선 세 층을 쌓아야하는 공정상의 어려움도 있다.

본 논문에서는 다층 입력 구조의 불 연산 능력을 유지하면서, 공정상 간단하고, 균등한 구동 전류를 가지며, 논리 회로 구현 시에도 MTJ 소자 특유의 유연성을 유지할 수 있는 새로운 구조의 자기 논리 소자를 제안한다. 카운터는 디지털 논리 회로에서 자주 사용되는 순차 논리 블록이다. 본 논문에서는 백여 개의 트랜지스터를 사용해 구현되어 오던 4 비트 그레이 카운터를 16개의 MTJ 소자로 구현한 자기 논리 회로를 통해, 새로운 단층 입력 구조 논리 소자의 동작을 검증하고, 순차 논리 회로의 자기논리 회로로의 대체 가능성을 보여주고자 한다. 본 논문의 구성은 다음과 같다. 서론에 이어 본문의 1절에서는 단층 입력 구조의 MTJ 소자로 구현한 자기 논리 연산자의 기본 개념을 살펴본다. 2절에서는 본 논문에서 제안하는 자기 논리 4비트 그레이 카운터의 동작을 설명하고, 3절에서는 MTJ 소자의 특성을 고려한 macro-model을 이용하여 2절에서 제안한 카운터의 동작 결과를 HSPICE 시뮬레이션을 통해 검증한 후 결론을 맺는다.

II. 본 론

1. 단층 입력 구조의 MTJ를 사용한 자기논리 연산자의 기본 개념

본 논문에서 제안하는 단층 입력 구조의 MTJ 소자는 그림 2(a)에서 보는 바와 같이, MRAM의 정보 저장 소자로 쓰이는 MTJ 셀과 그 구조가 매우 유사하다. 입력 선 'layer 1'에 흐르는 전류의 방향에 의해 소자의 free layer 극 방향이 변하게 되고, fixed layer의 극 방향은 소자 동작 동안 불변하며, 방향은 편의상 오른쪽으로 자화되어 있다. 이와 같이 fixed layer의 극 방향을 고정함으로써 종래의 연구에서 필요했던 초기화 과정 없이도 MTJ 소자의 논리 동작이 가능하다.^[5-6] 그림 2(a)는 실제 MTJ 소자와 입력 선 간의 수직적인 절연 관계를 보여주며, 2(b)는 이를 간략화한 그림으로써 앞으로 이 약도를 사용한다. 그림 2(c)에서 보는바와 같이, 전류 입력 방향은 아래에서 위로 흐를 때를 기본으로 하고 그 때의 전류를 +I로 표현하며, 위에서 아래로 흐를 때의 전류를 -I로 표현한다. 입력 선 'layer 1'에 흐르는 전류 방향이 +I일 경우 free layer 극 방향이 왼쪽으로 자화된다. 이와 같이 fixed layer와 free layer의 극 방향이 반대여서 저항 값이 R_H 일 때를 논리 '1'로 정의한다. 반대로, 입력 선 'layer 1'에 흐르는 전류 방향이 -I일 경우 free layer 극 방향이 오른쪽으로 자화되며, 이와 같이 fixed layer와 free layer의 극 방향이 같아 저항 값이 R_L 일 때는 논리 '0'이다. 그림 2(d)는 입력 선의 정보가 양방향으로 주어졌을 때에 따른 출력 정보 변화를 설명한다. 왼쪽 MTJ 소자와 같이 입력 선의 정보로 A가 인가될 경우, A가 논리 '1'일 때 +I가 흐르고, 그 때 MTJ 소자의 논리 정보 값은 '1'이 되며, 논리 '0'일 때는 -I가 흐르며, 그 때의 논리 정보 값은 '0'이다. 오른쪽의 MTJ 소자와 같이 입력 선의 정보로 Ab가 인가될 경우, Ab가 논리 '1'일 때 -I가 흘러 MTJ 소자의 논리 정보 값이 '0'이 되고, 논리 '0'일 때는 +I가 흘러 논리 '1'이 된다. 이와 같이, 입력 정보로 A와 Ab를 사용하는 양방향 입력에 의해 fixed layer의 극 방향을 한 방향으로 고정하고도 한 MTJ 소자로 모든 논리 연산자를 구현할 수 있게 된다.

입력 선 'layer 1'에 흐르는 전류 방향은 그림 3(a)에서 제안하는 전류 구동 회로가 결정한다. 각 트랜지스터에 흐르는 전류량은 I 이고, 전류 구동 회로의 입력인 α, β, γ 가 모두 '1'일 경우, 'layer 1'으로 +3I 가 흐르고, 세 개의 입력 중 두 개 이상이 '1'일 경우 +I가 흐르도

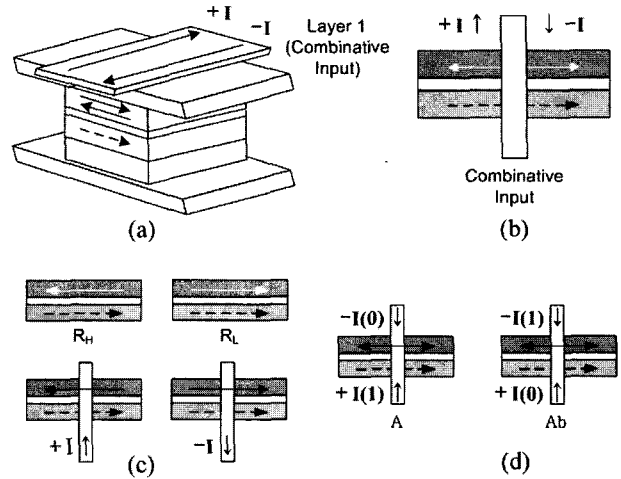


그림 2. (a) 단층 입력 구조를 갖는 자기논리 소자용 MTJ 구조 (b) MTJ 소자의 약도 (c) 입력 전류 방향에 따른 논리 정보 값 '0', '1'의 정의 (d) 양방향 입력에 따른 동작 원리

Fig. 2. (a) Schematic of single-layer MTJ stack for magneto-logic element (b) simpler schematic of MTJ element (c) definition of logic '0' or '1' by input current direction (d) description of logic operation by bidirectional input forcing

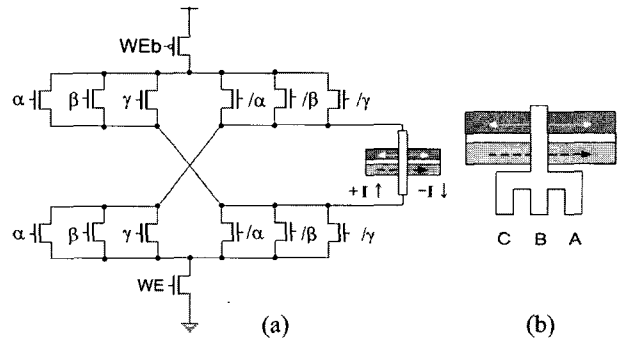


그림 3. (a) 단층 입력 구조의 MTJ를 구동하는 전류 구동 회로의 설계도 (b) 입력이 A, B, C일 경우의 약도

Fig. 3. (a) Schematic of write driver with a single-layer MTJ element (b) simpler schematic of the left one where inputs are A, B, and C

록 설계하였다. 그림 3(b)는 입력 조합의 한 예로, α, β, γ 를 각각 A, B, C 라고 했을 경우의 약도이다.

표 1은 그림 3(b)와 같은 입력 조합을 가질 때의 자기논리 소자의 동작을 보여주며, 그 불 연산은 수식 (1)과 같아, 제안하는 단층 입력 구조의 MTJ 소자가 종래의 다층 입력 구조의 MTJ 소자와 같은 불 연산 능력을 갖는다는 것을 알 수 있다.

그림 4는 MTJ 소자의 저항 값을 비교하는 Sense Amplifier (S/A)를 보여준다. V_+ 단자의 저항 값이 V_- 의 저항 값보다 큰 경우에 S/A의 출력은 논리 '1'이 되

표 1. 전류 구동 회로와 단층 입력 구조 MTJ 소자의 논리 동작표

Table 1. Logic operations of the magneto-logic device based on a single-layer MTJ with a current driver.

C	B	A	전류	저항
0 (-I)	0 (-I)	0 (-I)	-3I	0 (R _L)
0 (-I)	0 (-I)	1 (+I)	-I	0 (R _L)
0 (-I)	1 (+I)	0 (-I)	-I	0 (R _L)
0 (-I)	1 (+I)	1 (+I)	+I	1 (R _H)
1 (+I)	0 (-I)	0 (-I)	-I	0 (R _L)
1 (+I)	0 (-I)	1 (+I)	+I	1 (R _H)
1 (+I)	1 (+I)	0 (-I)	+I	1 (R _H)
1 (+I)	1 (+I)	1 (+I)	+3I	1 (R _H)

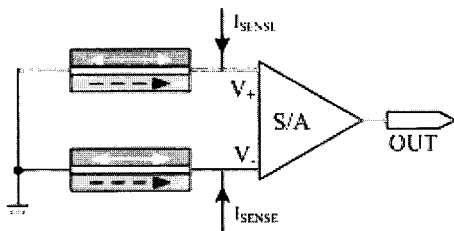


그림 4. Sense amplifier의 회로도
Fig. 4. Schematic of sense amplifier.

표 2. S/A의 동작 진리표
Table 2. Truth table of S/A operation.

V ₊	V ₋	OUT
0 (R _L)	0 (R _L)	0
0 (R _L)	1 (R _H)	0
1 (R _H)	0 (R _L)	1
1 (R _H)	1 (R _H)	0

고 V₊ 단자의 저항 값이 V₋의 저항 값보다 작거나 같은 경우에는 S/A의 출력은 논리 '0'이 된다. 이를 위하여 S/A V₋ 단자의 offset 전압 (V_{OS})는 0 < V_{OS} < I_{SENSE} · ΔR (ΔR=R_H-R_L)을 만족하여야 한다. 이와 같은 S/A OUT은 수식 (2)와 같은 불 연산으로 표현 가능하며, 표 2의 진리표에서 보는 바와 같이 동작한다.

$$S/A \text{ OUT} = V_+ \cdot \overline{V_-} \quad (2)$$

다음은 지금까지 설명한 단층 입력 구조의 MTJ 소자로 모든 논리 연산자 즉, AND, OR, NOR, NAND, XOR, XNOR를 구현해 보겠다. 그림 5의 (a)에서 (d)까지는 각각 AND, OR, NOR, NAND의 논리 연산자를

구현한 것으로, S/A의 V₊ 단자에 각 MTJ 소자가 연결되고, V₋ 단자에는 R_L 값을 갖는 MTJ 소자가 연결된다. 그림 5(a)와 (b)는 입력 α와 β에 A와 B를 인가하고, 입력 γ에 각각 '0'과 '1'을 인가하여, A와 B가 논리 '1'일 경우 +I가, 논리 '0'일 경우 -I가 흐르게 한다. 그 결과, 그림 5(a)는 A와 B 모두 논리 '1'일 경우에만 'layer 1'으로 +I가 흘러 결과 값이 '1'이 되고, 나머지 경우에는 '0'이 되는 AND 연산을 수행하게 되고, (b)는 A와 B가 모두 논리 '0'일 경우에만 'layer 1'으로 -I가 흘러 결과 값이 '0'이 되고, 나머지 경우에는 모두 '1'이 되는 OR 연산을 수행하게 된다. 마찬가지로, (c)와 (d)는 입력 α와 β에 Ab와 Bb를 인가하고, 입력 γ에 각각 '0'과 '1'을 인가하여, A와 B가 논리 '1'일 경우 -I가, 논리 '0'일 경우 +I가 흐르게 한다. 따라서 (c)는 A와 B가 모두 논리 '0'일 경우에만 'layer 1'으로 +I가 흘러 결과 값이 '1'이 되고, 나머지 경우에는 모두 '0'이 되는 NOR 연산을 수행하게 되고, (d)는 A와 B가 모두 논리 '1'일 경우에만 'layer 1'으로 -I가 흘러 결과 값이 '0'이 되고, 나머지 경우에는 모두 '1'이 되는 NAND 연산을 수행하게 된다. 그림 5(e)와 (f)는 각각 XOR와 XNOR의 논리 연산자를 구현한 것으로, S/A의 V₊ 단자에 OR 동작을 하는 MTJ를, V₋ 단자에는 AND 동작을 하는 MTJ를 연결한다. 각각의 불 연산은 수식 (3)과 (4)를 따른다.

$$\begin{aligned} OUT &= (A+B) \cdot \overline{(A \cdot B)} \\ &= (A+B) \cdot (\overline{A} + \overline{B}) \\ &= A \oplus B \end{aligned} \quad (3)$$

$$\begin{aligned} OUT &= (\overline{A} + B) \cdot \overline{(\overline{A} \cdot B)} \\ &= (\overline{A} + B) \cdot (A + \overline{B}) \\ &= \overline{A \oplus B} \end{aligned} \quad (4)$$

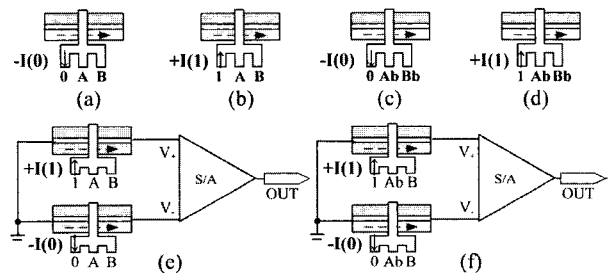


그림 5. (a)자기논리 소자를 이용한 논리 연산자 (a) AND (b) OR (c) NOR (d) NAND (e) XOR (f) XNOR
Fig. 5. Magneto-logic gate (a) AND (b) OR (c) NOR (d) NAND (e) XOR (f) XNOR

이와 같이 한 두 개의 MTJ 소자를 이용하여, 전류 구동 회로의 입력 게이트 신호를 바꾸는 것만으로 초기화 과정 없이 간단하게 모든 논리 연산자의 구현이 가능하다. 또한, 단층 입력 구조의 MTJ는 단 한 개의 입력 선으로 free layer의 극 방향을 제어함으로써 공정이 용이하고, 입력 선이 free layer와 가깝게 위치하므로 다층 입력 구조의 소자에 비해 적은 양의 구동 전류로 MTJ의 저항을 바꿀 수 있다. 또한 MTJ 소자 특유의 유연한 함수 구현 능력도 이미 조합된 입력에 의해 배선과 관계없이 자기 논리 회로 구현 후에도 그 유연성을 유지할 수 있게 된다. 이는 물리적으로 완성된 회로 내에서, 재구성 가능한 자기논리 회로를 구현할 수 있음을 시사한다.

2. 자기논리 4 비트 그레이 카운터의 동작 원리

본 절에서는 새로운 단층 입력 구조 MTJ의 동작 검증을 위한 자기논리 4 비트 그레이 카운터를 제안한다. 표 3은 유한 상태 기계 (finite state machine)인 4비트 그레이 카운터의 진리표를 보여준다. 여기서 4비트 중 최하위 비트가 입력 A에 해당하고 최상위 비트가 입력 D에 해당한다. 현재 상태 A의 다음 상태를 A_{NEXT}라고 했을 때 그레이 카운터의 4비트 각 자리들 상태는 수식 (5)의 불 연산을 따르며, 그림 7에 그 회로를 구성하여 보였다.

표 3. 4 비트 그레이 카운터의 동작 진리표
Table 3. Truth table of 4-bit gray counter operation.

D C B A	D _{NEXT}	C _{NEXT}	B _{NEXT}	A _{NEXT}
0 0 0 0	0	0	0	1
0 0 0 1	0	0	1	1
0 0 1 1	0	0	1	0
0 0 1 0	0	1	1	0
0 1 1 0	0	1	1	1
0 1 1 1	0	1	0	1
0 1 0 1	0	1	0	0
0 1 0 0	1	1	0	0
1 1 0 0	1	1	0	1
1 1 0 1	1	1	1	1
1 1 1 1	1	1	1	0
1 1 1 0	1	0	1	0
1 0 1 0	1	0	1	1
1 0 1 1	1	0	0	1
1 0 0 1	1	0	0	0
1 0 0 0	0	0	0	0

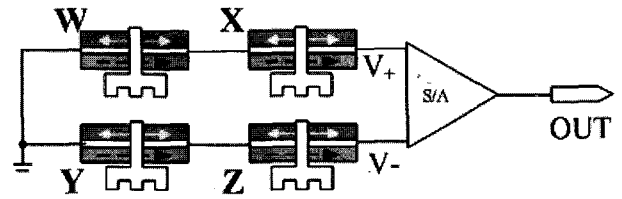


그림 6. 직렬 연결된 MTJ를 갖는 S/A의 회로도
Fig. 6. Schematic of S/A with serially connected MTJs.

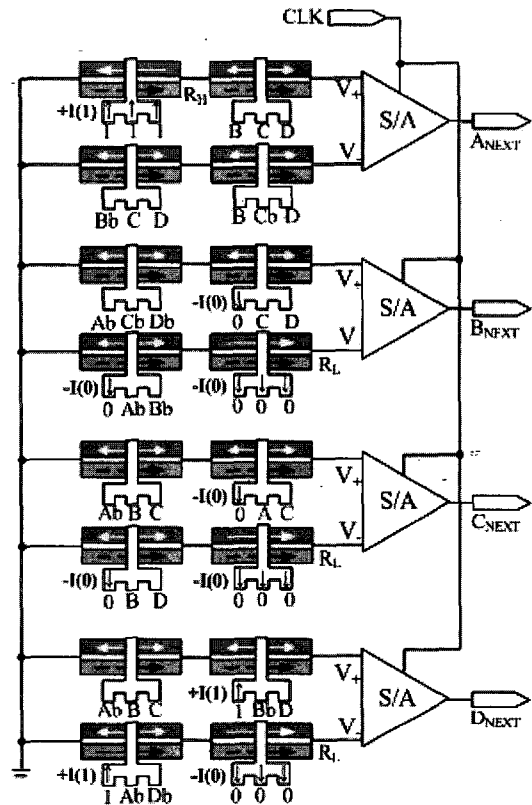


그림 7. 4비트 자기논리 그레이 카운터 회로
Fig. 7. Schematic of 4-bit magneto-logic gray counter.

$$\begin{aligned}
 A_{NEXT} &= \bar{B} \cdot \bar{C} \cdot \bar{D} + B \cdot C \cdot \bar{D} + \bar{B} \cdot C \cdot D + B \cdot \bar{C} \cdot D \\
 B_{NEXT} &= A \cdot \bar{C} \cdot \bar{D} + A \cdot C \cdot D + \bar{A} \cdot B \\
 C_{NEXT} &= \bar{A} \cdot B \cdot \bar{D} + \bar{A} \cdot \bar{B} \cdot C + A \cdot C \\
 D_{NEXT} &= \bar{A} \cdot \bar{B} \cdot C + \bar{A} \cdot B \cdot D + A \cdot D
 \end{aligned}
 \tag{5}$$

그림 2에서 본 S/A의 V₊와 V₋ 각 단자에 직렬로 연결된 MTJ 소자가 그림 6과 같이 있을 경우, 각 소자를 W, X, Y, Z의 한 비트씩으로 보고 그 동작을 살펴보면, 수식 (6)과 같은 불 연산을 수행한다.

$$S/A \text{ OUT} = (W + X) \cdot \bar{Y} \cdot \bar{Z} + (\bar{Y} + \bar{Z}) \cdot W \cdot X \tag{6}$$

여기서 A_{NEXT}를 구현하기 위해 그림 7과 같이 W는 R_H (1)로, X는 (B · C + C · D + D · B), Y는 (Bb · C +

C · D + D · Bb), Z는 (B · Cb + Cb · D + D · B)로 놓고, 그 불 연산을 계산해 보면 수식 (7)과 같이 된다.

$$\begin{aligned}
 A_{NEXT} &= ((1 + B \cdot C + C \cdot D + D \cdot B) \cdot (\overline{B \cdot C + C \cdot D + D \cdot B}) \\
 &\cdot (\overline{B \cdot \overline{C} + \overline{C} \cdot D + D \cdot B})) + ((\overline{B \cdot C + C \cdot D + D \cdot B}) \\
 &+ (B \cdot \overline{C} + \overline{C} \cdot D + D \cdot B)) \cdot 1 \cdot (B \cdot C + C \cdot D + D \cdot B) \\
 &= ((B \cdot \overline{C} + \overline{C} \cdot D + D \cdot B) \cdot (\overline{B \cdot C + C \cdot D + D \cdot B})) \\
 &+ (B \cdot \overline{C} \cdot D + \overline{B} \cdot C \cdot D + B \cdot C \cdot \overline{D}) \\
 &= \overline{B} \cdot \overline{C} \cdot \overline{D} + B \cdot C \cdot \overline{D} + \overline{B} \cdot C \cdot D + B \cdot \overline{C} \cdot D
 \end{aligned}
 \tag{7}$$

마찬가지로 B_{NEXT}, C_{NEXT}, D_{NEXT}의 동작은 수식 (8), (9), (10)을 따른다. 4 비트 그레이 카운터는 조합논리 회로와 순차논리 회로 모두로 구성된 CMOS 논리 회로의 예로서, 이의 자기논리 회로의 구현은 MRAM 셀로 사용되어 오던 MTJ 소자가 논리 소자로도 사용 가능하다는 것을 보인 좋은 예이다. 또한 단층 입력 구조 MTJ의 도입으로, 회로 면적 면에서 우수하고 비휘발성이라는 장점 외에 재구성 가능하고 공정이 용이한 자기 논리 회로의 구현 가능성을 보였다.

$$\begin{aligned}
 W &= \overline{A} \cdot \overline{C} + \overline{C} \cdot \overline{D} + \overline{D} \cdot \overline{A} \\
 X &= C \cdot D Y = \overline{A} \cdot \overline{B} Z = R_L(0) \\
 B_{NEXT} &= ((\overline{A} \cdot \overline{C} + \overline{C} \cdot \overline{D} + \overline{D} \cdot \overline{A} + C \cdot D) \cdot (A + B) \cdot 1) \\
 &+ ((A + B + 1) \cdot (\overline{A} \cdot \overline{C} + \overline{C} \cdot \overline{D} + \overline{D} \cdot \overline{A}) \cdot (C \cdot D)) \\
 &= (A \cdot \overline{C} \cdot \overline{D} + A \cdot C \cdot D + \overline{A} \cdot B \cdot \overline{C} + \overline{A} \cdot B \cdot \overline{D} \\
 &+ B \cdot C \cdot D + B \cdot \overline{C} \cdot \overline{D}) + (0) \\
 &= A \cdot \overline{C} \cdot \overline{D} + A \cdot C \cdot D + \overline{A} \cdot B \cdot (\overline{C} + \overline{D} + C \cdot D + \overline{C} \cdot \overline{D}) \\
 &+ A \cdot B \cdot C \cdot D + A \cdot B \cdot \overline{C} \cdot \overline{D} \\
 &= A \cdot \overline{C} \cdot \overline{D} + A \cdot C \cdot D + \overline{A} \cdot B
 \end{aligned}
 \tag{8}$$

$$\begin{aligned}
 W &= \overline{A} \cdot B + B \cdot C + C \cdot \overline{A} \\
 X &= A \cdot C Y = B \cdot D Z = R_L(0) \\
 C_{NEXT} &= ((\overline{A} \cdot B + B \cdot C + C \cdot \overline{A} + A \cdot C) \cdot (\overline{B} + \overline{D}) \cdot 1) \\
 &+ ((\overline{B} + \overline{D} + 1) \cdot (\overline{A} \cdot B + B \cdot C + C \cdot \overline{A}) \cdot (A \cdot C)) \\
 &= (\overline{A} \cdot B \cdot C + \overline{A} \cdot B \cdot \overline{D} + \overline{A} \cdot C \cdot \overline{D} + B \cdot C \cdot \overline{D} \\
 &+ A \cdot \overline{B} \cdot C + A \cdot C \cdot \overline{D}) + (A \cdot B \cdot C) \\
 &= \overline{A} \cdot B \cdot C + \overline{A} \cdot B \cdot \overline{D} + A \cdot C \cdot (\overline{B} \cdot \overline{D} + \overline{B} + \overline{D} + B) \\
 &= \overline{A} \cdot B \cdot C + \overline{A} \cdot B \cdot \overline{D} + A \cdot C
 \end{aligned}
 \tag{9}$$

$$\begin{aligned}
 W &= \overline{A} \cdot B + B \cdot C + C \cdot \overline{A} \\
 X &= \overline{B} \cdot D Y = \overline{A} \cdot \overline{D} Z = R_L(0) \\
 D_{NEXT} &= ((\overline{A} \cdot B + B \cdot C + C \cdot \overline{A} + \overline{B} + D) \cdot (A \cdot D) \cdot 1) \\
 &+ ((A \cdot D + 1) \cdot (\overline{A} \cdot B + B \cdot C + C \cdot \overline{A}) \cdot (\overline{B} + D)) \\
 &= (A \cdot D) + (\overline{A} \cdot B \cdot C + \overline{A} \cdot B \cdot D + \overline{A} \cdot B \cdot C \cdot D \\
 &+ \overline{A} \cdot B \cdot C \cdot D + A \cdot B \cdot C \cdot D) \\
 &= A \cdot D + \overline{A} \cdot B \cdot C + \overline{A} \cdot B \cdot D
 \end{aligned}
 \tag{10}$$

3. HSPICE macro-model을 이용한 시뮬레이션 결과

본 절에서는 수정된 macro-model을 적용한 HSPICE 시뮬레이션을 통해 4 비트 자기논리 그레이 카운터의 동작을 입증한다. 본 연구진은 이전 연구에서 MRAM 셀로 사용되는 MTJ 소자의 여러 특성을 재현할 수 있는 macro-model을 제안한 바 있다.^[7-8] 그림 8(a)는 이러한 MRAM용 macro-model을 본 논문에서 제안하는 자기논리 소자용 macro-model로 수정한 것으로, 블록

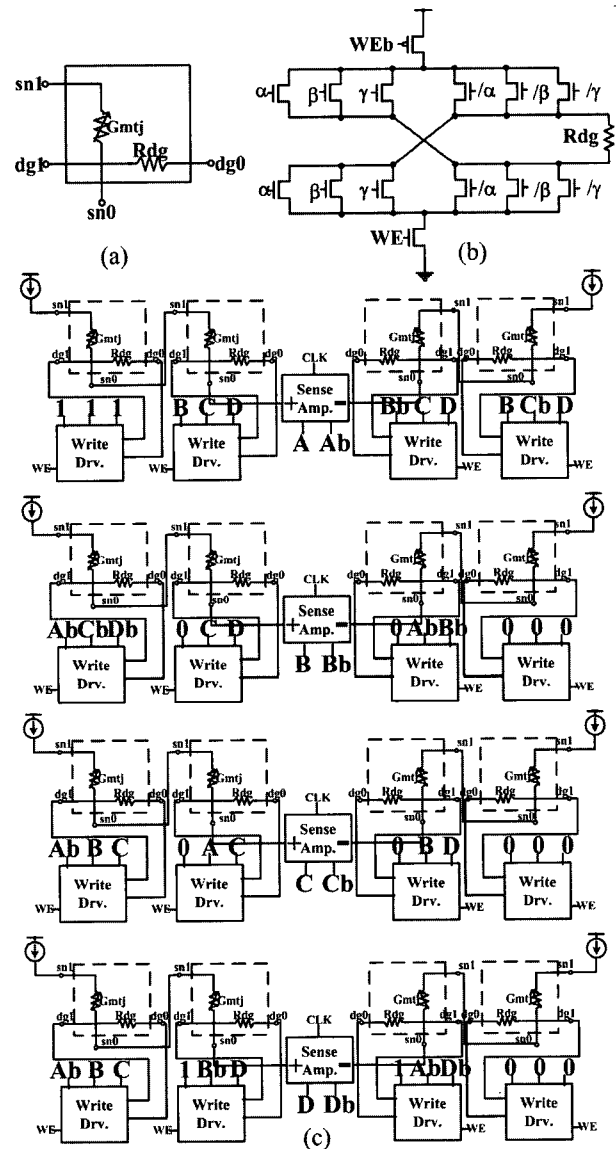


그림 8. (a) MTJ용 macro-model의 블록도
 (b) 전류 구동 회로
 (c) 4비트 그레이 카운터 테스트 회로
 Fig. 8. (a) Block diagram of macro-model for MTJ
 (b) schematic of write driver
 (c) test circuit of 4-bit magneto-logic gray counter

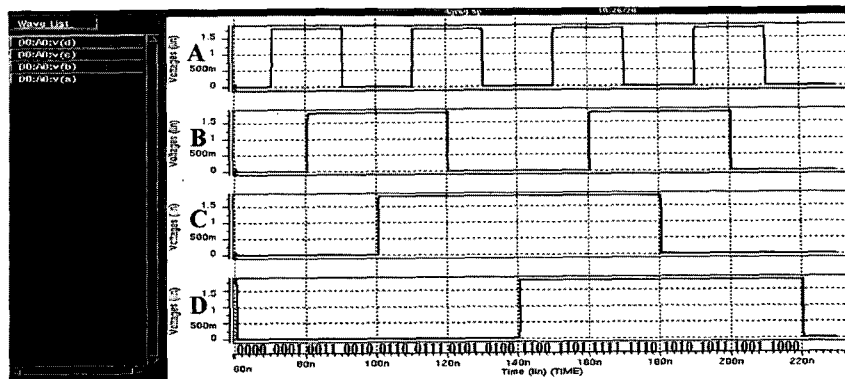


그림 9. 4 비트 자기논리 그레이 카운터 HSPICE 시뮬레이션 결과

Fig. 9. HSPICE simulation results of 4-bit magneto-logic gray counter.

도를 보면 총 4개의 외부 단자로 구성되어 있으며, 쓰기 동작시 dg1과 dg0 사이에 전류가 흐르고, 읽기 동작 시에는 sn1에서 sn0로 전류가 흐르게 된다. 내부적으로는 그림 2(a)의 'layer 1'에 해당하는 저항 값이 digit line 저항 (R_{dg})이고, MTJ 소자의 저항 값은 G_{mtj} 에 mapping된다. 이 때 R_{dg} 에 흐르는 전류에 의하여 소자 정보가 써지게 되며, 이는 그림 8(b)에서 볼 수 있는 전류 구동 회로가 수 개의 입력 신호들을 하나의 조합된 입력으로 합하여 macro-model 내부로 전류를 공급함으로써 이루어진다.

이 전류 구동 회로의 게이트 입력 신호 연결을 변화시켜 macro-model이 각 MTJ 논리 소자에 해당하는 불 연산을 수행하도록 한다. 그림 8(c)는 그림 7에서 구현한 4 비트 자기논리 그레이 카운터의 테스트 회로로, 각각 해당하는 단층 입력 구조의 MTJ 소자에 제안한 macro-model을 적용하여 HSPICE 시뮬레이션을 가능하게 하며, 그 결과는 그림 9와 같다. 4 비트 자기논리 그레이 카운터의 시뮬레이션 결과를 보면 입력 신호가 들어 올 때마다 카운터의 결과 값이 한 비트씩 변하는 것을 볼 수 있다.

III. 결 론

자기논리 회로는 MTJ 소자의 비휘발성, 고속 동작, 저전력, 고집적도 등의 장점으로 인해 우수한 논리 회로의 가능성을 갖는다. 본 논문에서는 자기논리 회로를 구현하기 위한 단층 입력 구조의 MTJ 소자와 전류 구동 회로를 제안하였다. 이 새로운 구조의 자기논리 소자는 공정이 간단하고, 모든 논리 연산자를 수행 가능하며, FPLA와 같이 함수 구현에 있어 유연성을 지녀, 재구성 가능한 논리 회로를 구현할 것으로 기대된다.

또한 제안하는 전류 구동 회로에 의해 기존 다층 입력 구조의 자기논리 소자에 비해 보다 적고 균일한 양의 전류로 논리 연산을 수행할 수 있다. 이와 같은 이점을 최대한 활용하여 기존의 트랜지스터로 구성된 논리 연산자를 MTJ 소자로 대체함으로써, 조합논리 회로와 순차논리 회로로 구성된 디지털 논리 회로를 자기논리 회로로 대체할 수 있다. 본 논문에서는 16개의 MTJ 소자로 구현한 자기논리 4 비트 그레이 카운터 회로를 제안하고, 그 동작을 논문에서 제안한 macro-model을 적용하여 검증함으로써, MRAM 셀로 사용되어 오던 MTJ 소자를 비휘발성 논리 소자로 적용 가능함을 보였다.

참 고 문 헌

- [1] R. Koch, "Morphware", *Scientific American*, p. 56, August 2005.
- [2] W. Black, Jr. and B. Das, "Programmable Logic using Giant Magneto Resistance and Spin Dependent Tunneling Devices(invited)", *Journal of Applied Physics*, Vol. 87, No. 9, p. 6674, 2000.
- [3] H. Meng, J. Wang and J. Wang, "A Spintronics Full Adder for Magnetic CPU", *IEEE Electron Device Letters*, Vol. 26, No. 6, p. 360, June 2005.
- [4] S. Lee, J. Kim, H. Yang, G. Lee, S. Lee and H. Shin, "3-bit Gray Counter based on Magnetic-Tunnel-Junction Elements", *Joint MMM-INTERMAG Conf.*, abstracts, p. 48, 2007.
- [5] A. Ney, C. Pampuch, R. Koch and K. H. Ploog, "Programmable Computing with a Single Magnetoresistive Element," *Nature*, Vol. 425, p. 485, October 2003.
- [6] J. Wang, H. Meng and J. Wang, "Programmable Spintronics Logic Device based on Magnetic Tunnel Junction Element", *Journal of Applied*

Physics, Vol. 97, No. 10, p. 10D509, May 2005.

- [7] S. Y. Lee, S. J. Lee, H. S. Shin and D. J. Kim, "Advanced HSPICE Macromodel for Magnetic Tunnel Junction", *J. Journal of Applied Physics*, Vol. 44, No. 4B, p. 2696, 2005.
- [8] "Star-HSPICE® Users Manual : Vol. I ~III, Version 96.1 for HSPICE Release 96.1", META-SOFTWARE, INC. 1996.

저 자 소 개



이 승 연(학생회원)
 2002년 이화여자대학교
 정보통신학과 학사 졸업.
 2004년 이화여자대학교
 정보통신학과 석사 졸업.
 2007년 현재 이화여자대학교
 정보통신학과 박사 과정.

<주관심분야 : 메모리 설계, 반도체>



이 감 영(학생회원)
 2006년 이화여자대학교
 정보통신학과 학사 졸업.
 2007년 현재 이화여자대학교
 정보통신학과 석사 2년차.
 <주관심분야 : 메모리 설계, 반도체>



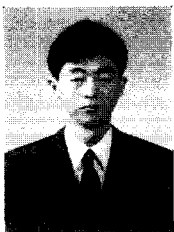
이 현 주(학생회원)
 2007년 이화여자대학교
 정보통신학과 학사 졸업.
 2007년 현재 이화여자대학교 정보
 통신학과 석사 1년차.
 <주관심분야 : 메모리 설계, 반도체>



이 승 준(정회원)
 1986년 서울대학교 전자공학과
 졸업 (학사)
 1986년 6월 미국 University of
 California at Berkeley
 졸업 (석사)
 1993년 12월 미국 University of
 California at Berkeley
 졸업(박사)

1992년~1998년 현대전자 근무
 1999년~현재 이화여자대학교 공과대학
 정보통신학과 부교수

<주관심분야 : SoCS 설계, 차세대 메모리>



신 형 순(정회원)
 1982년 2월 서울대학교
 전자공학과 졸업 (학사).
 1984년 12월 미국 University of
 Texas at Austin 졸업
 (석사).
 1990년 5월 미국 University of
 Texas at Austin 졸업
 (박사).

1990년~1994년 LG 반도체 근무.

1995년~현재 이화여자대학교 공과대학
 정보통신학과 교수.

<주관심분야 : 반도체 소자구조, 모델링.>