

논문 2007-44SP-5-13

# 고음질 오디오 알고리즘을 위한 효율적인 DSP 설계

## (Efficient DSP Architecture For High-Quality Audio Algorithms)

문종하\*, 선우명훈\*\*

(Jong Ha Moon and Myung Hoon Sunwoo)

### 요약

이 논문은 MPEG-2/4 Advanced Audio Coding(AAC), 돌비 AC-3, MPEG-2 Backward Compatible(BC) 등 오디오 압축 알고리즘을 효율적으로 구현할 수 있는 전용의 하드웨어를 가진 DSP 구조를 제안하며 제안된 전용의 하드웨어를 구동하기 위한 DSP 전용 명령어들을 제공한다. 제안된 구조는 효율적인 MDCT/IMDCT(Inverse Modified Discrete Cosine Transform), 허프만 복호 연산을 지원한다. 제안된 하드웨어 구조는 TMS320C62x, ASDSP21060 등 상용 DSP프로세서와 비교하여 매우 우수한 MDCT/IMDCT 연산 성능을 보인다. 또한 제안된 전용 허프만 복호 가속기는 1 사이클에 복호화 및 오퍼랜드 준비를 병렬 수행하여 고속 연산에 적합하다. 제안된 DPU(Data Processing Unit)는 Samsung SEC 0.18 $\mu$ m 표준 셀 라이브러리를 사용하여 107,860 게이트를 나타내며 150 MIPS 를 나타낸다.

### Abstract

This paper presents specialized DSP instructions and their hardware architecture for audio coding algorithms, such as the MPEG-2/4 Advanced Audio Coding(AAC), Dolby AC-3, MPEG-2 Backward Compatible(BC), etc. The proposed architecture is specially designed and optimized for the MDCT/IMDCT(Inverse Modified Discrete Cosine Transform), and Huffman decoding of the AAC decoding algorithm. Performance comparisons show a significant improvement compared with TMS320C62x and ASDSP21060 for the MDCT/IMDCT computation. In addition, the dedicated Huffman decoding accelerator performs decoding and preparing operand in only one cycle. The proposed DPU(Data Processing Unit) consists of 107,860 gates and achieves 150 MIPS.

**Keywords :** AAC, AC-3, MPEG-2, MDCT, DSP

## I. 서론

MPEG-2 AAC<sup>[1]</sup>(ISO/IEC 13818-7)는 오디오 압축 알고리즘의 하나로 널리 사용되고 있으며, 고음질 다

채널 환경을 제공한다. AAC는 현재 일본의 DAB(Digital Audio Broadcasting) 오디오 표준으로 채택되어 있다. 또한 3G 모바일 오디오 및 IPTV(Internet Protocol TeleVision)에 사용되는 HE(High Efficiency)-AAC 버전 1 표준은 SBR(Spectral Band Replication)과 함께 AAC 압축 방식을 사용한다<sup>[2]</sup>. AAC 알고리즘은 고해상도 필터뱅크, 채널 부호화, 비선형 양자화, 허프만 부호화 등으로 구성되며 64 kbps/ch 이하의 전송률에서 상대적으로 우수한 수준의 음질을 전송한다<sup>[1]</sup>. 또한 MPEG-4 General Audio(GA)의 경우 MPEG-2 AAC를 기반으로 TVQ(Twin Vector Quantization) 등의 알고리즘이 추가적으로 적용되었다<sup>[3]</sup>.

AAC 표준은 음질 및 하드웨어 자원 요구량에 따라 메인(main) 프로파일, LC(Low Complexity) 프로파일,

\* 정희원, LG전자 Digital TV연구소  
(System ASIC Technology Group, Digital TV Laboratory LG Electronics Inc.)

\*\* 정희원, 아주대학교 전자공학부  
(Department of Electrical Engineering, Ajou University)

※ 본 연구는 교육인적 자원부 2단계 BK(Brain Korea) 21 과제 및 정보통신부 21st Century Frontier R&D Program의 ubiquitous Computing and Network (UCN) 과제의 지원을 받아 수행되었습니다.

접수일자: 2007년6월1일, 수정완료일: 2007년8월28일

SSR(Scalable Sampling Rate) 프로파일을 제공한다. 세 가지 프로파일 중 메인 프로파일은 가장 우수한 오디오 음질을 제공하는 특징이 있다. SSR 프로파일은 메인 및 LC 프로파일 보다 상대적으로 덜 복잡하며 가변 주파수 신호를 제공한다. LC 프로파일은 메모리, 연산량 등 하드웨어 자원은 메인 프로파일에 비해 적게 요구되지만, 상대적으로 우수한 음질을 제공하여 널리 사용되고 있다<sup>[1]</sup>.

MPEG-2 AAC 복호화기는 MPEG-2 BC, 돌비 AC-3에 비해 상대적으로 더 많은 연산량을 필요로 하므로<sup>[4]</sup>, 본 논문에서는 AAC 복호 연산을 위한 최적화에 중점을 두어 하드웨어 구조를 제안하였다. 제안된 DSP 명령어 및 하드웨어 구조는 효율적인 고속 MDCT/IMDCT 연산, 허프만 복호 연산 등을 제공한다. 따라서 MPEG-2/4 AAC 의 복호 연산 사이클을 다른 DSP 들에 비해 효율적으로 감소 시킬 수 있다<sup>[5-6]</sup>.

본 논문은 다음과 같이 구성된다. II 장에서는 MPEG-2 AAC 알고리즘을 설명하고, III 장에서는 기존의 상용 DSP 구조<sup>[7]</sup>와 제안된 DSP의 하드웨어 구조 및 전용 명령어를 소개한다. IV 장에서는 기존의 상용 DSP와 제안된 구조의 성능 비교를 하고, 마지막으로 V 장에서 결론을 맺는다.

## II. MPEG-2 AAC 복호 알고리즘

MPEG-2 AAC 부호기는 MPEG-2 Layer 2/3, 돌비 AC-3, Lucent PAC<sup>[8]</sup>과 비교하여 128 kbit/s 의 전송률에서 상대적으로 매우 우수한 음질을 제공한다<sup>[4]</sup>. MPEG-2 AAC 복호화는 크게 비트열 복호 과정과 오디오 신호 처리 과정으로 구성된다<sup>[1]</sup>. 비트열 복호 과정은 비트스트림 파싱(Parsing), 허프만 복호 과정, 펄스(Pulse) 데이터 복호 과정 등으로 나누어지며, 오디오 신호 처리 과정은 역 양자화 과정, 리스케일링(Rescaling), M/S(Mid-Side), 인텐시티 스테레오(Intensity stereo), TNS(Temporal Noise Shaping), 필터 뱅크로 나누어진다.

허프만 복호는 Variable-length 코딩 된 비트스트림을 입력으로 받아 주파수 영역의 양자화 값으로 변환하는 과정이다. 이 과정에서 생성된 양자화 계수 값은 4/3 승의 비선형 역양자화 연산을 거친 후에 quantizer step size<sup>[1]</sup> 값으로 스케일 연산 과정을 수행하게 된다. 일반적으로 역양자화 연산을 고정 소수점 DSP에서 수행할 경우에는 연산의 복잡성을 줄이기 위해 Look-up 테이블

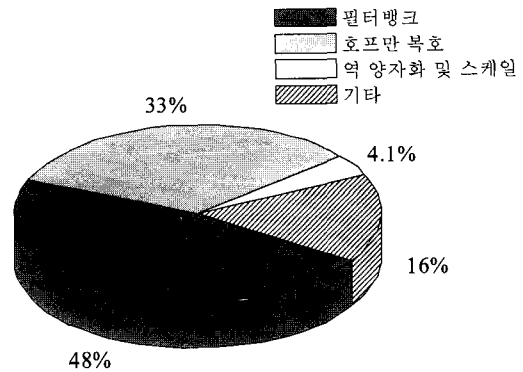


그림 1. AAC LC 프로파일의 복잡도  
Fig. 1. Complexity of AAC LC profile.

을 방식을 사용한다. 조인트 스테레오 연산 과정은 전송률을 줄이기 위해 채널 간 중복성에 기반한 연산을 수행하며 크게 M/S, intensity stereo, coupling 으로 나누어진다. 또한, 필터 뱅크 연산은 IMDCT, Windowing 및 Overlap-add 연산으로 구성된다. 필터 뱅크 연산에서 사용되는 IMDCT는 윈도우의 종류에 따라서 2048 혹은 256 포인트 연산이 사용된다.

그림 1에서 나타난 바와 같이 MPEG2-AAC LC 프로파일의 연산 복잡도의 경우, 크게 필터 뱅크 연산이 전체 연산량의 47.5%, 허프만 연산이 32.5%를 차지한다<sup>[9]</sup>. 따라서 전체 연산량을 줄이기 위해 필터 뱅크 및 허프만 연산 과정을 효율적으로 최적화하는 알고리즘 및 하드웨어 구조가 필요하다. 제안된 DSP는 IMDCT 연산 및 허프만 복호 연산 처리를 위한 전용의 명령어 및 하드웨어 구조를 지원한다.

## III. AAC 복호 알고리즘을 위한 새로운 명령어와 설계

본 장에서는 AAC 복호 연산을 효율적으로 수행할 수 있는 전용 명령어 및 DSP 하드웨어 구조를 설명한다.

### 1. 디지털 오디오 신호 처리를 위한 상용 DSP

최근 디지털 오디오 신호 처리를 위한 다양한 상용 DSP가 소개 되고 있다<sup>[7]</sup>. 일반적으로 디지털 오디오 신호 처리를 위한 상용 DSP는 24비트 혹은 32비트의 데이터 연산 비트를 지원하며, 오디오 입출력을 위한 전용 명령어 및 다양한 오디오 어플리케이션에 맞는 메모리 크기를 가진다<sup>[7]</sup>. 또한 대부분의 상용 오디오 DSP에는 오디오 신호 처리에 적합한 연산 유닛들이 존재한다. SHARC DSP ASDSP-21065L 프로세서는

슈퍼 하버드 아키텍처 구조를 지원하며 SIMD(Single Instruction Multiple Data)와 SISD(Single Instruction Single Data) 모드를 모두 지원한다. SHARC 코어는 두 개의 연산기 블록을 가지며 각각은 SIMD 모드에서 병렬적으로 동작할 수 있는 곱셈기, ALU, 데이터 레지스터 파일, 배럴 쉬프트 등을 포함하고 있다<sup>[7]</sup>.

3DSP SP-5 코어는 SuperSIMD 아키텍처를 가지고 있다<sup>[10]</sup>. 3DSP SP-5 코어는 1 사이클에 2개의 명령어를 실행할 수 있는 두 개의 덧셈기와 두 개의 곱셈기 연산 블록을 지원한다<sup>[10]</sup>. 또한 TI TMS320c6000 시리즈와 필립스 TriMedia TM1300, PNX1500 프로세서는 VLIW(Very Long Instruction Word) 아키텍처를 사용한다<sup>[7]</sup>. 하지만 VLIW 구조는 많은 하드웨어 자원을 필요로 하며 이로 인해서 기존 DSP 구조<sup>[11]</sup>에 비해서 비교적 많은 전력 사용량을 가진다. 그러므로 이러한 구조는 모바일이나 저전력 SoC를 사용하는 제품에는 적합하지 않다.

2. AAC 복호를 위한 전용의 DSP 구조 및 명령어 제안

본 장에서는 MPEG-2/4 AAC 복호 연산에 적합한 DSP 명령어를 제안한다. 제안된 LDPRE와 LD4 명령어는 IMDCT 연산을 지원하며, IMDCT의 전처리, 후처리 및 역 인터리빙 연산에 효율적으로 적용가능 하다. 제안된 명령어는 데이터 이동을 위한 전용의 명령어이며 연산 중에 데이터들의 종속 관계에 방해되지 않는 범위에서 병렬 처리 연산을 지원한다. HFDM 명령어는 제안된 허프만 가속기의 초기화 및 연산 동작을 제어하는 명령어이다. 제안된 HFDM 명령어는 허프만 복호 연산을 1 사이클에 수행할 뿐 아니라 허프만 복호 이후의 데이터 오퍼랜드 준비를 위해 필요한 쉬프트 연산, XOR, 데이터 이동 등을 함께 수행하는 장점을 가진다. 제안된 HFDM 명령어는 일반적인 연산에서 사용되는 누적기를 거치지 않고 직접적으로 일반 레지스터를 OPCODE의 Destination으로 사용하며 결과값인 허프만 인덱스, 코드 길이 값 등을 추가적인 연산 사이클 없이 일반 레지스터로 출력한다.

가. 필터 बैं크(IMDCT)

AAC 복호기는 필터 बैं크 연산을 통해서 주파수 영역의 샘플을 시간 영역의 신호로 변환한다. AAC 복호 과정에서 이 변환은 TDAC(Time-Domain Aliasing Cancellation) 기법 중 하나인 IMDCT 연산을 통해서

이루어진다<sup>[11]</sup>.

식 (1)은 IMDCT 연산식을 나타낸다. 식 (1)을 사용하여 IMDCT 연산을 수행할 경우에는 많은 연산량이 필요하므로, 제안된 DSP는 식 (2)에 명시된 것처럼 N/4-포인트 IFFT를 사용하는 Fast IMDCT 알고리즘<sup>[11]</sup>을 적용하였다.

$$x(n) = \sum_{k=0}^{N/4-1} X(k) \cos\left[\frac{\pi}{2N}(2n+1+\frac{N}{2})(2k+1)\right] \quad (1)$$

$$x(n) = \left[ \sum_{k=0}^{N/4-1} \left\{ X\left(\frac{N}{2}-2k-1\right) + j \cdot X(2k) \right\} e^{j\frac{2\pi}{N}(k+\frac{1}{8})n} \right] e^{j\frac{2\pi}{N}n} e^{j\frac{2\pi}{N}(n-\frac{1}{8})} \quad (2)$$

식 (1), (2)에서 N은 변환 블록의 길이이며 n은 0부터 N-1의 값을 가지는 샘플 인덱스, k는 블록의 인덱스 값을 나타낸다.

LDPRE 명령어는 fast IMDCT 연산의 첫 번째 단계인 전처리를 위한 전용의 데이터 이동 명령어이다. LDPRE 명령어는 IAMU(Inverse Addressing Mode Unit) 블록에서 생성되는 역 주소 생성 모드를 사용한다. 역 주소 모드는 주소 레지스터에서 추가 연산 사이클 없이 사용 가능하며 자동적으로 생성된다. 이로 인해서 식 (2)에서 X(N/2-2k-1)의 주소는 LDPRE 명령어에 의해 병렬적으로 생성된다. 그림 2는 제안된 AGU(Address Generation Unit)의 구조를 나타낸다. LD4 명령어는 메모리 बैं크와 ROM(Read Only Memory) बैं크에서 필요한 데이터를 이동하는 명령어이다. LD4 명령어는 fast IMDCT 알고리즘에서 후처리와 데이터 역인터리빙 연산을 효율적으로 지원한다.

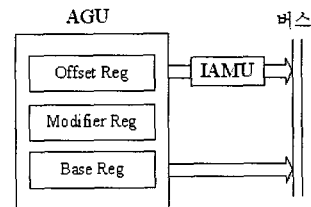


그림 2. 제안된 AGU 구조  
Fig. 2. Proposed AGU architecture.

나. 무손실 허프만 복호

허프만 복호는 다차원 다중 선택의 코드북을 사용하여 스펙트럼 값을 복호하는 과정이다. 허프만 복호 과정은 일련의 입력 비트 스트림을 양자화 된 계수로 사용할 수 있도록 압축 해제된 허프만 코드-인덱스로 변

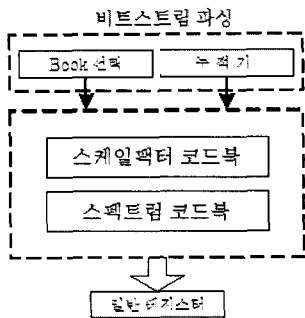


그림 3. 제안된 허프만 가속기  
Fig. 3. Proposed Huffman accelerator.

환하는 과정이다. MPEG-2/4 AAC 코덱은 12개의 코드북을 사용하여 허프만 코딩을 수행하며, 비트스트림의 부가정보를 이용하여 코드북을 선택하게 된다.

허프만 복호 방법을 소프트웨어로 수행하기 위해서는 제어를 위한 명령어와 비트 연산 명령어들을 이용하게 된다. 하지만 입력 비트스트림의 종류에 따라 허프만 복호를 위해 필요로 하는 연산량의 차이가 심하고, 또한 허프만 복호 과정을 위해 평균적으로 사용되는 연산량도 비교적 높은 편이다. 따라서 본 논문에서는 복호 속도를 가속화하기 위해 그림 3의 허프만 가속기 및 HFMD 명령어를 제안한다. 제안된 HFMD 명령어는 타 명령어 형식과는 다르게 OPCODE의 소스로 누적기를 사용하며 코드 길이 값과 인덱스의 목적지로 일반 레지스터를 사용한다. 그러므로 복호된 허프만 인덱스와 코드 길이는 각각 일반 레지스터로 나누어서 출력되므로 배럴 시프트 연산, XOR, 이동 연산 등으로 인한 추가 사이클이 필요 없이 다음 명령어에서 입력 값으로 바로 적용되어 사용 가능하다.

3. 제안된 DSP 구조

그림 4는 제안하는 DSP 프로세서이다. 제안된 DSP는 PCU(Program control Unit), AGU, DPU, 허프만 가속기, 프로그램 메모리 1개, 데이터 메모리 2개, 그리고 ROM 2개로 구성되어 있다. 제안하는 DSP는 디지

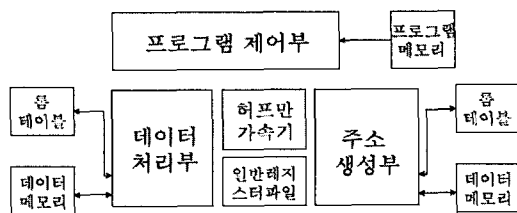


그림 4. 제안된 DSP 구조  
Fig. 4. Proposed DSP architecture.

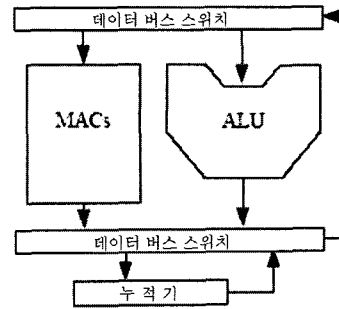


그림 5. 제안된 DPU 구조  
Fig. 5. Proposed DPU architecture.

털 오디오 신호의 전, 후처리에 적합한 32 비트의 고정 소수점 프로세서로 5단계의 파이프라인과 74개의 명령어를 지원하며, 이 중 MDCT/IMDCT, 돌비 AC-3 psychoacoustic 모델, 허프만 복호기, 역양자화기 등 20개의 오디오 전용 명령어 집합을 갖는다.

DPU 구조는 그림 5와 같이 다양한 신호 처리에 효율적이도록 2개의 MAC와 1개의 ALU, 데이터 버스 스위치와 누적기로 구성되었으며 버스 스위치 구조를 이용해 버터플라이 연산을 2 사이클 안에 수행한다.

IV. 성능 비교

제안된 DSP는 효율적인 전용 MPEG-2/4 AAC 복호 명령어를 지원한다. 표 1은 N/4-point IFFT 방법을 적용한 제안하는 DSP의 IMDCT 연산 사이클을 보여 준다.

표 I에서와 같이 N-Point의 IMDCT 연산을 수행하기 위해  $(13N/4) + N/4 * \log_2(N/4) + 30$  사이클이 필요하다. IMDCT point가 2048 일 때 위의 수식에 의해 채널당 11,294 사이클이 필요하다. 제안된 DSP의 최대 지연 시간은 6.68 ns 이므로 최대 동작 주파수는 150 MHz

표 1. 제안된 DSP의 1채널당 필요 IMDCT 주기  
Table 1. Required IMDCT cycles of the proposed DSP for 1 channel.

IMDCT 단계	연산 사이클
전처리	$[N/2 * 2 \text{ cycles}] + 3$
N/4-point IFFT[11]	$(2N/8) * \log_2(N/4) + 9$
후처리	$[N/2 * 2 \text{ cycles}] + 6$
데이터 역 인터리빙	$[N/8 * 5 \text{ cycles}] * 2 + 12$
총 합	$(13N/4) + N/4 * \log_2(N/4) + 30$

표 2. IMDCT 연산의 성능 비교

Table 2. Performance comparisons of the IMDCT computations.

Processors	필요 시간	필요 주기	MIPS
DSP in [6]	1.3312ms	53,248	5.41
VLSI chip in [12]	n.a.	32,768	•
TMS320C62x [13]	n.a.	n.a.	7.5
ADSP-21060 [14]	9ms	n.a.	n.a.
제안된 DSP	150.88 $\mu$ s	22,588	1.0588

2 channels, 48 kHz

표 3. 허프만 복호 필요 주기

Table 3. Required Huffman decoding cycles.

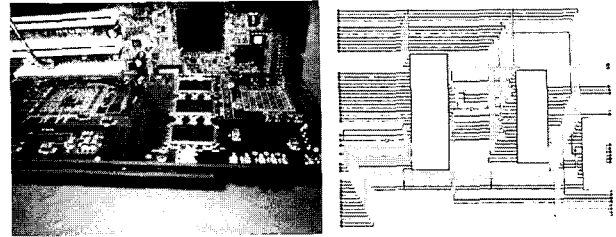
Processors	연산 사이클
DSP in [6]	5
VLSI chip in [12]	2.5
제안된 DSP	2

이며 150 MIPS 의 성능을 나타낸다. 따라서 2048-point IMDCT 연산을 하기 위한 DSP 추정 시간은 채널당 11,294 cycles  $\times$  6.68ns = 75.443  $\mu$ s 이다. 48 kHz 의 표본 주파수를 사용하는 AAC 오디오 프레임의 경우 복호 시간은 식 (3)과 같이 21.33 ms을 나타낸다. 따라서 제안하는 구조는 충분히 MPEG-2/4 AAC 복호 요구 시간을 만족함을 알 수 있다.

$$\frac{1}{f_s} \times \text{samples of frame} = \frac{1}{48 \times 10^3} \times 1024 (\text{long transform block}) = 21.33 \text{ms.} \quad (3)$$

표 2 는 IMDCT 연산의 성능 비교를 나타낸다. 제안된 DSP가 DSP<sup>[7, 12~13]</sup> 보다 우수한 성능보임을 알 수 있다. 제안된 구조가 TMS320C62X<sup>[13]</sup>의 VLIW 구조나 ADSP-21060<sup>[14]</sup>의 Super-Harvard 구조에 비해 적은 하드웨어 자원을 사용하는 것을 고려할 때 제안된 구조가 우수한 성능을 보임을 알 수 있다.

표 3은 허프만 복호를 위한 연산 사이클을 나타낸다. 표 3의 연산 사이클은 인덱스와 코드 길이 값이 각각 일반 레지스터에 로드되기 까지 걸리는 연산 사이클을 나타낸다.



(a) Xilinx XC2v6000 FPGA (b) 합성 result

그림 6. FPGA emulation 시스템과 합성 결과

Fig. 6. FPGA emulation system and synthesis result.

제안된 DPU 구조는 Verilog HDL 언어를 이용하여 하드웨어로 구현하였고 Synopsys®의 Design Compiler™를 이용하여 Samsung SEC 0.18 $\mu$ m 표준 셀 라이브러리로 합성하였다. 설계된 DPU는 107,860 개의 게이트 수를 가지며 최대 동작 주파수는 150 MHz로 추정되었다. 그리고 제안한 허프만 복호 가속기는 3,800 개의 게이트 수를 보였다. 제안된 DPU 는 그림 6과 같이 Xilinx XC2v6000 iPROVE FPGA 보드를 사용하여 검증하였다.

### V. 결 론

본 논문은 MPEG-2/4 AAC 복호 알고리즘을 효율적으로 지원하기 위한 DSP 명령어 및 하드웨어 구조를 제안하였다. 또한 제안된 DPU는 두개의 MAC와 한 개의 ALU, 허프만 복호 가속기로 구성된다. 제안하는 DSP는 작은 면적을 가지며 MPEG AAC 복호 시스템에 대하여 VLIW 및 Super Harvard 구조에 비해 상대적으로 우수한 성능을 나타낸다. 제안된 DSP 구조는 오디오 신호처리에 대하여 하드웨어 복잡성을 줄이며, 특정 오디오 알고리즘에 대해 빠른 수행 능력을 나타낸다. 제안된 DSP 는 오디오 신호의 전, 후 처리에 적합하고 오디오 시스템을 위한 임베디드 SoC에도 사용 가능하다.

### 참 고 문 헌

[1] ISO/IEC 13818-7 "Generic Coding of Moving Pictures and Associated Audio (Part 7: Advanced Audio Coding(AAC)," 2nd Edition, Aug., 2003.  
 [2] Coding technologies, "aacPlus," Available: <http://www.codingtechnologies.com/products/aacPlus.htm>

[3] ISO/IEC 14496-3 "Coding of Audio-Visual Objects (Part3: Audio)," 2nd Edition, 2001.

[4] Hyun O. Oh, "High Quality Audio Coding," Available: <http://idec.kaist.ac.kr>

[5] Keun-Sup Lee, Hyen-O Oh, "High Quality MPEG Audio Layer III Algorithm for a 16-bit DSP," in Proc. IEEE Int. Symp. On Circuits and Syst., 2001, pp. 205-208

[6] Kyoung H. Bang, Nam H. Jeong, Joon S. Kim, Young C. Park, Dae H. Youn, "Design and VLSI Implementation of a Digital Audio-Specific DSP core for MP3/AAC," IEEE Trans. on Consumer Electronics., vol. 48, Issue 3, pp. 790-795, 2002.

[7] EDN's DSP directory, Available: <http://www.reed-electronics.com/ednmag/>

[8] Gilbert A. Soulodre, Theodore Grusec, Michel Lavoie, Louis Thibault, "Subjective Evaluation of State-of-the-Art Two-Channel Audio Codecs," J. Audio Eng. Soc., vol. 46, Num. 4, pp. 164-177, 1998.

[9] S. R. Quackenbush and Y. Togui, "Revised Report on Complexity of MPEG-2 AAC Tools," ISO/IEC JTC1/SC29/WG11 N2005, Feb. 1998.

[10] 3DSP, "3DSP SP-5 Data Brief," Available: [http://www.3dsp.com/pdf/3dsp\\_sp5.pdf](http://www.3dsp.com/pdf/3dsp_sp5.pdf)

[11] Jeong H. Lee, Jong H. Moon, Kyung L. Heo, Myung H. Sunwoo, Seung K. Oh, and In H. Kim, "Implementation of Application-Specific DSP for OFDM Systems," in Proc. IEEE Int. Symp. On Circuits and Syst., 2004, pp. 665-668

[12] Tsung H. Tsai, Chun N. Liu, Yi W. Wang, "A pure-ASIC design approach for MPEG-2 AAC audio decoder," in Proc. IEEE Int. Conf. Information, Comm. And Signal Processing., 2003, pp. 1633-1636

[13] Sukanya Ch., "Implementation of AC-3 Decoder on TMS320C62x," Texas Instruments Inc., India, 2001.

[14] Dong Y. Huang, Xuesong Gong, Daqing Zhou, Miki T. Hotani S., "Implementation of the MPEG-4 Advanced Audio Coding Encoder on ADSP-21060 SHARC," in Proc. IEEE Int. Symp. On Circuits and Syst., 1999, pp. 544-547

저 자 소 개



문종하(정회원)  
 2003년 아주대학교 전자공학과  
 학사 졸업.  
 2005년 아주대학교 전자공학과  
 석사 졸업.  
 2005년~현재 LG전자 Digital TV  
 연구소 재직.

<주관심분야 : 오디오 신호 처리, 프로세서 설계>



선우명훈(정회원)  
 1980년 서강대학교 전자공학과  
 학사 졸업.  
 1982년 한국과학기술원 전자공학  
 석사 졸업.  
 1982년~1985년 한국전자통신  
 연구소 (ETRI) 연구원.

1985년~1990년 Univ. of Texas at Austin  
 전자공학 박사.

1990년~1992년 Motorola, DSP Chip Division  
 (미국).

1992년~1996년 아주대학교 전기전자공학부  
 조교수.

1996년~2001년 아주대학교 전자공학부 부교수.

2001년~현재 아주대학교 전자공학부 교수.

300편 이상의 논문, 37개 특허 출원 및  
 등록.

IEEE Workshop on Signal Processing  
 Systems (SIPS) 2005 Best Student  
 Paper Award 포함 20회 이상의 논문상  
 수상.

IEEE SIPS 2003 Technical Program  
 Chair 역임.

2007년 현재 IEEE SIPS, Cool Chips, Design  
 Automation and Test in Europe  
 (DATE), IEEE International ASIC/SOC  
 Conference, Asian-Pacific Conference  
 on CAS (APC-CAS), Asian-Solid  
 State Circuits Conference (A-SSCC),  
 International SOC Design Conference  
 (ISODC), International Symposium on  
 VLSI Design, Automation and Test  
 (VLSI-DAT) 등 국제 학회 committee  
 위원.

<주관심분야 : VLSI 및 Parallel Architecture, 통  
 신 멀티미디어용 DSP 칩 및 ASIC 설계>