

논문 2007-44SP-5-12

# Single-chip CMOS Image Sensor를 위한 하드웨어 최적화된 고품질 Image Signal Processor 설계

(Hardware optimized high quality image signal processor for  
single-chip CMOS Image Sensor)

이 원 재\*, 정 윤 호\*, 이 성 주\*\*, 김 재 석\*

(Wonjae Lee, Yunho Jung, Seongjoo Lee, and Jaeseok Kim)

## 요 약

본 논문에서는 single-chip CMOS Image Sensor (CIS)용 고품질 image signal processor (ISP)에 최적화된 하드웨어 구조를 제안한다. Single-chip CIS는 CIS와 ISP가 하나의 칩으로 구현된 것으로, 다양한 휴대기기에 사용된다. 휴대기기의 특성상, single-chip CIS용 ISP는 고품질이면서도 저전력을 위해 하드웨어 복잡도를 최소화해야 한다. 영상의 품질 향상을 위해서 다양한 영상 처리 블록들이 ISP에 적용되지만, 그 중에 핵심이면서 하드웨어 복잡도가 가장 큰 블록은 컬러 영상을 만들기 위한 색 보간 블록과 영상을 선명하게 하기 위한 화질 개선 필터 블록이다. 이들 블록은 데이터 처리를 위한 로직 외에도 라인 메모리를 필요로 하기 때문에 ISP의 하드웨어 복잡도의 대부분을 차지한다. 기존 ISP에서는 색 보간과 화질 개선 필터를 독립적으로 수행하였기 때문에 많은 수의 라인 메모리가 필요하였다. 따라서 하드웨어 복잡도를 낮추기 위해서는 낮은 성능의 색 보간 알고리즘을 적용하거나, 화질 개선 필터를 사용하지 않아야 했다. 본 논문에서는 화질 개선을 위해 경계 적응적이면서 채널 간 상관관계를 고려하는 고품질 색 보간 알고리즘을 적용하였다. 또한 채널 간 상관관계를 고려하는 색 보간 알고리즘의 특성을 이용하여 색 보간 블록과 화질 개선 필터 블록이 라인 메모리를 공유하도록 설계함으로써, 전체 라인 메모리 수를 최소화하는 새로운 구조를 제안한다. 제안된 방법을 적용하면 화질 개선 필터 블록을 위한 추가적인 라인 메모리가 불필요하기 때문에, 고품질과 낮은 복잡도 모두를 만족시킬 수 있다. 제안 방식과 기존 방식의 MSE (Mean Square Error)는 0.37로, 메모리 공유로 인한 화질의 저하는 거의 없었고, 고품질 색 보간 알고리즘을 적용했기 때문에 전체적인 화질은 향상되었다. 제안된 ISP 구조는 Verilog HDL 및 FPGA를 이용하여 실시간으로 구현 검증되었다. 0.25um CMOS 표준 셀 라이브러리를 이용하여 합성하였을 때, 총 게이트 수는 37K개였으며 7.5개의 라인 메모리가 사용되었다.

## Abstract

In this paper, we propose a VLSI architecture of hardware optimized high quality image signal processor for a Single-chip CMOS Image Sensor (CIS). The Single-chip CIS is usually used for mobile applications, so it has to be implemented as small as possible while maintaining the image quality. Several image processing algorithms are used in ISP to improve captured image quality. Among the several image processing blocks, demosaicing and image filter are the core blocks in ISP. These blocks need line memories, but the number of line memories is limited in a low cost Single-chip CIS. In our design, high quality edge-adaptive and cross channel correlation considered demosaicing algorithm is adopted. To minimize the number of required line memories for image filter, we share the line memories using the characteristics of demosaicing algorithm which consider the cross correlation. Based on the proposed method, we can achieve both high quality and low hardware complexity with a small number of line memories. The proposed method was implemented and verified successfully using verilog HDL and FPGA. It was synthesized to gate-level circuits using 0.25um CMOS standard cell library. The total logic gate count is 37K, and seven and half line memories are used.

**Keywords:** 색 보간, 화질 개선, CMOS Image Sensor (CIS), image signal processor (ISP), VLSI

\* 정희원, 연세대학교 전기전자공학과  
(Dept. of Electrical and Electronic Eng., Yonsei Univ.)

\*\* 정희원, 세종대학교 정보통신공학과  
(Dept. of Information and Communication Eng., Sejong Univ.)

※ 본 연구는 정보통신부 및 정보통신연구진흥원 대학 IT연구센터 육성·지원사업 및 2006년도 교육인적자원부 BK21 사업의 일환인 연세대학교 전기전자공학부 TMS 사업단의 지원을 받아 연구되었고, CAD Tool은 IDEC으로부터 지원 받았음.

접수일자: 2007년6월1일, 수정완료일: 2007년8월22일

### I. 서론

최근 CIS를 이용한 디지털 카메라에 대한 관심이 높아지고 있다. CIS는 CCD (Charge Coupled Device)와 달리 ISP 등의 회로를 하나의 칩으로 구현할 수 있다는 장점이 있기 때문이다. 또한 가격이 저렴하고 CCD에 비해 저전력으로 동작하기 때문에, 다양한 휴대 기기에 ISP가 내장된 형태의 single-chip CIS가 사용되고 있다.

화질 개선을 위해 다양한 영상 처리 블록들이 ISP에 적용되는데, 그 중 색 보간 블록과 선명한 영상을 위한 화질 개선 필터 블록은 ISP 구현을 위한 핵심 블록이다. 이들 블록은 라인 메모리를 사용하기 때문에 하드웨어 복잡도가 다른 블록에 비해 높지만, 영상 품질 향상을 위해서는 반드시 사용되어야 하는 블록이다. 따라서 저전력의 고품질 ISP 설계는 이 두 블록의 하드웨어 최적화에 달려 있다고 할 수 있다. 본 논문에서는 영상 품질 향상을 위해 경계 적응적이면서 채널간 상관관계를 이용한 색 보간 기법을 적용하였다. 이와 함께 필요한 라인 메모리의 수를 최소화하기 위해 색 보간과 화질 개선 필터 블록의 라인 메모리를 공유하는 새로운 ISP 구조를 제안한다. 제안된 ISP 구조를 적용하면 화질 개선 블록을 위한 별도의 라인 메모리가 필요하지 않기 때문에 하드웨어 복잡도를 크게 줄일 수 있다.

본 논문은 다음과 같이 구성된다. II장에서는 색 보간 알고리즘 및 화질 개선 필터, 일반적인 ISP의 구조에 대해 설명하고, III장에서는 새로운 ISP의 하드웨어 구조를 제안한다. IV장에서는 제안된 구조의 성능을 분석하고, V장에서 하드웨어 구현에 관해 설명한 뒤 VI장에서 결론을 맺는다.

### II. Image Signal Processor

그림 1은 영상 캡처 장치의 구조이다. 이미지 센서에 의해 실영상이 캡처되는데, CCD/CMOS 이미지 센서는 빛의 밝기만을 인식할 수 있다. 컬러 영상을 위한 3가지 색을 얻기 위해 센서의 표면에 컬러 필터 배열

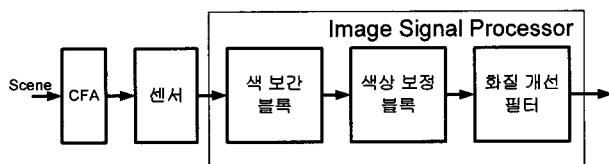


그림 1. 영상 캡처 장치  
Fig. 1. Image capture system.

(Color Filter Array, CFA)을 사용한다. 컬러가 배열된 구조에 따라 여러 가지 형태를 갖고 있으나, 가장 널리 사용되는 패턴은 Bayer 패턴이다.<sup>[1]</sup> 각 화소를 통해 한 가지 색만을 얻을 수 있으므로, 다른 두 색은 인접 화소의 값을 통해 얻어야만 한다. 이 때 색 보간 (Demosaicing) 이 제대로 되지 않으면, 생성된 컬러 영상은 선명하지 못하고 잘못된 색으로 인해 품질이 떨어지게 된다.

색 보간을 통해 만들어진 컬러 영상은 품질 향상을 위해 센서의 특성에 따른 색을 보정하고 색의 품질 향상을 위한 color correction, 입력된 영상과 디스플레이의 차이를 보정하기 위한 gamma correction, 조명 등에 의해 왜곡된 색을 자연의 색에 맞도록 보정하는 white balance 등의 다양한 색상 보정을 거치게 된다. 색 보정 후에는 렌즈 왜곡이나 색 보간 과정으로 인한 영상의 선명도 저하 등을 보상하기 위한 화질 개선 필터가 적용된다.

색상 보정 블록들은 화소 단위의 연산이므로, 별도의 라인 메모리가 필요하지 않다. 그러나 색 보간 블록과 화질 개선 필터 블록은 주변 화소들을 이용하여 출력 화소를 만들기 때문에 라인 메모리가 필요하다. 이들은 ISP 구현에 있어 화질을 결정하는 가장 중요한 블록이다.

#### 1. 색 보간 알고리즘

고화질 컬러 영상을 위해 다양한 색 보간 기법이 제안되었다.<sup>[2-7]</sup> Bilinear 등의 색 보간 기법은 화소가 속한 영역의 특징을 고려하지 않고 보간을 수행하기 때문에 계산량이 적고 구현이 쉽지만 영상의 품질이 좋지 못하다. 고화질을 위해 채널간 상관관계나 영상의 특징을 이용하는 방법들이 제안되었는데, 이들 기법들은 보간된 영상의 품질은 우수하지만 bilinear 등의 알고리즘 보다는 연산량이 많아지게 되는 단점이 있다.

[6]에서는 경계 적응적이면서 채널간 상관관계를 고려하고, 동시에 연산량을 최소화한 알고리즘을 제안하

B1	G2	B3	G4	B5
G6	R7	G8	R9	G10
B11	G12	B13	G14	B15
G16	R17	G18	R19	G20
B21	G22	B23	G24	B25

그림 2. 참고 컬러 필터 배열 패턴  
Fig. 2. Reference Bayer color filter array pattern.

였다. 적색(R), 녹색(G), 청색(B) 중 G 채널에 대한 보간을 한 뒤, 보간된 G 채널을 이용하여 나머지 채널에 대한 보간을 수행한다. 각 채널은 원래 존재하는 R, G, B 채널보다는 차영상 채널에서 모든 것을 처리한다.

그림 2의 B13을 기준으로, 위( $D_T$ ), 아래( $D_B$ ), 왼쪽( $D_L$ ), 오른쪽( $D_R$ ) 네 방향의 차영상은 다음과 같이 산출한다.

$$\begin{aligned} D_T &= G_8 - B'_8 = G_8 - (B_3 + B_{13})/2 \\ D_B &= G_{18} - B'_{18} = G_{18} - (B_{13} + B_{23})/2 \\ D_L &= G_{12} - B'_{12} = G_{12} - (B_{11} + B_{13})/2 \\ D_R &= G_{14} - B'_{14} = G_{14} - (B_{13} + B_{15})/2 \end{aligned} \quad (1)$$

영상의 특징에 따라 G채널을 보간하기 위해서는 보간하고자 하는 화소가 경계 영역에 속해 있는지 평탄 영역에 속해 있는지를 판단해야 한다. 이를 위해 gradient의 절댓값을 사용한다. 세로 방향의 gradient( $\alpha$ )와 가로 방향의 gradient( $\beta$ )는 다음과 같이 산출된다.

$$\begin{aligned} \alpha &= |D_T - D_B| \\ \beta &= |D_L - D_R| \end{aligned} \quad (2)$$

$\alpha$ 와  $\beta$ 값의 관계에 따라 평탄영역, 세로방향 경계, 가로 방향 경계, 모호한 영역을 결정하고, 다음의 식 (3)과 같이 보간을 수행한다.

$$G_{13} = \begin{cases} B_{13} + (D_T + D_B + D_L + D_R)/4 & \text{if 평탄 영역} \\ B_{13} + (D_T + D_B)/2 & \text{if 세로 방향} \\ B_{13} + (D_L + D_R)/2 & \text{if 가로 방향} \\ B_{13} + \text{median}(D_T, D_B, D_L, D_R) & \text{if 모호한 영역} \end{cases} \quad (3)$$

G 채널의 보간이 모두 끝난 후에 B 채널에서의 R 채널에 대한 보간과 R 채널에서의 B채널에 대한 보간을 수행한다. G 채널과 달리, 대각선 방향의 값을 사용한다. 마지막으로 G 채널에서의 R/B 채널을 보간해야 하는데, R/B 채널에서 B/R 채널을 보간하는 방법과 동일하지만, 대각선 방향의 값 대신 가로 및 세로 방향의 값을 이용하여 보간한다.

## 2. 영상 품질 향상을 위한 화질 개선 필터

일반적으로 디스플레이와 실영상간의 다이내믹 레인지 차에 의해 영상 내 일부 영역은 낮은 콘트라스트를 갖게 되고, 이로 인해 잘 보이지 않는 부분이 존재하게 된다. 따라서 영역에 따라 적응적으로 콘트라스트를 향

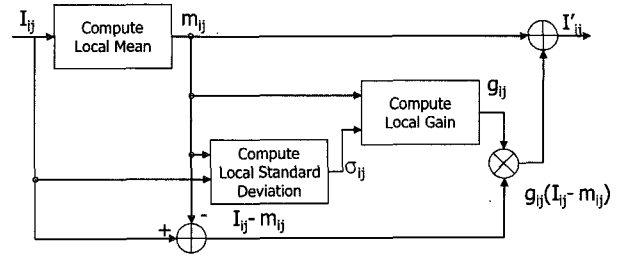


그림 3. Adaptive local contrast enhancement의 블록도  
Fig. 3. Block diagram of adaptive local contrast enhancement.

상시킬 수 있는 방법이 필요하다. [8]에서는 실시간이면서 적응적으로 영상의 콘트라스트를 개선하는 방법을 제안하였다. 그림 3은 [8]에서 제안된 화질 개선 필터 (Adaptive local contrast enhancement) 기법의 블록도이다.

먼저 입력화소의 주변 화소값들을 이용해 국부 평균 (local mean), 국부 표준 편차(local standard deviation)를 구한다. 이를 이용해 gain을 구한 뒤, scaling constant와 곱해진 값을 국부 평균에 더해서 출력한다. 이를 수식으로 나타내면 다음과 같다.

$$I'_{i,j} = g_{i,j} \times (I_{i,j} - m_{i,j}) + m_{i,j} \quad (4)$$

$I_{i,j}$ 는  $i, j$ 에서의 입력 화소값이고,  $g_{i,j}$ 는 gain,  $m_{i,j}$ 는 국부 평균,  $I'_{i,j}$ 는 출력이다.  $g_{i,j}$ 는 영역의 특징에 따라 다른 값을 갖는데, 다음 수식에 의해 결정된다.

$$g_{i,j} = \begin{cases} G_{\min} & x < x_1 \\ \frac{x - x_1}{x_2 - x_1} G_{\min} + \frac{x_2 - x}{x_2 - x_1} G_{\max} & x_1 \leq x < x_2 \\ G_{\max} & x \geq x_2 \end{cases} \quad (5)$$

$G_{\min}$  및  $G_{\max}$ 는 gain의 최대값과 최소값을 나타내고,  $x$ 는 국부 평균과 국부 표준 편차의 비율을 나타낸다.

## 3. 기존 Image signal processor의 구조

기존의 ISP에서는 하드웨어 복잡도를 줄이기 위해 간단한 bilinear 방식이 사용되었다. 그림 4는 일반적인 형태의 ISP이다.[8-12] [8]-[11]과 같이 색 보간부에 2개의 라인 메모리를 이용해서 bilinear 혹은 경계 영역을 고려한 색 보간 알고리즘을 사용할 경우, 영상의 특징을 정확히 반영할 수 없기 때문에 화질 개선에 한계가 있다. 보다 고화질을 얻기 위한 5x5 매트릭스를 사용하는 채널간 상관관계를 고려한 알고리즘을 적용한 [12]의 경우, 입력 화소 외에도 보간된 G 채널을 저장해야 하므로, 7개의 라인 메모리가 필요하게 된다. 화질

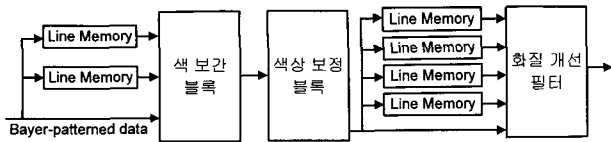


그림 4. 기존 Image Signal Processor의 구조  
Fig. 4. Conventional Image Signal Processor.

개선 필터 블록에서 4개 이상의 라인 메모리가 필요하므로, 기존 ISP에 고화질의 색 보간 알고리즘을 적용할 경우 6~11개 이상의 라인 메모리가 필요하다. [11]에서 제안한 ISP의 색보간 블록은 2개의 라인 메모리와 10K의 게이트로 구현되었는데, 라인 메모리가 ISP 코어의 절반을 차지한다. 따라서 라인 메모리의 수가 ISP의 하드웨어 복잡도의 대부분을 차지하므로, 라인 메모리 수를 줄이면서도 고화질을 유지할 수 있는 방법이 필요하다.

### III. 제안된 Image Signal Processor

#### 1. 적용된 색 보간 알고리즘

제안된 ISP에서는 [6]에서 제안된 색 보간 알고리즘을 적용하여 고화질의 영상을 얻을 수 있었다. 그러나 [6]에서 제안된 색 보간 알고리즘을 사용하더라도, 일부 영상에서는 영상의 특징을 잘 못 판단하여 다수의 잘못된 색이 발생하게 된다. 이를 최소화하기 위해 [7]에서 제안된 방법을 함께 적용하였다. [7]에서는 G 채널의 보간 후 해당 화소의 방향 정보를 저장해 두는데 다음과 같이 정의 된다.

$$d_{i,j} = \begin{cases} 1 & \text{if Horizontal edge} \\ -1 & \text{if Vertical edge} \\ 0 & \text{otherwise} \end{cases} \quad (6)$$

식 (6)에 따라, 현재 화소가 가로 방향의 경계일 경우  $d_{i,j}$ 는 '1'로 설정되고, 세로 방향일 경우는 '-1'로 설정된다. 어느 방향도 아닐 경우에는 '0'으로 설정한다. 식 (6)을 이용하여, 새로운 가로 및 세로 방향의 경계표시자 ( $\alpha'$ ,  $\beta'$ )를 가중치  $w$ 를 적용하여 다음과 같이 정의한다.

$$\begin{aligned} \alpha' &= \alpha + w \cdot d_{i-2,j} \\ \beta' &= \beta - w \cdot d_{i,j-2} \end{aligned} \quad (7)$$

그림 5는 색 보간 알고리즘에 따른 결과 영상이다. 그림 5(a)는 원본 영상이고, 5(b)는 부분 확대된 원본 영상이다. 그림 5(c)-(g)는 각각 bilinear 기법, [11]에서 제안된 기법, [12]에서 사용된 기법, [6]에서 제안된 기법, [6]의 색 보간 알고리즘에 [7]의 방법을 적용하여 보

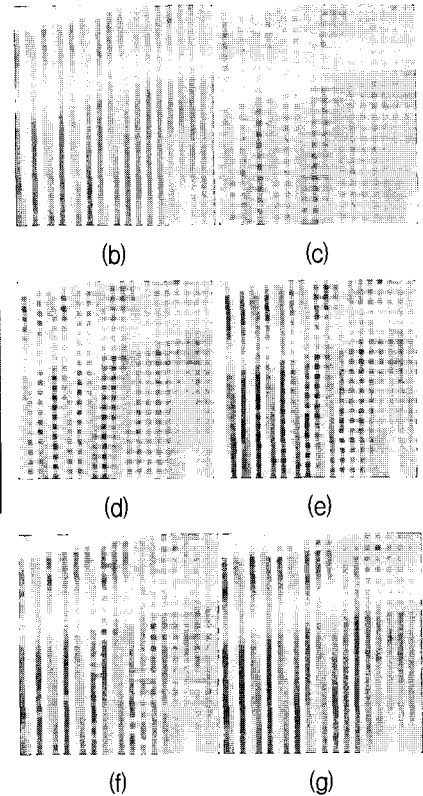


그림 5. 색 보간 결과 (a) 원본 영상, (b) 원영상의 부분 확대 영상, (c) bilinear, (d) method [12], (e) method [11], (f) Method [6], (g) Method [6] + Method [7]

Fig. 5. The demosaiced image (a) Original image, (b) Zoomed region of the original image, (c) bilinear, (d) method [12], (e) method [11], (f) Method [6], (g) Method [6] + Method [7].

간한 결과이다. 2개의 라인 메모리를 사용하는 bilinear와 [11]의 색 보간 방법, 채널간 상관 관계가 고려되어 7개의 라인 메모리를 사용하는 [12]의 색 보간 방법의 경우는 영역의 특징이 충분히 고려되지 않았기 때문에 다수의 잘못된 색이 발생한다. [6]에서 제안된 방법도 성능이 우수하나 그림 5(b)와 같은 영역에서는 영상의 특징을 정확히 판단할 수 없기 때문에 잘못된 색이 발생한다. 그러나 [7]에서 제안된 방법이 함께 적용된 경우에는 잘못된 색이 거의 발생하지 않음을 알 수 있다.

#### 2. 제안된 ISP 구조

일반적인 ISP에서의 화질 개선 알고리즘은 영상의 밝기(Luminance, Y)를 이용하여 수행하므로, 색 보간이 끝난 후에 얻어진 R, G, B 채널을 Y, Cb, Cr로 변환한 후에 적용하게 된다. 따라서 화질 개선용 화질 개선 필터를 위한 별도의 라인 메모리가 필요하게 된다.

본 논문에서는 채널간 상관관계를 이용한 색 보간 알

고리즘의 특징을 이용하여, 색 보간부와 영상 품질 향상 블록간의 라인 메모리를 공유하는 새로운 ISP 구조를 제안한다. 채널간 상관관계를 이용한 색 보간 방식에서는 G 채널을 먼저 보간한 후에, 이를 이용해서 R/B 채널을 보간하게 된다. 이는 R/B 채널 보간 과정에서 Y 채널의 약 60%를 차지하는 G 채널이 모두 이용 가능한 상태라는 것을 의미하므로 원래의 Y 채널 대신 G 채널을 효과적으로 이용한다면 Y 채널을 이용한 것과 유사한 결과를 얻을 수 있다.

그림 6은 채널간 상관관계를 고려한 색 보간 과정을 보여준다. R25에서 G25에 대한 색 보간이 수행되고 있고 R11에서는 B11에 대한 색 보간을 수행하고 있다. 이때, G10을 기준으로 5x3 매트릭스를 구성하면, 매트릭스 내에 모든 G 채널은 보간이 끝났으므로 사용 가능하다. 또한 2개의 입력된 R 채널 및 5개의 보간 완료된 R 채널, 6개의 입력된 B 채널 및 4개의 보간 완료된 채널도 이용 가능한 상태이다. 따라서 이용 가능한 화소를 최대한 이용하면 영상의 선명도 및 콘트라스트 향상 등의 다양한 영상 품질 향상 기법들이 적용될 수 있다.

다양한 화질 개선 알고리즘 중에 하드웨어 복잡도가 낮은 [8]에서 제안된 화질 개선 필터 (Adaptive local contrast enhancement)를 적용하였다. 이를 위해서는 현재 화소의 밝기 값, 국부 평균 및 국부 표준 편차가 필요하다. 현재 화소의 Y, Cb, Cr 값의 경우, 색 보간이 완료된 후에 R, G, B 세 값을 모두 갖고 있으므로 바로 구할 수 있다. 그러나 국부 평균과 국부 표준 편차는 주변 화소를 이용해야 하는데, 모든 화소가 이용 가

능하진 않기 때문에 근사값을 구해야 하는데, 이 때 평균은 선형이므로 Y 채널의 평균값은 다음과 같이 구할 수 있다.

$$\overline{I_{i,j}} = E(I_{i,j}) = E(C_1R + C_2G + C_3B) = C_1E(R) + C_2E(G) + C_3E(B) \quad (8)$$

$C_i$ 는 RGB를 YCbCr로 색공간을 변환하기 위한 상수이다. 각 채널의 근사화된 국부 평균값은 다음과 같은 식에 의해 구해진다. 하드웨어 구현을 용이화하기 위해, 2<sup>로</sup>로 나눌 수 있도록 주위 화소들을 추가 혹은 제외하고 계산하였다.

$$\begin{aligned} E(R) &= (R1' + R3' + R5' + R8' + 2R9 + 2R11)/8 \\ E(G) &= (\sum G_i + \sum G_i')/16 \\ E(B) &= (B1 + B3 + B5 + B9' + B11' + B15 + B17 + B19)/8 \end{aligned} \quad (9)$$

식 (9)를 통해 얻어진 채널 별 평균 값을 (8)에 대입함으로써 근사화된 Y의 평균값을 얻을 수 있다. Gain을 구하기 위해서는 국부 평균 외에도 국부 표준 편차가 필요한데, 표준 편차는 평균과 달리 선형이 아니기 때문에 식 (9)와 같은 형태로는 구할 수 없다. 따라서 제안된 방식에서는 Y 채널 대신 G 채널 값의 국부 평균 및 국부 표준 편차를 이용한다. 제안된 방법을 적용하면 화질 개선을 위한 별도의 라인 메모리가 필요 없으므로 하드웨어 복잡도를 최소화할 수 있을 뿐만 아니라, 고화질 색 보간 알고리즘을 적용했기 때문에 화질 또한 향상될 수 있다. 그림 7은 제안된 알고리즘이 적용된 ISP의 구조이다.

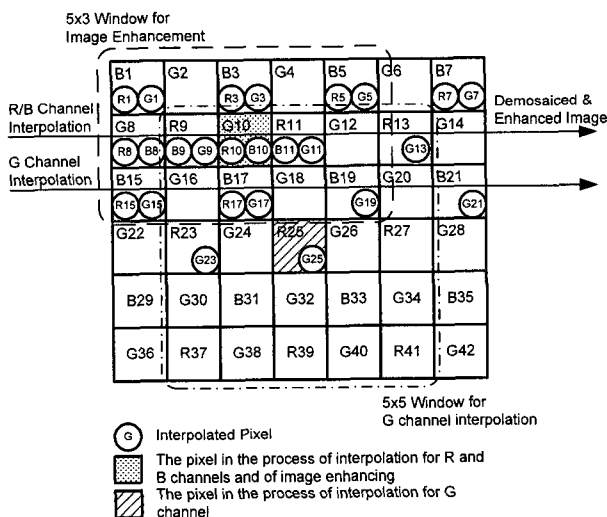


그림 6. 채널간 상관 관계를 고려한 색 보간 과정  
Fig. 6. The process of color interpolation considering cross-channel correlation.

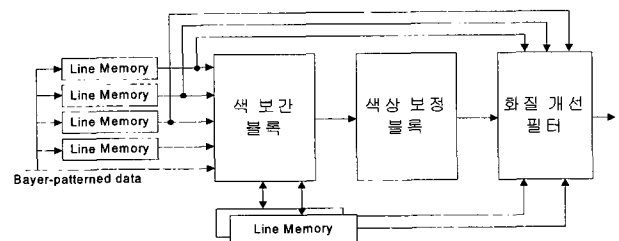


그림 7. 제안된 Image Signal Processor의 구조  
Fig. 7. Proposed Image Signal Processor.

#### IV. 실험 결과 및 고찰

제안된 기법은 KodakCD에 있는 여러 종류의 컬러 영상(768x512)을 이용하여 평가하였다.<sup>[13]</sup> 다음과 같은 3가지 방법을 비교함으로써 제안된 ISP의 성능을 평가하였다.

- 1) ISP I: Bilinear (3x3 window) + 화질 개선 필터
- 2) ISP II: 고화질 색 보간(Method[6] + Method [7]) + 화질 개선 필터 (Y 채널, 별도의 라인 메모리)
- 3) ISP III: 고화질 색 보간(Method[6] + Method[7]) + 화질 개선 필터 (G 채널, 라인 메모리 공유)

표 1은 ISP I~III의 성능을 비교한 것이다. 색 보간 성능은 bilinear를 사용한 ISP I에 비해 경계 적응적이면서 채널간 상관관계를 고려한 색 보간 알고리즘이 적용된 ISP II와 ISP III가 PSNR 측면에서 5.8~8.1dB 정도 우수하다. Y채널을 이용해 화질 개선을 한 경우와 G 채널을 이용해 화질 개선을 한 경우는 MSE (mean squared error)를 이용해 비교했는데, 두 방법 간의

표 1. 성능 비교(PSNR)

Table 1. Performance comparison (PSNR).

			ISP I	ISP II	ISP III
색 보간 성능	PSNR (dB)	R	28.37	36.45	36.45
		G	32.45	38.25	38.25
		B	28.08	36.27	36.27
MSE		Y	-	0.37	
필요 라인메모리	색 보간 블록		2	7.5	7.5
	화질개선 필터		4	4	-
	합계		6	11.5	7.5

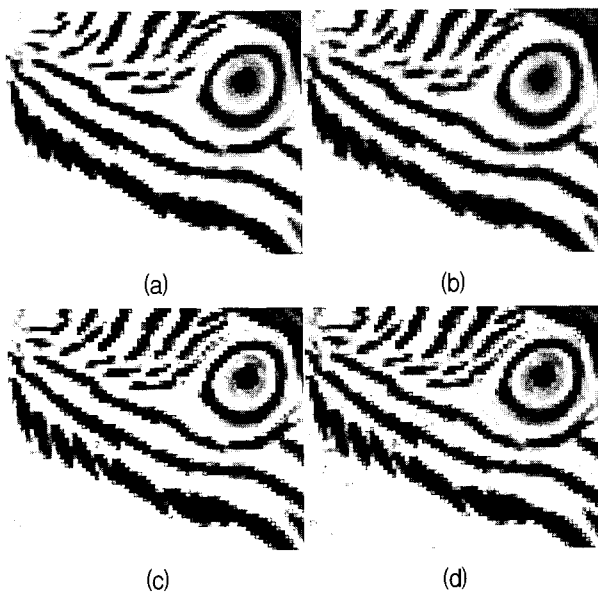


그림 8. ISP 결과 영상 (a) 원본 영상, (b) ISP I, (c) ISP II, (d) ISP III

Fig. 8. Result images. (a) original image, (b) ISP I, (c) ISP II, (d) ISP III

MSE는 0.37로 거의 차이가 없음을 알 수 있다. 그림 8은 결과 영상이다. Bilinear를 이용한 ISP I의 경우, 초기에 발생한 다수의 잘못된 색으로 인해 화질이 좋지 못하다. 고화질 색 보간 알고리즘이 적용된 ISP는 일부 잘못된 색이 발생하긴 하지만, Bilinear에 비해 화질이 훨씬 우수하다. 또한 ISP II와 ISP III 사이에는 화질의 차이가 거의 없음을 알 수 있다.

하드웨어 복잡도 측면에서도, ISP I의 경우 색 보간 블록에 2개, 화질 개선 필터 블록에 4개의 라인 메모리를 사용하여 총 6개의 라인 메모리가 사용되었고, ISP II의 경우는 11.5개, 제안된 ISP인 ISP III의 경우 7.5개의 라인 메모리를 사용한다. ISP I보다는 15개의 라인 메모리가 추가로 사용되었지만, ISP II와 비교해서는 거의 동일한 성능에서 4개의 라인 메모리를 줄일 수 있었다.

### V. 제안된 ISP의 VLSI 설계

제안된 ISP는 Verilog HDL 및 FPGA를 이용하여 설계 및 검증되었다. 그림 9는 설계된 색 보간 블록의 블록 다이어그램이다. G 채널 보간을 위해서는 5x5 윈도우가 필요하므로, 이를 위해 5개의 라인 메모리가 필요하다. 또한 보간된 3줄(line)의 G 채널을 저장하기 위한 15개의 라인 메모리와 1줄의 R/B 채널 보간 데이터를 저장하기 위한 절반 크기의 라인 메모리 1개가 필요하다. 메모리에 저장된 데이터는 Bayer\_buffer와 Int\_buffer로 읽어 들인 후 색 보간 및 화질 개선 등의 영상 처리를 수행한다. 그림 10은 화질 개선 필터 블록의 구조이다. 버퍼에 저장된 데이터를 이용해 G 채널의 국부 평균 및 국부 표준 편차를 구하여 gain을 구하고,

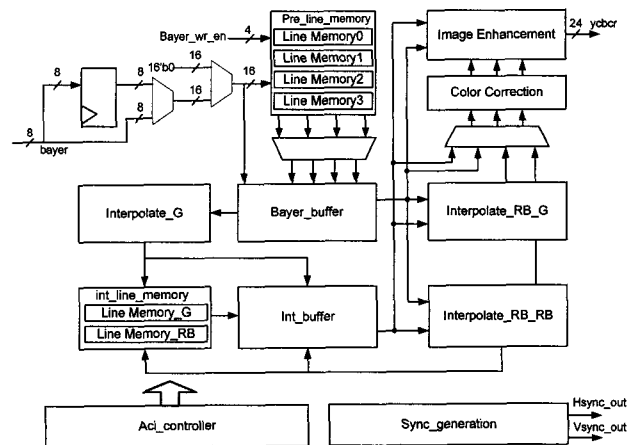


그림 9. 설계된 Image Signal Processor의 구조

Fig. 9. Block diagram of Image Signal Processor.

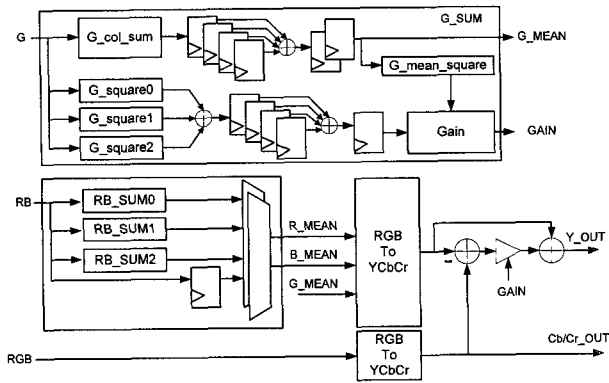


그림 10. 화질 개선 필터(Image enhancement)의 구조  
Fig. 10. Block diagram of Image enhancement.

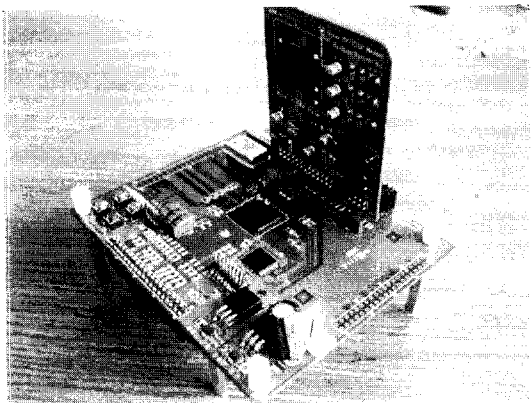


그림 11. 검증용 FPGA 테스트 보드  
Fig. 11. FPGA test board.



그림 12. FPGA 테스트 보드를 이용해 캡처한 영상  
Fig. 12. Captured Image using FPGA test board.

이를 이용해 근사화 된 Y 채널을 구한 뒤 결과값을 출력한다.

제안된 ISP는 Verilog HDL을 이용하여 하드웨어로 설계되었으며, 0.25um CMOS 표준 셀 라이브러리를 이용하여 합성했을 때, 색 보간 블록이 12K, 화질 개선 필터 블록이 12.5K로 구현되었고, 그 밖에 색상 보정을 위한 블록들을 포함해 총 37K개의 게이트로 구현되었다. 그림 11은 설계된 ISP를 검증하기 위한 FPGA 테스트 보드이다. 130만 화소의 CIS가 검증에 사용되었고,

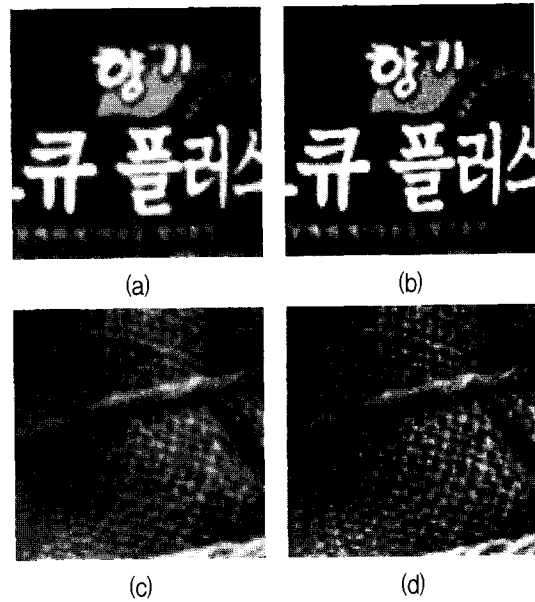


그림 13. 캡처한 영상의 부분 확대 영상 (a) 색 보간 영상, (b) 화질 개선 필터가 적용된 영상, (c) 색 보간 영상, (d) 화질 개선 필터가 적용된 영상

Fig. 13. Zoomed image of captured image (a) demosaiced image, (b) image enhanced image after demosaicing, (c) demosaiced image, (d) image enhanced image after demosaicing.

CIS로 부터 Bayer 데이터를 입력받아 색 보간 및 화질 개선 등의 알고리즘을 적용하였다. 최대 28.4MHz까지 동작이 가능하지만, 사용하는 센서의 동작 주파수가 21MHz 이기 때문에 21MHz 클럭을 사용하였다. 그림 12는 FPGA 보드를 이용해서 캡처한 영상이고, 그림 13은 캡처된 영상의 부분 확대 영상이다. 화질 개선 필터가 적용되었을 때 영상의 화질이 크게 향상됨을 확인할 수 있다.

## VI. 결론

본 논문에서는 Single-chip CIS에 최적화된 고화질 ISP의 하드웨어 구조를 제안하였다. 고화질과 낮은 하드웨어 복잡도를 통한 저전력 두 가지 모두를 만족시키기 위해, 색 보간 블록과 화질 개선 필터 블록이 라인 메모리를 공유하는 구조를 제안하였다. 제안된 구조를 통해 화질 개선 필터에 필요한 추가적인 라인메모리를 없앴으로써, 기존 대비 약 65%의 라인 메모리만을 사용하였다. 라인 메모리 수를 줄였음에도 기존방식과 MSE가 0.37에 불과해 화질에 손실이 거의 없었다. 제안된 ISP 구조는 Verilog HDL 및 FPGA를 이용하여 실시간으로 구현 검증되었다. 0.25um CMOS 표준 셀 라이브

러리를 이용하여 합성하였을 때, 총 게이트 수는 37K개였으며 7.5개의 라인 메모리가 사용되었다.

1732 - 1743, Nov. 2000.

[13] <http://r0k.us/graphics/kodak/>

### 참 고 문 헌

- [1] Bayer, Bryce E., "Color imaging array," U.S. Patent 3,971,065
- [2] Keys, Robert. G., "Cubic Convolution Interpolation for Digital Image Processing" IEEE Trans. on Acoustic, Speech and Signal Processing
- [3] R. H. Hibbard, "Apparatus and method for adaptively interpolating a full color image utilizing luminance gradients," U.S. Patent 5,382,976
- [4] J. E. Adams and J.F.Hamilton Jr., "Adaptive color plane interpolation in single sensor color electronic camera," U.S.Patent 5,629,734
- [5] B. K. Gunturk, Y. Altunbasak and R. M. Mersereau, "Color plane interpolation using alternating projections," IEEE Transactions on Image Processing, vol.11, no.9, 2002.
- [6] 강문기, 김상현, "채널간 상관관계를 고려한 색상 보간 방법", 대한민국 특허, 10-0637272-0000
- [7] 이원재, 이성주, 김재석, "화소 간 상관관계를 이용한 CCD/CMOS 이미지 센서용 색 보간 기법 및 VLSI 설계에 관한 연구," 대한전자공학회 논문지, 제 43권 SD편 11호, pp. 26~36, 2006년 11월
- [8] Yun Ho Jung, Jae Seok Kim, Bong Soo Hur, and Moon Gi Kang, "Design of Real-Time Image Enhancement Preprocessor for CMOS Image sensor," IEEE Transactions on Consumer Electronics, Vol. 46, No. 1, Feb 2000, pp. 68-75
- [9] Kim, H., et al., "Digital signal processor with efficient RGB interpolation and histogram accumulation," IEEE Transactions on Consumer Electronics, 1998, 44, pp. 1389-1395
- [10] Rongzheng Zhou., et al., "System-on-chip for mega-pixel digital camera processor with auto control functions," 2003 5th International Conference on ASIC Proceedings, Vol. 2, 21-24, Oct. 2003, pp. 894-897
- [11] Shih-Chang Hsia, Ming-Huei Chen, and Po-Shien Tsai, "VLSI Implementation of Low-Power High-Quality Color Interpolation Processor for CCD Camera," IEEE Trans. VLSI Systems, Vol. 14, No. 4, pp 361-369, April 2006.
- [12] D. Doswald, J. Hafliger, P. Blessing, N. Felber, P. Niederer, and W. Fichtner, "A 30 frames/s Megapixel real-time CMOS image processor," IEEE J. Solid-State Circuits, Vol. 35, No. 11, pp.



저 자 소 개



**이 원 재**(정회원)  
 2001년 연세대 전기전자공학과 학사 졸업.  
 2003년 연세대 전기전자공학과 석사 졸업.  
 2003년~현재 연세대 전기전자공학과 박사 과정.

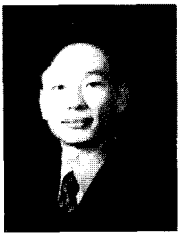
<주관심분야 : 영상처리, SoC 설계>



**정 윤 호**(정회원)  
 1998년 연세대 전자공학과 학사 졸업.  
 2000년 연세대 전자공학과 석사 졸업.  
 2005년 연세대 전기전자공학과 박사 졸업.

2005년~2007년 삼성전자 통신연구소 책임연구원  
 2007년~현재 연세대 TMS 정보기술사업단 연구 교수

<주관심분야 : 초고속데이터 통신용 모델 및 영상처리 프로세서의 알고리즘 및 SoC 설계>



**이 성 주**(정회원)  
 1996년 연세대 전자공학과 학사 졸업.  
 1998년 연세대 전자공학과 석사 졸업.  
 2002년 연세대 전기전자공학과 박사 졸업.

2002년~2003년 연세대 ITSoc센터 전문연구원  
 2003년~2005년 삼성전자 DM총괄 책임연구원  
 2005년~2006년 연세대 IT연구단 연구교수  
 2006년~현재 세종대 정보통신공학과 조교수  
 <주관심분야 : 초고속데이터 통신용 모델의 SoC 설계, 영상처리 프로세서의 SoC설계, 무선통신용 모델 알고리즘>



**김 재 석**(정회원)  
 1977년 연세대 전자공학과 학사 졸업.  
 1979년 KAIST 전기전자공학과 석사 졸업.  
 1988년 Rensselaer Polytechnic Institute, NY, 박사 졸업.

1993년~1995년 한국전자통신연구원 책임연구원  
 1996년~현재 연세대학교 전기전자공학과 교수  
 <주관심분야 : 통신 및 영상 시스템, VLSI 신호처리, 임베디드 S/W 및 SoC 구현>