

논문 2007-44SP-5-11

# 이진트리 비 균일 필터뱅크를 이용한 잡음감소기법 및 구현

## ( A Noise De-Noising Technique using Binary-Tree Non-Uniform Filter Banks and Its Realization )

손상욱\*, 최훈\*\*, 배현덕\*\*\*

( Sang-wook Sohn, Hun Choi, and Hyeon-Deok Bae )

## 요약

잡음감소에 있어서 웨이블릿 임계처리 알고리즘은 미니맥스 관점에서 거의 최적의 성능을 보이는 것으로 알려져 있다. 그러나 웨이블릿 임계처리 알고리즘은 웨이블릿 함수의 복잡성으로 인해 FPGA와 같은 하드웨어 상에 구현이 어렵다. 본 논문에서는 이진트리 구조 필터뱅크에서 전체 신호전력에 대한 각 부밴드 신호 전력비에 기반한 새로운 잡음감소 기법을 제안한다. 그리고 이 기법을 FPGA 상에 구현한다. 간단한 구현을 위해 필터뱅크는 하다마드 변환 계수로 설계된다. 시뮬레이션과 하드웨어 실험결과 제안방법이 간단하지만 웨이블릿에 기반한 소프트 임계처리 잡음감소 알고리즘과 성능이 유사함을 보인다.

## Abstract

In de-noising, it is wellknown that wavelet-thresholding algorithm shows near-optimal performances in the minimax sense. However, the wavelet-thresholding algorithm is difficult in realization it on hardware, such as FPGA, because of wavelet function complexity. In this paper, we present a new de-noising technique with the binary tree structured filter bank, which is based on the signal power ratio of each subbands to the total signal power. And we realize it on FPGA. For simple realization, the filter banks are designed by Hadamard transform coefficients. The simulation and hardware experimental results show that the performance of the proposed method is similar with that of soft thresholding de-noising algorithm based on wavelets, nevertheless it is simple.

**Keywords :** de-noising, filter banks, FPGA, subband.

## I. 서론

신호 및 영상 데이터 처리에서 잡음감소는 데이터의 분석, 복원 또는 개선을 위해 매우 중요하고 필수적인 처리과정이다. 이를 위해 잡음에 의해 오염된 신

호로부터 본래의 신호를 추정하는 많은 방법이 연구되어 왔다<sup>[1~4]</sup>. 여러 원인에 의해 발생하는 잡음은 시간이 지남에 따라 그 특성이 변하지 않을 경우 대역제한필터를 사용하여 간단하게 감소할 수 있다. 그러나 신호와 잡음의 특성이 시간에 따라 변화할 경우 임의의 대역제한필터를 사용하는 것은 많은 제약이 따르게 된다. 그러므로 잡음 감소에 있어 신호나 잡음의 특성에 대한 사전 지식이 필요치 않는 적응기법, 웨이블릿 변환(wavelet transform)을 이용한 기법 등이 많이 연구되고 있다<sup>[3~4]</sup>.

적응기법은 신호와 잡음의 특성이 통계적으로 정상(stationary)인 경우에는 그 효용성이 입증되고 있으나 비정상(non-stationary)인 경우 성능이 현저히 떨어진다. 그러나 웨이블릿 변환은 신호의 통계적 특성을 모

\* 학생회원, \*\*\* 평생회원, 충북대학교 전기공학과  
(The Department of Electrical Engineering,  
Chungbuk National University)

\*\* 정회원, 표준과학연구원  
(Korea Research Institute of Standards and  
Science)

※ 이 논문은 2006학년도 충북대학교 학술연구지원사업의 연구비지원에 의하여 연구되었음(This work was supported by the research grant of the Chungbuk National University in 2006)

접수일자: 2007년4월25일, 수정완료일: 2007년7월31일

르거나 시간에 따라 크기가 급격히 변하는 비정제적인 신호의 해석과 처리에 유용한 것으로 알려져 있다<sup>[4-6]</sup>. 웨이브렛 변환은 푸리에(Fourier) 변환과는 달리 유한 구간의 모 웨이브렛(mother wavelet)을 사용함으로써 효과적으로 신호를 분해, 합성한다. 그리고 웨이브렛 변환은 신호를 다 해상도로 분해하여 처리함으로써 주파수 영역과 시간영역에서의 해상도를 높이는 장점을 가지고 있다. 이러한 웨이브렛 변환의 장점을 살려 최근에는 웨이브렛 기반의 잡음감소가 활발히 연구되고 있다<sup>[4-9]</sup>. 대표적으로 임계치 함수(thresholding function) 이용하는 방법이 있다<sup>[9][12][14]</sup>. 이러한 웨이브렛을 기반으로 하는 잡음감소 기법은 웨이브렛 함수의 복잡성으로 인하여 하드웨어 구현에 어려운 단점이 있다. 그렇지만 웨이브렛 변환은 신호의 완전 복원성능을 가지는 필터뱅크로 구현이 가능하다<sup>[10][11][15]</sup>. 웨이브렛 변환과 유사한 성능을 가지는 필터뱅크를 이용한 잡음감소에 있어서, 필터뱅크에 의해 분해된 각 부 밴드 신호에 대해 웨이브렛의 임계처리 기법과 유사한 방법을 적용하여 잡음을 감소할 수 있다.

본 논문에서는 필터뱅크를 이용 웨이브렛 기반의 소프트 임계처리(soft thresholding) 기법과 성능은 유사하지만, 구현이 간단한 잡음감소 기법을 제안한다. 이 기법은 웨이브렛에서 신호 분해와 같은 효과를 얻기 위해 필터뱅크를 사용하여 신호를 분해하고, 잡음감소를 위해 입력신호와 부 밴드 신호의 전력비를 이용한다. 제안된 기법의 구현에 있어 하드웨어의 복잡성을 줄이기 위해 이진트리(binary tree) 필터뱅크의 분해필터와 합성필터 계수에 하다마드(Hadamard) 변환 계수를 적용한다. 제안된 기법을 VHDL을 이용하여 설계한 후 FPGA를 사용하여 구현한다. 실험 결과를 통해 제안된 잡음감소 기법이 웨이브렛 기반의 소프트 임계처리 잡음감소 기법과 유사한 성능을 보이며, 하드웨어 구현이 용이함을 보인다.

## II. 웨이브렛 임계처리 기법을 이용한 잡음감소

웨이브렛을 임계처리 기법에서는 잡음이 포함된 측정신호  $x(n)$ 에 웨이브렛 변환하여 웨이브렛 계수  $X(k)$ 를 구여, 이 계수 값이 기준 임계치보다 작으면 잡음에 의한 것으로 보고 감소하고, 임계치보다 크면 원신호에 의한 것으로 보고 복원한다. 웨이브렛 임계처리 잡음감소 기법은 임계치 함수에 따라 하드 임계처리 기법과 소프트 임계처리 기법으로 나누어지며, 웨이브렛 계수에 임계치

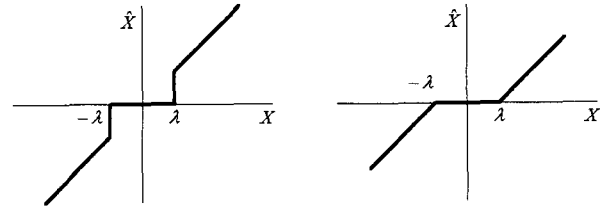


그림 1. 하드임계처리와 소프트임계처리의 임계치 함수  
Fig. 1. Thresholding function of hard and soft thresholding.

를 적용 임계치보다 작은 계수를 무시한 추정계수  $\hat{X}(k)$ 를 얻는다<sup>[6][12][14]</sup>.

하드 임계처리 기법:

$$\hat{X}(k) = \begin{cases} X(k), & |X(k)| \geq \lambda \\ 0, & |X(k)| < \lambda \end{cases} \quad (1)$$

소프트 임계처리 기법:

$$\hat{X}(k) = \begin{cases} \text{sgn}(X(k))(|X(k)| - \lambda), & |X(k)| \geq \lambda \\ 0, & |X(k)| < \lambda. \end{cases} \quad (2)$$

여기서 임계치  $\lambda = \sigma \sqrt{2 \log(n)}$  이고,  $\sigma$ 는 부가된 백색 가우시안 잡음의 표준편차이다.  $n$ 은 신호의 샘플수이다. 그림 1에 45°의 기울기를 가지는 하드 임계처리와 소프트 임계처리 임계치 함수를 나타내었다.

## III. 필터뱅크를 이용한 잡음감소 기법

웨이브렛 변환과 완전복원 필터뱅크와는 필터뱅크를 이용 웨이브렛 변환을 구현할 수 있다는 밀접한 관계가 있다. 이 관계를 이용 하드웨어 구현이 용이한 필터뱅크를 설계하고, 필터뱅크 각 부밴드 신호의 전력을 추정하여 전체 신호전력에 대한 부밴드 신호 전력비를 이용 잡음을 감소시킬 수 있다.

### 1. 필터뱅크 구조

웨이브렛을 이용한 잡음감소 기법은 Weaver[9]가 제안한 하드 임계처리(hard thresholding) 기법과 Donoho와 Johnstone<sup>[14]</sup>에 의하여 제안된 소프트 임계처리 기법이 대표적이다. 웨이브렛을 이용한 임계처리 잡음감소 기법에서는 임계값과 비교하기 위하여 계수를 구하는 과정에서 많은 연산량이 필요하다. 그러므로 웨이브렛 기반의 잡음감소 기법은 하드웨어로 구현할 시 복잡성과 더불어 실시간처리(real-time processing)등의 어려움이 따른다. 이러한 문제점은 웨이브렛 변환과 신호의

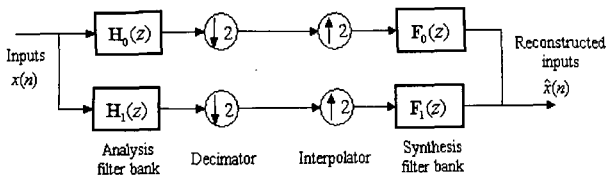


그림 2. 2-채널 FIR QMF 뱅크  
Fig. 2. Two channel FIR QMF bank.

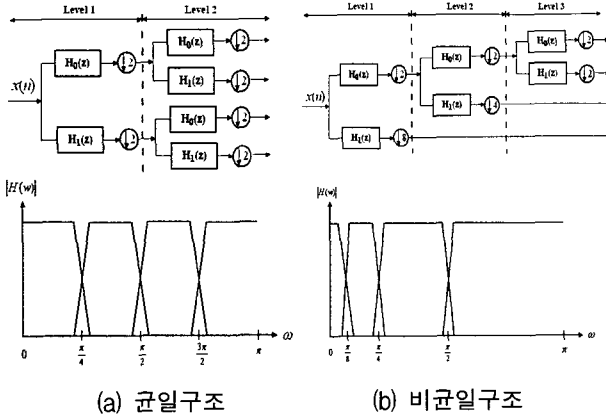


그림 3. 균일/비균일 이진트리 필터뱅크 구조와 주파수 응답  
Fig. 3. The frequency response of uniform and non-uniform filter bank structure.

분해, 합성 성능이 유사한 간단한 필터뱅크를 이용해 결합 수 있다<sup>[10][11][15]</sup>.

신호를 부밴드로 분해하고 합성하는 필터뱅크에는 그림 2와 같은 FIR QMF(Finite Impulse Filter Quadrature Mirror Filter) 뱅크가 대표적이다<sup>[15]</sup>. 이 QMF 구조는 분해 필터에서 발생하는 에일리어싱(aliasing)을 합성필터에서 감소하는 완전복원의 성질을 가지며, 해상도를 높이기 위해서는 분해 필터 단의 반복적인 사용이 필요하다. 해상도를 높이기 위해 2채널 구조를 반복적으로 사용하는 균일(uniform) 이진트리구조는 저주파 및 고주파 대역의 분해능을 모두 고려한 구조로서 그림 3 (a)와 같으며 모든 대역을 일정하게 분할하는 주파수 응답을 갖는다. 비균일(non-uniform) 이진트리구조는 특정 대역의 분해능을 고려한 구조로 그림 3 (b)와 같은 구조와 주파수 응답을 가진다.

그림 3 (a)와 같은 균일 트리구조의 분해 필터뱅크는 각 대역의 분해능이 동일하며, 부밴드 분해 및 합성을 위해 설계된 QMF를 반복적으로 사용하므로 필터 설계가 용이하다. 그리고 각 밴드에서 동일한 길이의 분해 및 합성필터와 같은 업/다운 샘플링 율의 사용으로 부밴드 필터링으로 인한 지연이 각 부밴드에서 동일하게 발생하므로 시스템 구현이 쉽다. 그러나 각 레벨에서 분

해된 부밴드 대역을 반복해서 분할하므로 하드웨어 비용이 증가하게 되는 단점이 있다. 그림 3 (b)는 원 신호가 저주파 특성을 갖는 신호라고 가정할 때 해당 저주파 대역의 분해능을 높일 수 있도록 균일하지 않은 대역으로 분해한 구조이다. 이 구조는 실제 신호의 주파수 성분이 대부분 저주파 대역에 분포하는 경우 하드웨어 비용을 크게 줄일 수 있다. 만약 신호의 주파수 성분이 고주파 대역 성분이라면 저주파 대역 대신 고주파 대역을 반복해서 분할하는 구조를 사용할 수 있다. 그러나 대상 신호가 저주파와 고주파 영역에 동시에 분포하는 경우 이 구조를 이용한 신호처리 알고리즘은 성능의 저하가 일어날 수 있으며, 하드웨어 구현 시 각각의 부밴드에서 다운샘플링 율과 부밴드 필터링에 의한 지연의 차를 정확히 계산해야 하는 어려움이 있다. 그러므로 신호의 특성에 적합하도록 그림 3 (a)의 균일구조나 그림 3 (b)의 비균일 구조의 적절한 선택이 필요하다.

2. 필터뱅크를 이용한 잡음감소 기법

일반적으로 전 대역에 고르게 분포되는 잡음과는 달리 원신호는 한정된 주파수 대역에 분포한다. 따라서 신호가 분해필터뱅크를 통과하게 되면 원신호의 주파수 성분은 해당 대역에 그 값이 나타나게 된다. 이때 입력신호의 SNR (Signal to Noise Ratio)이 높을 경우, 원신호의 전력은 부가된 잡음의 전력에 비해 크므로 신호가 포함되어 있는 해당 부밴드의 전력은 다른 부밴드 신호 전력에 비해 크게 된다. 이러한 원신호와 잡음의 주파수 특성과 전력의 관계를 이용하여 잡음의 감소가 가능하다.

그림 4는 비균일 이진트리구조 필터뱅크에서 부밴드 신호 전력비를 이용한 잡음감소기 구조이다. 그림 4의 구조에서 분해필터를 L-레벨 반복적으로 사용할 경우 신호는 M=L+1개의 부밴드로 분해된다. 이 구조에서 각 부밴드 신호는  $x_i(n)$ 이나, 분해 레벨이 증가함에 따라 다운 샘플( $\downarrow 2$ )이 추가 되므로 각 부밴드의 신호 열을 맞추는 필요가 있다. 신호 열을 맞추는 부밴드 신호  $x_{Di}(n)$ 은 다음과 같다.

$$x_{Di}(n) = \begin{cases} x_i(2^{M-(i+1)}n), & i=1,2,3,\dots,M-2 \\ x_i(n), & i=M-1,M \end{cases} \quad (3)$$

그리고 신호의 통계적 특성을 정확히 알 수 없는 경우, 신호의 전력은 반복적인 기법으로 추정할 수 있으므로 [1][2] 각 부밴드 신호의 전력을 다음과 같이 추정할 수 있다.

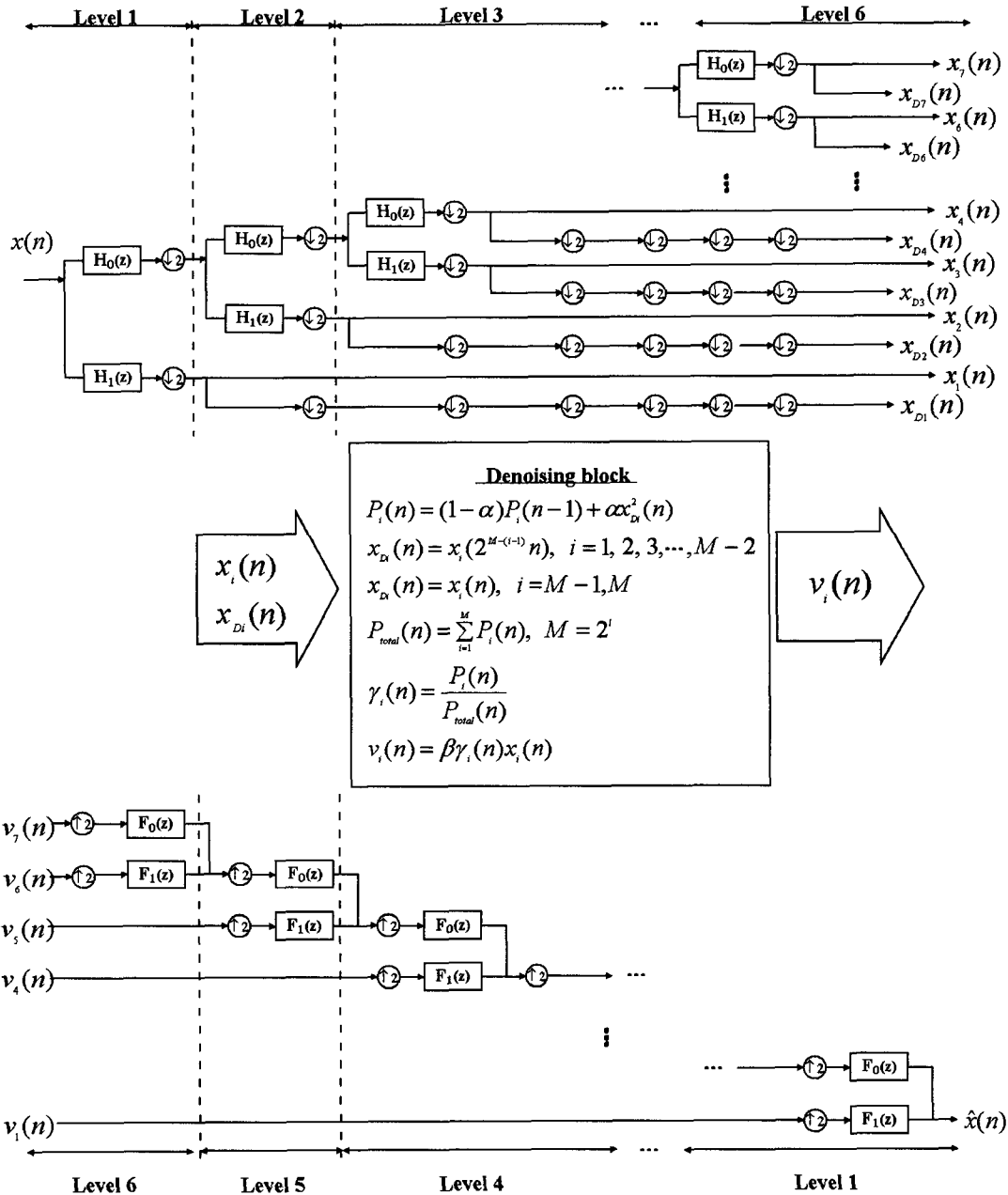


그림 4. 6-레벨 비균일 트리구조의 부밴드 잡음감소기법  
 Fig. 4. Non-uniform binary-tree structured filter banks of 6-level for de-noising.

$$P_i(n) = (1-\alpha)P_i(n-1) + \alpha x_{Di}^2(n) \quad (4)$$

여기서  $i = 1, 2, \dots, M$ 이며,  $\alpha$ 는 누설정도를 제어하는 파라미터로  $0 < \alpha < 1$ 의 값을 갖는다. 식(4)로 부터 추정된 부밴드 전력을 이용하면 전대역의 전력을 다음과 같이 추정된다.

$$P_{total}(n) = \sum_{i=0}^{M-1} P_i(n) \quad (5)$$

식(3)과 식(4)로부터  $i$ 번째 부밴드에서 전대역의 전력과 해당 부밴드 전력의 비는 다음과 같다.

$$\gamma_i(n) = \frac{P_i(n)}{P_{total}(n)} \quad (6)$$

식(6)의 전력비는 해당 부밴드에서 원신호와 잡음이 차지하는 정도를 나타내며 다음과 같은 관계를 갖는다고 볼 수 있다.

$$\gamma_i(n) = \begin{cases} > \frac{1}{M}, & \text{신호 집중대역} \\ < \frac{1}{M}, & \text{다른대역} \end{cases} \quad (7)$$

식(6)의 전력비를 각 부밴드 신호에 곱한 신호는 다음과 같다.

$$\nu_i(n) = \gamma_i(n)x_{Di}(n) \quad (8)$$

식(8)  $\nu_i(n)$ 의 크기는 신호가 집중되어 있는 밴드보다 잡음이 포함된 밴드에서 보다 감쇠되므로 신호의 특성은 유지되고 잡음은 감소되는 효과를 가지게 된다.  $\nu_i(n)$ 는 업샘플링과 합성필터를 통해 잡음이 감소된 신호로 복원된다.

#### IV. 필터뱅크를 이용한 잡음감소기법 설계 및 구현

그림 4의 비균일 트리 구조의 잡음감소기법을 설계 ( $L=6, M=7$ )하여 시뮬레이션을 통해 성능을 평가하고, FPGA STRATIX 상에서<sup>[16]</sup> 구현하고 그 성능을 평가한다. 사용하는 FPGA는 25,660개의 로직요소, 메모리, 그리고 DSP(Digital Signal Processor)블록을 재원으로 가지므로 신호처리 알고리즘 구현에 적합하다.

부밴드 잡음감소기는 그림 5와 같은 블록도를 가진다. 시스템 클럭은 1MHz를 사용하고, 입력신호를 500kHz의 샘플링 주기를 갖는 ADC (Analog to Digital Converter, MAX153)를 사용하여 8비트(bit) 디지털 신호로 샘플링한다. 필터링 연산 과정에서 발생하는 양자화 오차를 고려하여 8비트 입력에 4비트의 소수비트를 추가하여 고정 소수점(fixed point) 형식의 12비트를 최종 입력으로 사용하여 분해필터와 잡음감소과정을 수행한다. 잡음감소 과정이 완료된 신호는 합성필터에 의하여 복원된다. 복원된 신호 중 상위 12비트를 DAC(Digital to Analog Converter, AD7541)를 이용하여 아날로그 신호로 복원한다.

##### 1. 필터뱅크 설계

필터뱅크를 FPGA 상에 구현함에 있어 필터연산과정에서 필요한 곱셈기의 수에 따라 하드웨어의 복잡성과 시스템 지연이 결정된다. 잡음감소기의 성능을 높이기

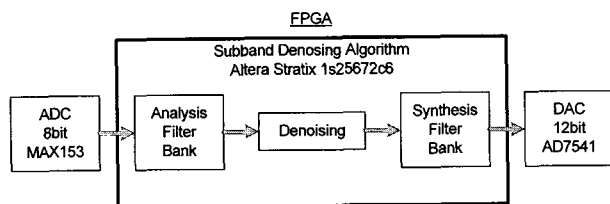


그림 5. 부밴드 잡음감소기 블록도

Fig 5. The block diagram of subband de-noising method.

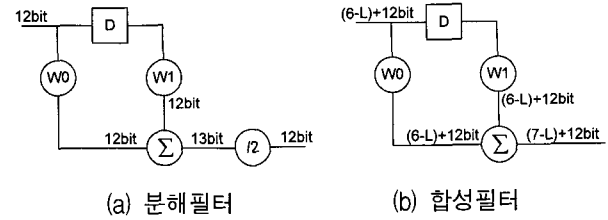


그림 6. 분해필터와 합성필터 구조

Fig. 6. The structure of analysis and synthesis filter.

위해서는 많은 분해레벨과 더불어 고차의 분해 및 합성필터가 필요하나, 이는 성능대비 비용 면에서 바람직하다고는 볼 수 없다. 그러므로 간단한 연산으로 신호의 부밴드 분해 및 합성을 하기위해 곱셈기가 필요하지 않은 하다마드 변환계수를 적용한다. 필터뱅크에서 사용되는 분해필터  $H_0(z)$ 와  $H_1(z)$ 와 완전복원의 특성을 갖는 합성

$$H_0(z) = [1 + z^{-1}], \quad H_1(z) = [1 - z^{-1}] \quad (9)$$

$$F_0(z) = [1 + z^{-1}], \quad F_1(z) = [-1 + z^{-1}] \quad (10)$$

필터  $F_0(z)$ 와  $F_1(z)$ 는 다음과 같다. 식(9), 식(10)같은 필터로 구성되는 필터뱅크를 사용하면 필터링 시 덧셈연산만이 필요하게 되어 로직요소 사용량을 크게 줄일 수 있고, FPGA에서 곱셈 연산 속도보다 덧셈 연산 속도가 빠르기 때문에 시스템 지연을 줄일 수 있다.

필터뱅크의 각 분해 레벨에서 분해필터블록은 저역통과필터  $H_0(z)$ , 고역통과필터  $H_1(z)$ 과 다운샘플러로 구성되며, 필터 구조는 그림 6 (a)와 같다. 그림 6 (a)에서 입, 출력 데이터는 동일 비트수를 가지며, 계수  $W_0$ 와  $W_1$ 은 1 혹은 -1의 값을 가진다. 오버플로우(overflow)를 방지하기 위하여 연산과정에서 1비트의 예비비트를 두어 연산하지만 정규화 문제를 해결하기 위하여 필터 연산 후 우측으로 1비트 이동(shift)하여 이를 보정한다. 결국 13비트의 연산 값이 12비트로 출력이 되기 때문에 레벨이 증가하여도 필터의 출력 비트수는 항상 일정하게 유지되어 분해필터 단을 반복적으로 사용하여  $M$  밴드로 분해한다. 그리고 합성필터블록에서의 합성필터는 분해필터와 유사한 구조를 가지며 그림 6 (b)와 같다. 분해필터에서는 오버플로우 방지를 위해 예비비트로 1비트를 두어 연산하여 입력보다 1비트 증가된 출력을 취한다. 즉 6레벨 합성필터링의 경우 최종 출력은 18비트가 된다. 이 출력의 상위 12비트를 선택하여 DAC에 인가 아날로그신호로 복원한다.

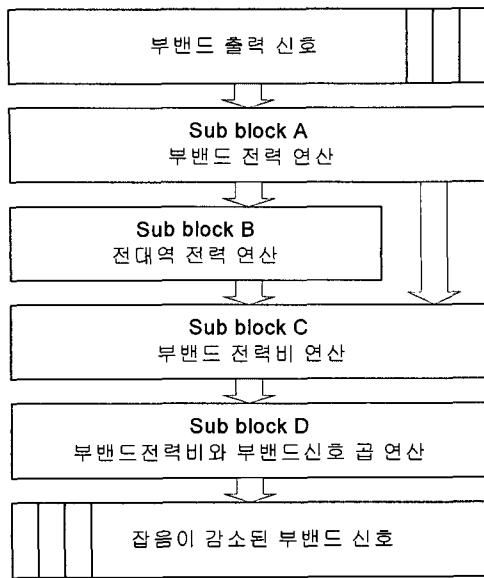


그림 7. 잡음감소기 세부 블록도  
Fig. 7. The sub-block diagram of de-noising.

2. 잡음감소 기법 설계

식(4), 식(5), 식(6), 식(8)로 표현되는 잡음감소 기법은 각각의 부 블록으로 설계하며, 그 과정은 그림 7과 같다.

Sub block A : 식(4)

이 부 블록은 각 부밴드의 출력신호를 제공하여 해당부밴드의 전력을 구한다.

Sub block B : 식(5)

전체전력을 구하는 블록으로 RAM(Random Access Memory)을 사용하여 0번지부터 7번지까지 각 부밴드의 전력값을 저장한 뒤 저장 번지가 0번으로 초기화 될 때 합한 전력값을 출력한다.

Sub block C : 식(6)

이 부 블록에서는 해당 부밴드의 전력비를 연산하며, Altera사의 Quartus에서 제공하는 나눗셈기를 사용하며 FPGA 적용 시 DSP블록을 사용 옵션으로 선택하여 실시간 처리가 가능하게 된다.

Sub block D : 식(8)

이 부 블록은 각 부밴드의 전력비와 입력신호를 곱하는 연산을 수행하며 Quartus에서 제공하는 곱셈기를 사용 설계한다.

잡음감소기 전체 블록도를 그림 8에 나타내었다.

V. 잡음감소기법의 성능평가

제안한 필터뱅크 기반의 잡음감소 기법의 성능을 확인하

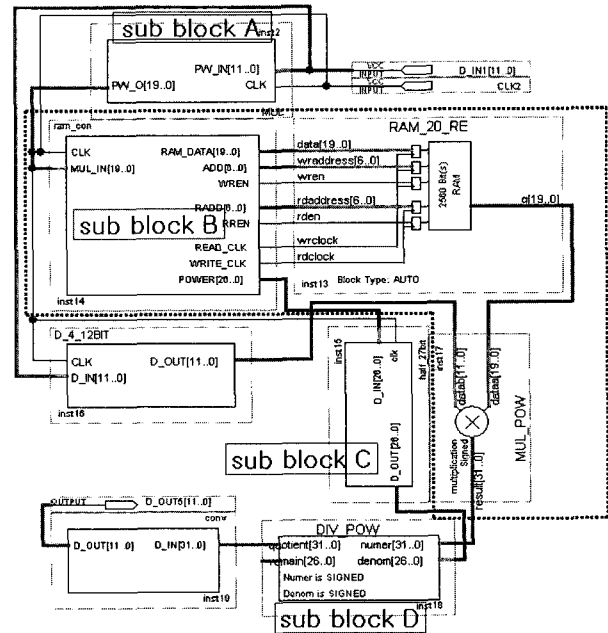


그림 8. 잡음감소 블록도  
Fig. 8. De-noising block.

기 위해 컴퓨터상에서 툴을 이용한 시뮬레이션을 수행하였으며, VHDL로 설계된 잡음감소기를 Modelsim(ver. 5.7d)을 통하여 성능을 검증, 평가한다. 그리고 FPGA상에 구현된 잡음감소기에 오염된 신호를 인가하고 오실로스코프를 통하여 잡음이 감소된 신호를 측정한다. 시뮬레이션과 하드웨어 실험에서 필터뱅크의 레벨은 L=6이며, 부밴드 수는 M=7이다.

1. 컴퓨터 시뮬레이션

필터뱅크를 이용한 잡음감소기법의 성능평가를 위해, 시간에 따라 특성이 변하는 도플러(Doppler)신호, 공기 중의 아황산( $SO_2$ )가스 농도를 실측한 신호, 그리고 블록(blocks)신호에 대해 시뮬레이션을 수행한다. 그림 9는 입력신호가 시간에 따라 특성이 변화하는 도플러신호의 경우에 대하여 실험한 결과이다. SNR=10dB의 가우시안 잡음(Gaussian noise)으로 오염된 도플러신호에 대하여 제안된 잡음감소 기법과 웨이브렛 소프트 임계처리 기법을 비교한 결과이다. 임계값은 Minimax기법을[17] 사용하였다. 그림 10은 블록신호에 대하여 Donoho가 제안한 임계값을[14] 사용한 소프트 임계처리 기법과 본 논문에서 제안된 기법의 비교이다. 표1은 오염된 도플러 신호와 블록 신호에 대하여 제안된 기법과 웨이브렛 기법의 SNR 비교이다. 10dB로 오염된 신호를 사용하여 잡음이 감소된 신호의 SNR비를 나타내었다. 도플러 신호에서는 웨이브렛 기법을 사용할 경우

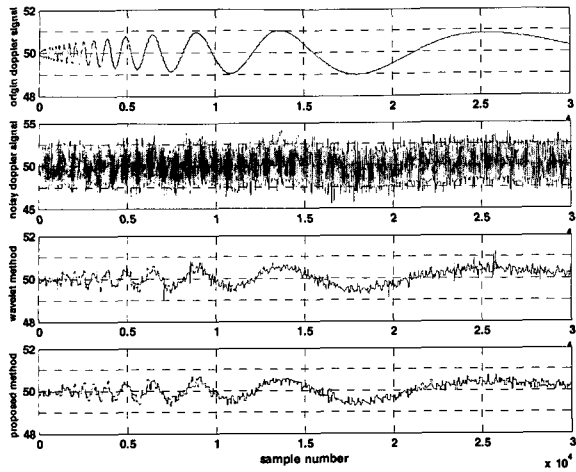


그림 9. 오염된 도플러 신호에 대한 제안된 잡음감소 기법과 웨이브렛 잡음감소 기법의 비교 (SNR=10dB, L=6)  
 Fig. 9. Performance comparison of the proposed method and wavelet method with noisy Doppler signal as excitation(SNR=10dB, L=6).

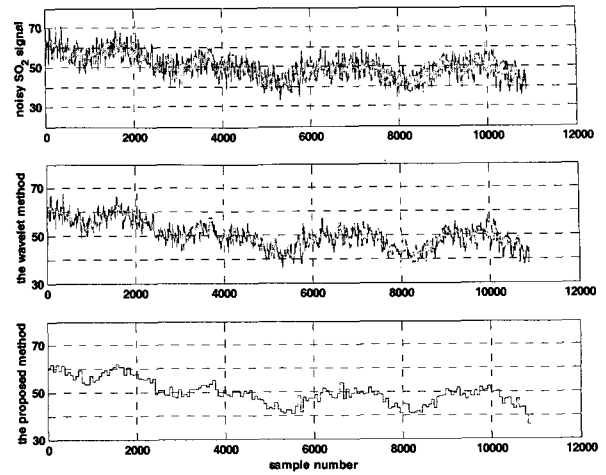


그림 11. 아황산가스 신호에 대한 제안된 잡음감소 기법과 웨이브렛 잡음감소 기법의 비교(L=6)  
 Fig. 11. Performance comparison of the proposed method and wavelet method with noisy SO<sub>2</sub> signal as excitation(L=6).

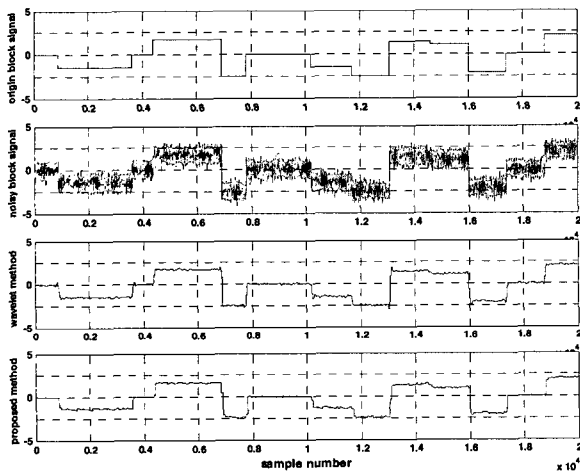


그림 10. 블록 신호에 대한 제안된 잡음감소 기법과 웨이브렛 잡음감소 기법의 비교(SNR=10dB, L=6)  
 Fig. 10. Performance comparison of the proposed method and wavelet method with noisy block signal as excitation(SNR=10dB, L=6).

표 1. 웨이브렛 기법과 제안된 기법의 SNR 비교 (SNR=10dB)

Table 1. The SNR comparison of proposed and wavelet method(input signal SNR=10dB).

사용기법	도플러 신호	블록 신호
웨이브렛 기법	46dB	34dB
제안 기법	45.3dB	32.7dB

46dB, 제안된 기법을 사용할 경우 45.3dB가 측정 되었고 블록신호에서는 웨이브렛 기법을 사용할 경우 34dB,

제안된 기법을 사용할 경우 32.7dB가 측정 되었다. 표 1로부터 부밴드 전력비를 이용한 잡음 감소 기법은 웨이브렛 소프트 임계처리 기법과 비교하여 비교적 동일한 성능을 발휘함을 알 수 있다. 그림 11은 실측된 아황산가스 신호에 대한 결과이다. 아황산가스 신호는 공기 중의 이산화황의 농도를 전기적신호로 변환하는 과정에서 잡음이 포함된 신호로 한국표준과학연구원 환경계측센터로부터 제공되었다. 그림 9, 그림 10, 그림 11의 시뮬레이션결과로부터 제안 기법의 잡음감소 성능은 웨이브렛 기반의 소프트 임계 처리 기법과 유사함을 알 수 있다. 하지만 실제 하드웨어 구현에 있어서는 제안한 필터뱅크를 이용한 잡음감소 기법이 수월하게 구현이 가능한 장점이 있다.

## 2. 하드웨어 실험

필터뱅크를 이용하여 FPGA STRATIX 상에 구현된 잡음감소기의 성능을 평가하였다. 최근에는 FPGA 상에 시스템의 성능을 평가하기 전에, 하드웨어상에서와 같은 동일한 성능평가를 위해 Modelsim을 많이 이용한다.

그림 12는 SNR=10dB의 가우시안잡음에 오염된 블록신호에 대해 Modelsim상에서 잡음감소기법의 성능을 실험한 결과이며 클럭 스피드는 76.73MHz이다. 그리고 그림 4의 제안한 잡음감소기를 FPGA 상에 구현하여 도플러 신호와, 아황산가스 신호에 대하여 측정된 결과는 각각 그림 13, 그림 14와 같다. 구현된 잡음감소기법

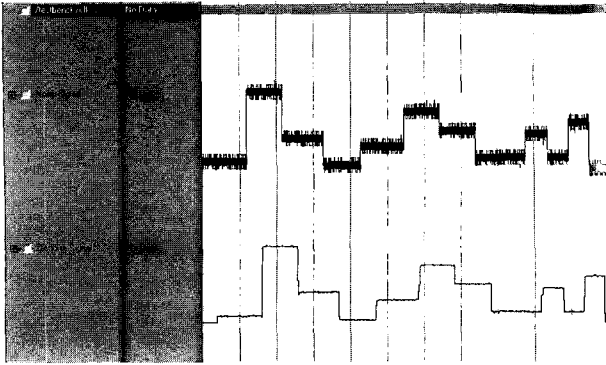


그림 12. Modelsim 시뮬레이션 결과 (SNR=10dB, L=6)  
 Fig. 12. The result of modelsim simulation.  
 (SNR=10dB, L=6)

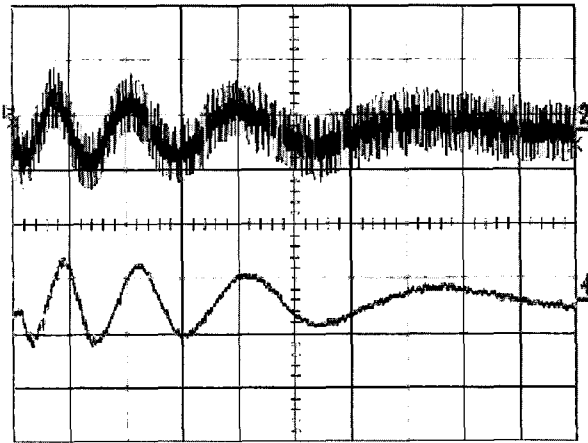


그림 13. 도플러 신호에 대한 잡음감소 실험 결과  
 (SNR=10dB, L=6)  
 Fig. 13. Experimental de-noising result of the proposed method for Doppler signal.(SNR=10dB, L=6)

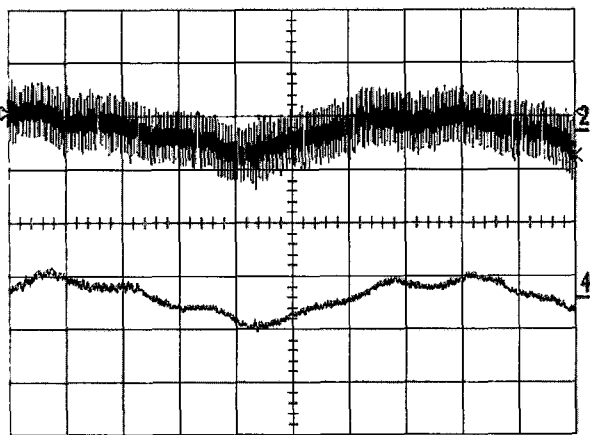


그림 14. 아황산가스 신호에 대한 잡음감소 실험 결과  
 Fig. 14. Experimental de-noising result of the proposed method for SO<sub>2</sub> signal.

의 최대 클럭은 75MHz로 측정되었으며 사용된 로직수는 FPGA 에서 제공되는 25,660의 약 6.4%인 1,637개이다. 이 실험결과로부터 제안한 잡음감소기법은 비교적

간단한 하드웨어로 구현이 가능하며, 우수한 잡음감소 성능을 보임을 알 수 있다.

### V. 결 론

본 논문에서는 간단한 구현이 가능한 부밴드 구조의 새로운 잡음감소 방법을 제안하고 FPGA상에서 구현하였다. 제안한 방법에서는 각 부밴드 신호의 전력이 신호와 잡음의 포함여부에 따라 그 크기가 달라짐을 근거로, 기준신호가 없는 환경에서 전체 신호의 전력과 부밴드 신호 전력비를 사용하여 간단하지만 효과적으로 잡음을 감소할 수 있음을 보였다.

시뮬레이션과 하드웨어 실험을 통해, 제안한 방법의 성능은 웨이블릿에 기반한 소프트 임계처리 잡음감소 기법과 유사하지만, 하드웨어 비용이 많은 웨이블릿보다 간단하게 필터뱅크를 사용 구현될 수 있음을 보였다.

### 참 고 문 헌

- [1] S. Haykin, Adaptive Filter Theory, Prentice-Hall, 2002.
- [2] A. H. Sayed, Fundamentals of Adaptive Filtering, Wiley Interscience, 2003.
- [3] S. J. Elliott and P. A. Nelson, "Active noise control," IEEE Signal Proc. Magazine, vol. 10, pp. 12-35, Oct. 1993.
- [4] R. M. Rao, Wavelet Transforms, Addison Wesley, 1998.
- [5] G. Strang, Wavelets and Filter Banks, Wellesley-Cambridge Press, 1997.
- [6] S. Mallat, Wavelet tour of signal processing, Academic Press, 1999.
- [7] Q. Pan, L. Zhang, D. Guanzhong, and Z. Hongai, "Two denoising method by wavelet transform," IEEE Trans. Signal Processing, vol. 47, no. 12, pp. 3401-3406, Dec. 1999.
- [8] T. Tanaka and L. Duval, "Noise cancelling of image with multiple subband transforms," Proc. ICIP'04, vol. 2, pp. 1209-1212, Oct. 2004.
- [9] J. B. Weaver, X. Yansun, D. M. Jr. Healy, and L. D. Cromwell, "Filtering noise from images with wavelet transforms," Magnetic Resonance in Medicine, vol. 24, pp. 288-295, 1991.
- [10] S. L. Walker, S. Y. Foo, and J. Petrone, "On the performance of a hardware implementation of the wavelet transform," IEEE Proc. 35th Southeastern Symposium, pp. 397-399, Mar. 2003.



[11] Z. Zhan and J. Hu, "FPGA implementation of 4 samples DWT based on the model of pyramidal structural data coding," IEEE Proc. 4th Computer and Information Technology International Conference, pp. 819-823, Sep. 2004.

[12] D. L. Donoho, "Denoising by soft-thresholding," IEEE Trans. Information Theory, vol. 41, pp. 613-627, May 1995.

[13] W. Shenggian, "Load characteristic based wavelet shrinkage denoising algorithm." IEEE electronics Letts., vol. 38, no. 9, pp. 411-412, Apr. 2002.

[14] D. L. Donoho and I. M. Johnstone, "Threshold selection for wavelet shrinkage of noisy data," IEEE Proc. New Opportunities for Biomedical Engineers, vol. 1, pp. A24 - A25, Nov. 1994.

[15] P. P. Vaidyanathan, Multirate systems and filter banks, Prentice Hall. Inc, 1993.

[16] Altera, Stratix Device Handbook ver. 3.3, Jul. 2005.

[17] S. Sardy, "Minimax threshold for denoising complex signals with Waveshrink," IEEE Trans. Signal Processing, vol. 48, Issue 4, pp. 1023-1028, Apr. 2000.

저 자 소 개



손 상 욱(학생회원)  
 2004년 2월 충북대학교  
 전자공학과 공학사.  
 2006년 2월 충북대학교  
 전자공학과 석사.  
 2006년 3월~현재 충북대학교  
 전기공학과 박사과정  
 <주관심분야 : 암묵적 신호처리, 적응신호처리>



최 훈(정회원)  
 1996년 8월 충북대학교  
 전자공학과 공학사.  
 1995년 11월~1998년 3월  
 LG 반도체 제품개발실.  
 2001년 2월 충북대학교  
 전자공학과 석사.  
 2006년 8월 충북대학교 전자공학과 박사.  
 2006년 9월~현재 한국표준과학연구원 Post-Doc.  
 <주관심분야 : 적응신호처리, 중신호처리, 통신신호처리>



배 현 덕(평생회원)-교신저자  
 1977년 2월 한양대학교  
 전자공학과 공학사.  
 1980년 2월 서울대학교  
 전자공학과 석사.  
 1992년 2월 서울대학교  
 전자공학과 박사.  
 1994년~1995년 미국 시라큐스 대학 전기전자  
 컴퓨터공학부 교수.  
 1987년 3월~현재 충북대학교 전지전자컴퓨터  
 공학부 교수.  
 <주관심분야 : 적응신호처리, 다중신호처리, 암묵  
 적 신호처리, 웨이블릿 변환의 신호처리 응용>