

The Effective ROM Design for Area and Power Dissipation Reduction

鄭基相* · 金容恩** · 趙成翊†
 (Ki-Sang Jung · Yong-En Kim · Seong-Ik Cho)

Abstract - In a memory, most power is dissipated in line of high capacitance such as decoder lines, word lines, and bit * lines. The decoder size as well as the parastic capacitances of the bit-line are going to reduce, if ROM core size reduces. This paper proposes to reduce a method of power dissipation for reducing ROM core size. Design result of ROM used in FFT[2], proposed method lead to up to 40.6%, 42.12%, 37.82% reduction in area, power consumption and number of Tr. respectively compared with previous method.

Key Words : ROM, Memory

1. 서 론

휴대용 제품에 대한 요구가 커짐에 따라, 전력소모와 면적감소는 칩 설계에서 중요한 요소가 되고 있다. 특히 SRAM과 ROM과 같은 시스템 내부에 사용되는 메모리는 많은 전력소모를 가진다. ROM에서의 대부분의 전력 소모는 디코더 부분과 ROM CORE를 구성하는 수많은 트랜지스터로 구성된 저장셀은 어드레스 라인과 비트라인에 연결되므로 큰 커패시턴스가 생성되어 많은 전력소모를 가져온다. 특히 저장셀로부터 데이터를 비트라인으로 read 할때 커패시턴스의 증가로 전력소모가 가장 크다. 그러므로 메모리의 크기가 증가함에 따라 어드레스라인이 증가하고, 이로 인하여 디코더부분과 수많은 커패시턴스가 어드레스라인과 비트라인에 연결되기 때문에 전력소모가 증가하게 된다[1][2].

따라서 ROM의 전력소모와 면적을 줄이기 위해서 많은 연구가 이루어졌다. 보통은 ROM에서 디코더를 줄이기 위해서 연구하거나 ROM의 전력소모를 줄이는 연구를 하였다 [3][4][5].

본 논문에서는 ROM의 row 어드레스를 절반으로 줄이는 방법을 제안하여 면적과 전력소모를 줄이고자 한다. ROM의 row 어드레스를 반으로 줄이면 ROM CORE에 연결되어 있는 디코더의 크기가 절반으로 감소될뿐더러, 어드레스라인과 비트라인에 연결되는 저장셀도 절반으로 되어 전체적으로 ROM CORE 크기가 절반으로 줄어든다. 그리고 어드레스 라인을 1비트 줄임으로써 디코더부분과, 비트라인과 어드

레스라인에서 생성되는 커패시턴스를 절반으로 줄일 수 있어 전체적으로 전력소모도 절반으로 줄일 수 있다. ROM 회로는 NOR-type ROM과 NAND-type ROM 2종류가 있는데 NOR-type ROM에 한하여 적용하였다.

2. 본 론

2.1 기존 ROM의 구조

그림 1은 기존 ROM 구조를 나타내고 있다. 그림 1에서 ROM CORE 크기는 어드레스의 개수에 따라 증가한다.

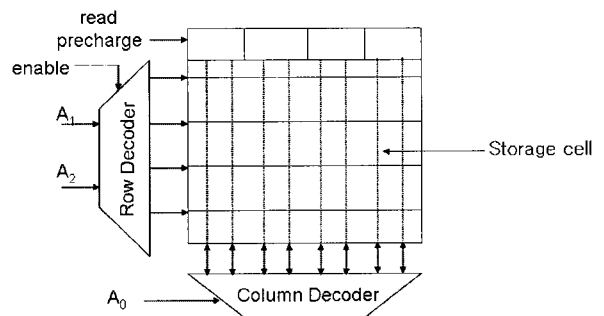


그림 1 기존 ROM의 구조.
 Fig. 1 Architecture of conventional ROM

그림 2는 기존 구조를 이용하여 설계된 5bit 출력 데이터를 갖는 ROM의 NOR-type ROM CORE 부분을 보여주고 있다. NOR-type CORE는 NAND type ROM에 비하여 빠른 속도를 요구할 때 사용된다. 그림 2에서 NMOS는 저장셀 역할을 하고 어드레스 입력이 디코더로 입력되면 디코더 출력이 어드레스 라인 1개를 선택하여 출력하게 된다.

† 교신저자, 正會員 : 全北大學 電子情報工學部 助教授 · 工學博士

E-mail : sicho@chonbuk.ac.kr

* 正會員 : 全北大學 電子情報工學部 碩士課程

** 正會員 : 全北大學 電子情報工學部 博士課程

接受日字 : 2007年 7月 10日

最終完了 : 2007年 9月 4日

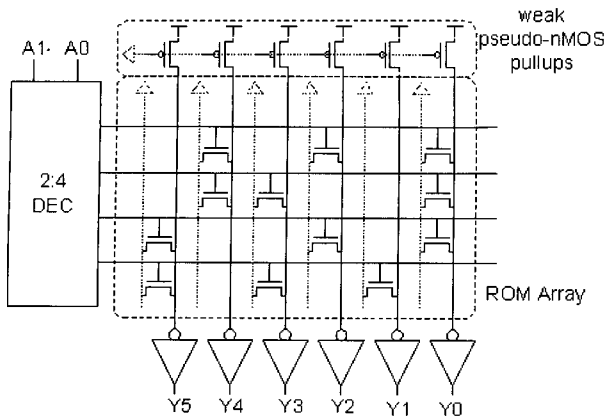


그림 2 NOR-type ROM CORE
Fig. 2 Circuit of NOR-type ROM CORE

표 1은 그림 2의 ROM 구조에서 어드레스에 따른 출력 데이터를 보여주고 있다.

표 1 그림 2의 ROM 회로 출력 데이터
Table 1 ROM circuit output data of Fig. 2

address	bit line out					
A1 A0	y5	y4	y3	y2	y1	y0
0 0	0	1	0	1	0	1
0 1	0	1	1	0	0	1
1 0	1	0	0	1	0	1
1 1	1	0	1	0	1	0

2.2 제안한 알고리즘을 위한 ROM 셀 설계

그림 3은 기존의 ROM 저장 셀과 제안된 저장 셀의 구조를 나타내고 있다. 그림 3(a)의 기존 셀은 source가 접지되어 있고, 게이트의 제어신호에 따라 비트라인의 전압이 결정된다. 그러므로 (1)의 신호가 High 이면, 비트라인에 vdd 전압 즉 '1'이 표시되고, 반면에 (2)의 신호가 High 이면, 비트라인에는 gnd 신호 즉 '0'이 표시된다. 그러나 제안한 알고리즘에 의한 ROM을 설계하기 위한 ROM 저장셀의 source는 그림 3(b)와 같이 외부 신호 signal(1,0)에 연결되어 있다. signal에 '0'이 입력되면 셀은 스위치처럼 동작해서 비트라인에는 '0'이 출력 되고, signal에 '1'이 입력이 되면 셀은 스위치처럼 동작할 수 없어 비트라인에 vdd 전압 즉 '1'이 출력 된다.

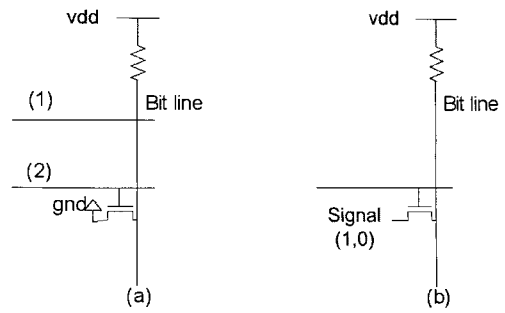


그림 3 소스의 고정 조건에 따른 ROM 셀
Fig. 3 ROM cell according to a fix condition of source

2.3 제안한 알고리즘에 의한 ROM 설계 방법

표 1의 ROM의 row 어드레스를 절반으로 압축하기 위한 알고리즘은 다음과 같다. 표 2에서 각 열의 어드레스를 2개씩 묶고, 묶인 데이터를 인코딩 표 3을 이용하여 묶은 패턴이 00 이면 G, 11이면 V, 01이면 A0, 10이면 ~A0로 변환하여 압축된 데이터를 표 4와 같이 얻을 수 있다.

표 2 각 열에서 2개 어드레스마다 데이터 묶음
Table 2 Data bundle per 2 address in the each row

address	bit line out						
A1 A0	y5	y4	y3	y2	y1	y0	
0 0	0	1	0	1	0	1	
0 1	0	1	1	0	0	1	
1 0	1	0	0	1	0	1	
1 1	1	0	1	0	1	0	

표 3 인코딩 표

Table 3 Encoding table

패턴	바꿀 문자
0 0	G
0 1	A0
1 0	~A0
1 1	V

표 4 압축된 ROM 데이터

Table 4 Compressed ROM data

address	bit line out					
A1	y5	y4	y3	y2	y1	y0
0	G	V	A0	~A0	G	V
1	V	G	A0	A0	A0	~A0

제안한 알고리즘에 의하여 ROM 회로를 설계하기 위하여 압축된 표 4의 ROM 데이터에서 V는 항상 1이므로 그림 3(b)에서 제안한 ROM 회로 셀의 signal에 vdd, G는 항상 0이므로 gnd를 연결한다. 그리고 {0, 1} 패턴은 A0 이고 {1, 0} 패턴은 $\sim A0$ 이므로 A0에 어드레스 1개를 할당한다. 그리고 row 어드레스에 1개를 할당하여 디코더된 출력에 NMOS 셀 Tr.에 게이트를 연결하여 설계한 ROM 구조는 그림 4와 같다.

이와같은 방법으로 설계하면 row 어드레스를 절반으로 줄일 수 있어 디코더 크기 및 셀 CORE를 절반으로 줄일 수 있다. 그리고 N개의 어드레스인 경우, 이와 같은 방법으로 알고리즘에 의하여 출력 데이터를 압축하여 ROM을 설계하면 동일한 결과를 얻을 수 있다.

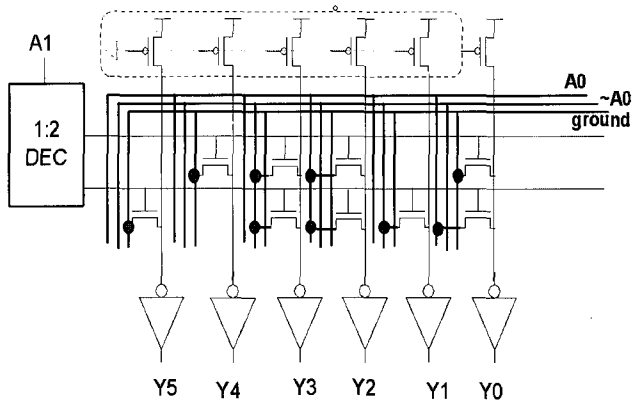


그림 4 제안된 알고리즘에 의하여 설계된 ROM 회로
Fig. 4 Designed ROM circuit by proposed algorithm

2.4 설계된 ROM의 CORE 레이아웃

그림 3(a)의 셀을 이용하여 5bit 데이터 출력을 가지도록 설계된 그림 2의 ROM의 CORE 부분을 레이아웃하면 그림 5와 같다.

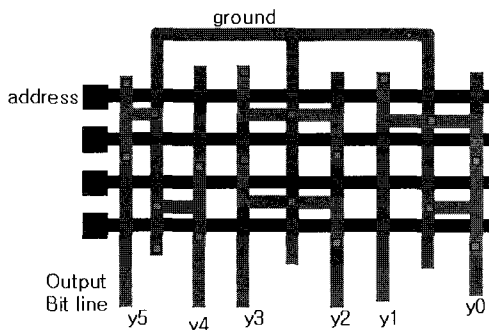


그림 5 기존 ROM CORE의 레이아웃
Fig. 5 Layout of conventional ROM CORE

제안한 알고리즘에 의하여 설계된 그림 4의 ROM을 레이아웃하면 그림 6과 같다. 그림 6에서 그림 3(b)에서 제안한 ROM 셀의 signal인 소스에 ground, A0, $\sim A0$ 가 연결됨을

알 수 있다. 그림 5의 레이아웃에서 어드레스 라인수는 절반으로 줄었지만 비트라인을 구성하는 배선 때문에 면적이 늘어난다.

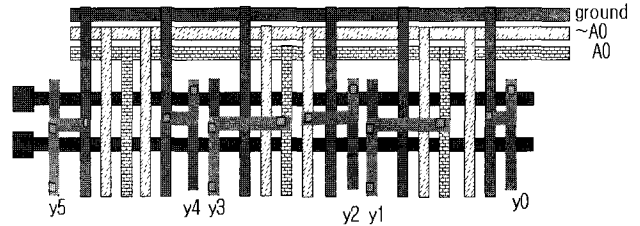


그림 6 설계된 ROM의 CORE 레이아웃
Fig. 6 CORE layout of designed ROM

일반 공정에서 NMOS, PMOS layer는 1층만 존재하고, Metal은 layer는 몇 개의 층을 사용할 수 있기 때문에 배선들은 겹쳐서 레이아웃 할 수 있다. ROM 셀의 소스에 signal들이 연결되면 되기 때문에 ground, $\sim A(0)$, A(0)선을 겹쳐서 레이아웃하고 겹쳐진 선에서 소스 쪽으로 필요한 배선을 연결시킬 수 있도록 그림 7(a) 처럼 레이아웃하면 배선 면적이 줄어든다. 따라서 그림 6의 레이아웃된 배치를 그림 7(a)의 방법을 적용하여 레이아웃하면 그림 7(b)와 같다. 이와 같은 방법으로 레이아웃하면 면적이 기존 ROM CORE 크기의 절반이 된다.

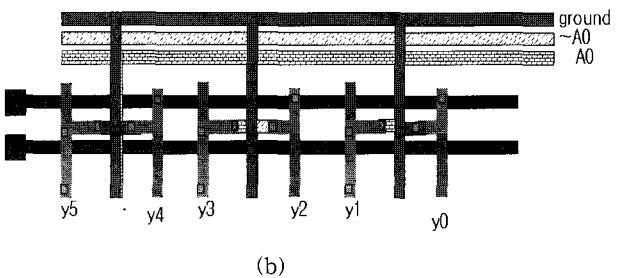
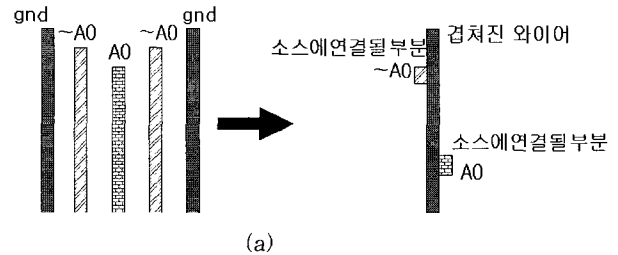


그림 7 설계된 ROM의 효율적인 레이아웃
Fig. 7 Effective layout of designed ROM

3. 시뮬레이션 및 고찰

본 논문에서 제안한 알고리즘에 의한 설계방법을 적용하면 전력소모 및 면적을 절반으로 되는 것을 입증하기 위하여 실제 ROM 데이터 사용 예를 표 4에 나타내었다. 표 4는 IEEE802.15.3a 표준화 그룹에서 근거리 초고속 통신을 위한

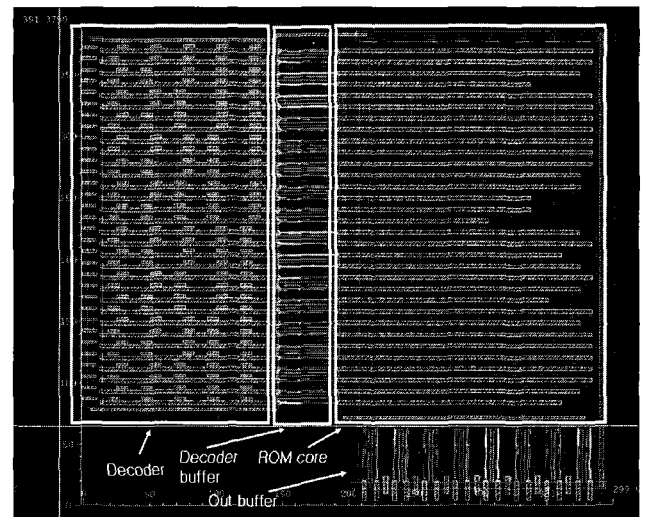
512 포인트 FFT 블록에 사용되는 ROM 데이터이며, 표 5는 본 논문에서 제안한 방법을 이용하여 표 4의 데이터를 압축한 표이다. 이를 기존방법과 제안한 방법으로 디코더와 ROM CORE로 구성된 ROM을 설계하여 삼성 0.35 μm 공정으로 레이아웃 하였고, 전력소모는 어드레스가 순차적으로 선택될때 소비되는 평균전력을 계산하였다. 그림 8(a)는 기존 설계방법으로 512 포인트 FFT 블록의 ROM을 설계한 후 레이아웃한 결과이고, 그림 8(b)는 제안한 알고리즘에 의한 설계방법으로 설계한 512 포인트 FFT 블록에 사용되는 ROM을 레이아웃한 결과이다. 그림 8(a)와 그림 8(b)의 시뮬레이션 및 레이아웃된 결과를 비교하면 표 6과 같다. 그림 8(b)에서 디코더와 ROM CORE는 정확히 절반으로 준다. 그러나 ROM의 출력을 증폭하는 출력 버퍼는 줄지 않으므로 설계된 ROM의 면적과 전력소모가 절반으로 감소하지 않는다. 그러나 비트 라인이 크고 ROM 어드레스가 클 경우, 총 면적에 비하여 출력 버퍼단의 비율이 작으므로 50%에 가깝게 ROM의 면적이 감소될 것이다.

표 4 512 포인트 FFT 블록을 위한 ROM 데이터
Table 4 ROM data for FFT block of 512 point

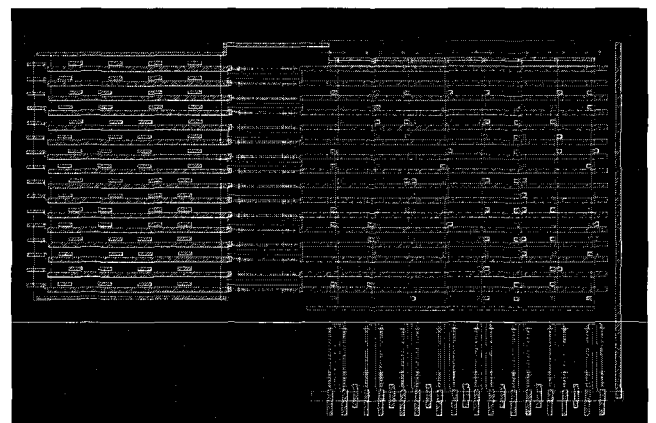
address	output bit line
0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
1	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
2	0 0 1 1 0 0 0 0 1 0 0 0 1 0 0 1
3	1 0 0 0 1 0 0 1 1 1 0 0 1 1 1 1
4	0 1 1 0 1 0 1 0 1 0 1 1 1 0 0 0
5	0 0 0 1 1 0 0 0 1 0 0 0 0 0 1 0
6	1 1 1 0 0 1 1 1 1 0 0 0 0 0 1 0
7	1 0 1 1 1 0 0 0 0 1 1 0 1 0 1 0
8	0 1 1 1 1 0 1 0 1 0 1 1 0 1 1 0
9	0 1 1 0 0 0 1 0 1 0 1 0 1 1 1 0
10	0 0 0 0 1 1 0 0 1 0 0 0 0 0 0 0
11	1 0 0 0 0 1 0 1 0 0 1 0 0 1 0 1
12	0 1 0 1 0 0 0 1 1 0 0 1 1 1 0 1
13	1 1 0 0 0 0 1 1 1 0 0 0 1 1 1 1
14	1 1 0 0 0 0 1 1 1 0 0 0 1 1 1 1
15	0 0 0 0 1 1 0 0 0 1 1 1 1 1 1 1
16	0 1 1 1 1 1 1 0 1 1 1 0 1 1 0 1
17	0 1 1 1 1 0 0 0 1 1 0 1 0 1 0 0
18	0 0 0 1 1 1 1 1 1 0 0 0 0 0 1 1
19	1 0 0 0 0 0 0 0 0 1 1 1 1 1 0 0
20	0 1 0 1 1 1 1 0 1 0 1 0 1 0 1 0
21	1 1 1 0 1 1 0 1 1 0 0 0 0 0 0 1
22	1 1 0 1 0 1 0 0 1 0 0 0 0 1 1 1
23	1 1 1 0 0 0 0 0 0 1 1 1 1 1 0 0
24	0 1 1 1 0 0 1 1 1 1 0 0 1 0 0 1
25	0 1 0 0 0 0 0 1 1 0 0 1 0 0 1 0
26	1 1 1 1 1 0 0 1 1 0 0 0 0 0 0 0
27	1 0 0 1 1 0 0 1 0 1 0 1 0 0 1 1
28	0 1 0 0 0 0 0 0 1 1 0 0 1 0 0 1
29	1 0 1 0 0 0 0 0 1 1 0 1 0 1 0 1
30	1 0 1 1 0 0 1 1 1 0 0 1 1 0 0 1
31	0 0 1 1 0 1 1 0 0 1 1 1 0 0 1 1

표 5 제안된 알고리즘에 의한 표 4의 압축데이터
Table 5 Compressed data of table 4by proposed algorithm

address	output bit line
0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
1	~A 0 A A ~A 0 0 ~A 1 ~A 0 0 1 ~A ~A 1
2	0 A A ~A 1 0 A 0 1 0 A A A 0 ~A 0
3	1 A 1 ~A ~A A A A A ~A ~A 0 ~A 0 1 0
4	0 1 1 A A 0 1 0 1 A ~A A 1 ~A 1 0
5	~A 0 0 0 A 1 0 ~A A 0 ~A 0 0 ~A 0 ~A
6	~A 1 0 A 0 0 ~A 1 1 0 0 A 1 1 ~A 1
7	A A 0 0 ~A ~A A A A ~A ~A ~A 1 1 1 1
8	0 1 1 1 1 A A 0 1 1 A ~A A 1 0 A
9	~A 0 0 A A A A A 1 ~A ~A ~A 0 A 1
10	~A 1 ~A 0 A 1 1 A ~A 1 0 A 0 A 0 A ~A
11	1 1 ~A A 0 A 0 0 A ~A ~A ~A ~A 1 A A
12	0 1 A A 0 0 A 1 1 A 0 ~A A 0 ~A A
13	1 A A 1 1 0 0 1 A ~A 0 0 ~A ~A 0 0
14	~A A ~A 0 0 0 0 1 1 0 ~A A ~A 0 1 0
15	A 0 1 1 0 ~A 1 A A ~A ~A 1 A 0 ~A 1



(a)



(b)

그림 8 기존방법과 제안한 방법으로 설계된 512포인트 FFT 블록을 위한 ROM 레이아웃
Fig. 8 ROM layout of the designed 512 point with conventional method and proposed method

표 6 기존방법과 제안한 방법으로 설계된 512 포인트 FFT 블록을 위한 ROM의 비교

Table 6 Comparison of ROM for the designed 512 point FFT block with conventional method and proposed method

	기존 ROM	제안한 ROM	이 득
면적(μm)	400 x 400	380 x 250	40.6%
파워(mw)	9.217	5.3341	42.12%
tr 개수	682	424	37.82%

기존방법과 제안한 방법으로 설계된 512 포인트 FFT 블록의 ROM을 시뮬레이션한 결과 그림 9는 표 4와 같이 동일한 결과를 얻을 수 있었다.

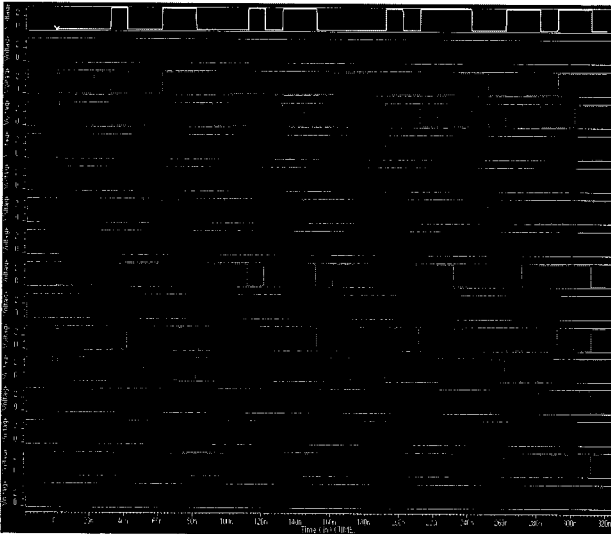


그림 9 기존방법과 제안한 방법으로 설계된 512포인트 FFT 블록의 ROM 시뮬레이션

Fig. 9 ROM simulation of the designed 512point FFT block with conventional method and proposed method

4. 결 론

본 논문에서는 ROM의 row 어드레스를 절반으로 줄이는 방법을 제안하였다. 이 방법을 이용하면 ROM CORE에 연결 되어있는 디코더의 크기가 절반으로 감소될 뿐더러, 어드레스 라인과 비트라인에 연결되는 저장 셀도 절반으로 되어 전체적으로 ROM CORE 크기가 절반으로 감소되었다. 또한 어드레스 라인을 1비트 줄임으로써 디코더 부분과, 비트라인과 어드레스라인에서 생성되는 커패시턴스를 절반으로 줄일 수 있어 전체적으로 전력소모도 절반으로 감소하였다.

이를 증명하기 위하여 512 포인트 FFT 블록에서 사용되는 ROM을 설계한 후, 전력소모와 면적을 표 6의 결과로 비교하면 전력소모는 42.12%, 크기는 40.6%로 감소되었다. 표 6의 결과는 32x16인 작은 ROM을 설계하였을 때 결과이고 ROM CORE 크기가 큰 경우에 더욱더 이득이 있음을 예측할 수 있다.

그러므로 본 논문에서 제시한 알고리즘에 의한 설계방법은 ROM 설계에 유용하게 사용될 수 있으리라 사료된다.

참 고 문 헌

- [1] M. Hiraki, "Data-dependent logic swing internal bus architecture for ultra low-power LSIs," in *Proc. IEEE J. Solid-State Circuits Conf.*, 1995, pp. 397-402.
- [2] E. Bertagnolli, F. Hofmann, J. Willer, R. Mary, F. Lau, P. W. von Basse, M. Bollu, R. Thewes, U. Kollmer, U. Zimmermann, M. Hain, W. H. Krautschneider, A. Rusch, B. Hasler, A. Kohlhasse, and H. Klose, "ROS: An extremely high mask ROM technology based on vertical transistor cells," in *VLSI Technology Dig. Tech. Papers Symp.*, 1996, pp. 58-59.
- [3] R. Kanan, A. Guyot, B. Hochet, and M. Delclercq, "A divided decodermatrix (DDM) structure and its application to a 8 Kb GaAs MESFET ROM," in *Proc. IEEE Int. Circuits Systems Symp.*, vol. 3, June 1997, pp. 1888-1891.
- [4] Y. Naruke, T. Iwase, M. Takizawa, K. Saito, M. Asano, H. Nishimura, and T. Mochizuki, "A 16 Mb mask ROM with programmable redundancy," in *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, Feb. 1989, pp. 128-129.
- [5] B.-D. Yang and L.-S. Kim, "A low power charge recycling ROM architecture," *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.*, vol. 11, no. 8, pp. 590-600, Aug. 2003.

저 자 소 개



정 기 상 (鄭 基 相)

2007년 전북대학교 전자정보공학부 학사 졸업

2007~현재 전북대학교 전자정보공학부 석사 과정

<주관심분야 : 저전력/고성능 Clock and Data Recovery설계, 저전력/고성능 디지털 회로 설계>



김 용 은 (金 容 恩)

2005년 전북대학교 전자공학과 학사 졸업

2007년 전북대학교 정보통신공학과 석사 졸업

2007년~현재 전북대학교 전자정보공학부 박사 과정

<주관심분야 : 통신, 신호처리, 반도체>



조 성 익 (趙 成 翊)

1987년 전북대학교 전기공학과 학사 졸업.

1989년 전북대학교 전기공학과 석사 졸업.

1994년 전북대학교 전기공학과 박사 졸업.

1996년~2004년 Hynix 반도체 메모리 연구소 책임연구원

2004년~현재 전북대학교 전자정보공학부 조교수.

<주관심분야: 저전압/고속 Graphic DRAM, Low-voltage Low-power analog circuit, High speed data Interface circuit, ADC/DAC, Filter, PLL/DLL >