

칩 스택 패키지에 적용을 위한 Rotating Disc Electrode의 회전속도에 따른 Cu Via Filling 특성 분석

이광용¹ · 오태성*

¹삼성전자 메모리사업부 IPT 팀
홍익대학교 신소재공학과

Cu Via-Filling Characteristics with Rotating-Speed Variation of the Rotating Disc Electrode for Chip-stack-package Applications

Kwang-Yong Lee¹ and Tae-Sung Oh*

¹IPT Team, Samsung Electronics
Department of Materials Science and Engineering, Hongik University

초 록 : 칩 스택 패키지에 적용을 위해 폭 75~10 μm , 길이 3mm의 트랜치 비아에 대해 도금전류밀도 및 rotating disc electrode(RDE)의 회전속도에 따른 Cu filling 특성을 분석하였다. RDE 속도가 증가함에 따라 트랜치 비아의 Cu filling 특성이 향상되었다. 트랜치 비아의 반폭 길이, 즉 트랜치 비아 폭의 1/2 길이와 이 트랜치 비아에 대해 95% 이상의 Cu filling 비를 얻기 위한 RDE 최소속도 사이에는 Nernst 관계식이 성립하여, 95% 이상의 Cu filling 비를 얻을 수 있는 최소 트랜치 비아의 반폭 길이는 RDE 속도의 제곱근의 역수에 직선적으로 비례하였다.

Abstract : For chip-stack package applications, Cu filling characteristics into trench vias of 75~10 μm width and 3 mm length were investigated with variations of the electroplating current density and the speed of a rotating disc electrode (RDE). Cu filling characteristics into trench vias were improved with increasing the RDE speed. There was a Nernst relationship between half width of trench vias of Cu filling ratio higher than 95% and the minimum RDE speed, and the half width of trenches with 95% Cu filling ratio was linearly proportional to the reciprocal of root of the minimum RED speed.

Keywords : chip stack, Cu via, electroplating, rotating disc electrode

1. 서 론

휴대전화, PDA, 디지털 카메라와 같이 최근 전자제품들이 소형화, 경량화, 고기능화가 활발히 진행되고 있으며, 이를 이루기 위해서는 보다 콤팩트하며 기능이 향상된 전자 패키지의 개발이 요구되고 있다.¹⁻⁸⁾ 이제까지 전자패키지 모듈은 다수의 IC 칩을 비롯한 전자부품들의 이차원적 배열에 의

하여 이루어져 왔다. 그러나 최근 전자제품의 소형화, 경량화가 급격히 진행됨에 따라 반도체 칩을 2차원적으로 배열하여서는 원하는 크기와 성능을 얻는데 한계에 도달하게 되어 반도체 칩들을 3차원으로 적층하는 3D 스택 패키지에 대한 연구가 활발히 진행되고 있다.^{1,3,4,9-11)}

휴대전화에 적용을 위해 플래시 메모리와 SDRAM을 적층하여 한 개의 메모리 소자를 제조

*Corresponding author
E-mail: ohts@hongik.ac.kr

함으로써 시작된 3D 스택 패키지는 크기 및 무게의 현저한 감소와 더불어 전기적 성능의 향상, 보드 단위면적당 소자 기능의 증가 및 공정가격 저하 등의 여러 장점을 지니고 있다.¹²⁾ 현재 3D 스택 패키지는 크기 감소와 기능성 향상이 동시에 강조되고 있는 휴대전화와 무선 PDA에 주로 적용되고 있으며, SRAM과 플래시 메모리의 스택이 주종을 이루고 있다. 휴대전화와 무선 PDA 외에도 3D 패키지는 위성통신용 셋톱 박스와 네트워크 소자에의 적용이 가능하며, SRAM이나 플래시 메모리의 스택 외에도 논리소자나 DRAM의 스택 패키지가 개발되고 있다.¹²⁾

현재 상용되고 있는 3D 스택 패키지에서는 반도체 칩들을 서로 적층한 후 각 칩들의 I/O 패드를 기판에 와이어 본딩하고 있으나, 이와 같은 와이어 본딩에 의해 노이즈 증가에 따른 고주파 특성의 저하가 발생하며 패키지의 크기가 증가하는 문제점을 지니고 있다.¹⁴⁾ 이에 따라 반도체 칩들에 via hole을 형성하고 이를 Cu로 채운 후, 이를 삼차원 interconnection으로 사용함으로써 고주파 특성을 향상시키고 패키지의 크기를 감소시키고자 하는 연구들이 제안되고 있다.⁶⁻⁸⁾ 비아 hole의 Cu filling시 비아 개구부의 모서리에 전류밀도가 집중되어 다른 부위보다 전착이 빠르게 진행됨으로써 비아 hole의 입구가 막히게 되어 비아 내부의 완전 충전이 불가능하게 되며 기공 또는 seam 같은 결함이 발생된다.¹³⁾ 이러한 문제점을 해결하기 위해 Cu 비아 filling에 대한 연구가 활발히 이루어지고 있다.⁶⁻⁸⁾

전기도금시 음극계면에서는 도금액 내의 양이온이 음극계면으로 이동하는 확산속도보다 계면에서의 반응속도가 빠르기 때문에 도금막의 계면과 도금액에서 농도 기울기가 발생된다. 이러한 농도 기울기는 전기도금시 불균일한 도금층을 형성하며, 이에 의해 비아와 같이 굴곡이 있는 형상의 도금을 할 경우에는 도금막 내에 기공(void)이 발생될 확률이 높아진다. 이와 같은 음극계면 부위에서 발생하는 도금이온의 농도 기울기를 효과적으로 감소시키기 위해 rotating disk electrode(RDE)가 사용되고 있다.

본 연구에서는 칩 스택 패키지 공정을 개발하기 위한 기초 연구로서 Cu 전기도금시 RDE의 회전 속도에 따른 Cu 비아 filling 특성을 분석하였다. 이

때 비아 크기에 따른 Cu filling 특성에 대한 분석을 용이하게 하기 위해 비아 hole 대신 길이 3 mm, 폭 75~10 μm 크기의 트랜치(trench) 비아를 형성하여 Cu filling 거동을 분석하였다.

2. 실험 방법

비아 크기에 따른 Cu filling 특성을 분석하기 위해 폭이 75, 50, 35, 20, 10 μm 이며, 길이가 3 mm 인 Fig. 1과 같은 트랜치 비아 패턴을 디자인 하였다. 두께 550 μm 의 p형 (100) Si 웨이퍼에 Deep RIE(Reactive Ion Etching)를 이용하여 트랜치 비아를 형성한 후, 건식산화법을 이용하여 0.1 μm 두께의 SiO_2 산화막을 트랜치 비아의 외벽 전면에 형성하였다. 트랜치 비아 패턴의 표면에 전기도금으로 Cu filling을 하기 위한 씨앗층을 형성하기 위해 DC 마그네트론 스퍼터링법으로 SiO_2 계면과 접착력이 우수한 Ti를 0.1 μm 형성하였으며, 그 위에 2 μm 두께의 Cu를 스퍼터링 하였다. 이때 트랜치 비아의 바닥면과 측면에 Ti/Cu 씨앗층이 형성되는 것을 돕기 위해 기판에 -100 V의 DC 비아이스 전압을 인가하였다.

Ti/Cu 씨앗층이 형성된 트랜치 비아의 Cu filling 용 전기도금 용액을 제조하기 위해, 0.25 M의 $\text{CuSO}_4 \cdot 5\text{H}_2\text{O}$ 와 2M H_2SO_4 용액에 억제제로 70 ppm의 CI와 600 ppm의 PEG (Polyethylene Glycol)를 첨가하였으며, 가속제로 SPS (Sulfo-Propyldi-Sulfide)와 JGB (Jenus Green B)를 소량 첨가하였다. 이와 같이 제조된 Cu filling용 전기도금액을 200 rpm의 속도로 24시간 교반한 후 사용하였다.

전기도금으로 트랜치 비아에 대한 Cu filling을 하기에 앞서 트랜치 비아가 형성된 Si 기판을 10 vol% H_2SO_4 수용액에 5~10초간 담가 Ti/Cu 씨앗층의 산화피막을 제거하였다. 전기도금액이 트랜치 비아의 바닥면까지 완전히 흡착되지 않아 트랜치 바닥 부위에서 Cu filling이 발생하지 않는 문제점을 해결하기 위해 트랜치 비아가 형성된 Si 시편을 Cu filling용 전기도금액에 담구고 1×10^{-2} torr의 진공도로 30분간 유지하여 트랜치 비아 내부에 포획되어 있는 기포를 제거하였다.

Current source meter를 사용하여 전류밀도를 1.25 mA/cm²과 2.5 mA/cm²로 변화시키며 DC (direct current) 모드에서 전기도금을 하여 트랜치

비아에 대한 Cu filling을 수행하였다. RDE 회전속도에 따른 Cu 비아 filling 특성을 분석하기 위해, 도금전류밀도를 DC 2.5 mA/cm²로 고정하고 Princeton Applied Research사의 RDE 616 model을 이용하여 RDE 속도를 변화시키며 트렌치 비아에 대한 Cu 전기도금을 행하였다.

전류밀도 및 RDE 속도를 변화시키며 실시한 트렌치 비아의 Cu filling된 형상을 FESEM (Field Emission Scanning Electron Microscopy)으로 관찰하였다. 전류밀도 및 RED 속도에 따른 트렌치 비아의 Cu filling 특성을 분석하기 위해 FESEM으로 관찰한 각 트렌치 내의 기공의 면적 비율을 image analyzer를 이용하여 측정한 후, 이를 이용하여 트렌치내 Cu filling 면적 비율을 계산하여 Cu filling 거동을 정량화하였다.

3. 결과 및 고찰

Fig. 1에 Deep RIE를 이용하여 형성한 트렌치 비아의 FESEM 사진을 나타내었다. Fig. 1에서와 같이 각 트렌치 비아의 길이는 폭에 무관하게 3mm로 동일하였으며, 트렌치 비아의 폭이 75, 50, 35, 20, 10 μm일 때 트렌치 피치는 각기 이들의 2배인 150, 100, 70, 40, 20 μm로 형성하였다. 이와 같은 트렌치 비아에 대한 Deep RIE 공정시에 폭 35 μm

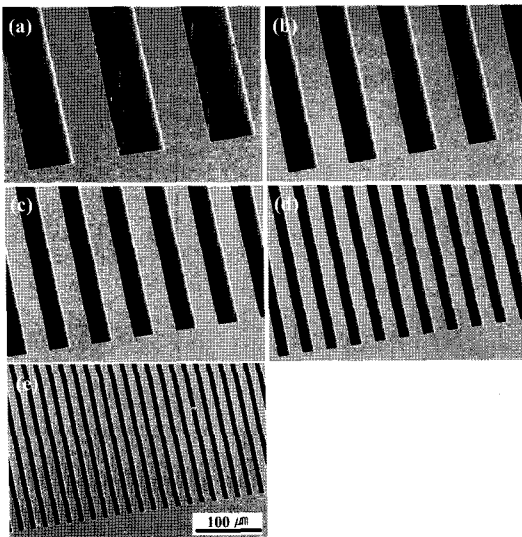


Fig. 1. FESEM micrographs trench vias of (a) 75, (b) 50, (c) 35, (d) 20, and (e) 10 μm width.

인 트렌치 비아의 깊이가 160 μm가 되도록 공정 변수를 설정하였다. Deep RIE 공정으로 형성한 트렌치 비아의 깊이는 트렌치 비아의 폭에 따른 반응성 이온에칭의 용이성의 차이에 기인하여 서로 다른 값을 나타내었다. 트렌치 비아의 폭이 50 μm 및 75 μm인 경우에는 180 μm 및 200 μm 깊이로 트렌치 비아가 형성되었으며, 트렌치 비아의 크기가 10 μm 및 20 μm인 경우에는 130 μm 및 140 μm 깊이의 트렌치 비아가 형성되었다.

트렌치 비아들이 형성되어 있는 Si 시편에 전기도금용 씨앗층으로서 0.1 μm Ti와 2 μm Cu를 순차적으로 스퍼터링 후에 Ti/Cu 전기도금 씨앗층을 FESEM으로 관찰한 결과, 트렌치 비아의 폭이 10 μm일 경우에는 트렌치 비아의 깊이 방향으로 60% 정도에만 Ti/Cu 씨앗층이 형성되어 있는 것이 관찰되었다. 따라서 폭 10 μm의 트렌치 비아의 경우에는 Ti/Cu 씨앗층이 형성되어 있어 Cu 전기도금이 가능한 깊이 방향으로 60%의 트렌치 면적에 대해서만 Cu filling 거동을 분석하였다.

RDE를 사용하지 않고 1.25 mA/cm²와 2.5 mA/cm²의 전류밀도에서 Cu 전기도금한 폭 75~10 μm 트렌치 비아의 Cu filling 된 형상을 FESEM으로 관찰하였으며, 이들을 각기 Fig. 2와 Fig. 3에 나타

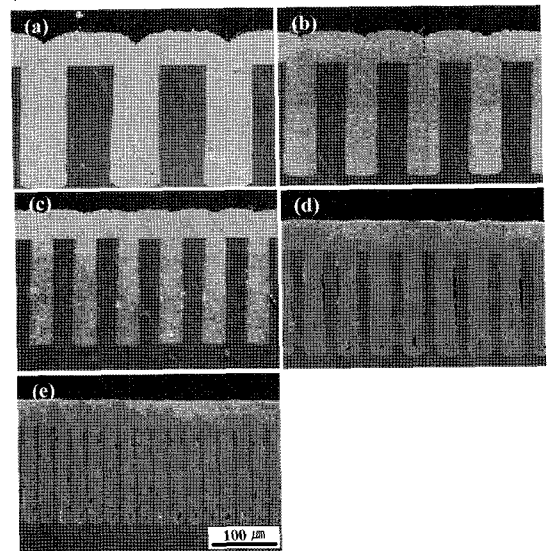


Fig. 2. Cross-sectional FESEM micrographs of the trench vias filled with Cu electroplating at 1.25 mA/cm² of direct current mode. The width of the trench vias were (a) 75 μm, (b) 50 μm, (c) 35 μm, (d) 20 μm, and (e) 10 μm.

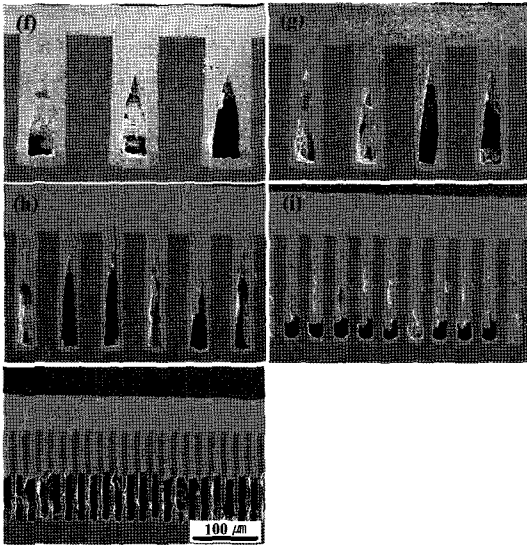


Fig. 3. Cross-sectional FESEM micrographs of the trench vias filled with Cu electroplating at 2.5 mA/cm^2 of direct current mode. The width of the trench vias were (a) $75 \mu\text{m}$, (b) $50 \mu\text{m}$, (c) $35 \mu\text{m}$, (d) $20 \mu\text{m}$, and (e) $10 \mu\text{m}$.

내었다. Fig. 2에서 전류밀도 1.25 mA/cm^2 에서 Cu로 전기도금한 폭 $70\sim 35 \mu\text{m}$ 의 트랜치 비아들은 내부기공이나 seam이 형성되지 않고 Cu로 잘 채워져 있으나, 트랜치 비아의 폭이 $20 \mu\text{m}$ 와 $10 \mu\text{m}$ 로 감소할 경우에는 내부기공이 관찰되었다. 폭 $75\sim 35 \mu\text{m}$ 의 트랜치에서 Cu filling이 잘 이루어진 이유는 이들 트랜치 비아를 Cu filling 시에는 도금 계면의 확산층 두께가 트랜치 폭보다 작기 때문에 트랜치 내부로 conformal filling 또는 superfilling이 가능하기 때문이라고 사료된다.^{14,15)} 반면 트랜치 비아의 폭이 $20 \mu\text{m}$ 이하일 경우에는 확산층 두께가 이보다 크기 때문에 트랜치 내부에서 Cu^{2+} 이온이 고갈되는 것으로 판단된다.^{14,15)} 도금전류밀도를 2.5 mA/cm^2 로 증가시키면 Fig. 3에서와 같이 폭 $75 \mu\text{m}$ 의 트랜치 비아도 Cu로 다 채워지지 않고 하단부에 커다란 기공이 형성되는 것을 관찰할 수 있다. 이와 같이 도금전류밀도가 증가함에 따라 Cu filling이 잘 이루어지지 않으며 하단부에 기공이 발생하는 것은 도금전류밀도가 증가할수록 트랜치 개구부에서 전류밀도가 더욱 집중되어 Cu 도금이 더욱 빠르게 발생하여 개구부가 용이하게 막히는데 기인한다.¹⁴⁾

Fig. 2 및 Fig. 3에 나타난 DC 전류밀도 1.25 mA/cm^2 와 2.5 mA/cm^2 에서 Cu filling한 트랜치 비아들에 대해 트랜치 폭에 따른 Cu filling 면적비를 측정하여 Fig. 4에 나타내었다. 전류밀도 1.25 mA/cm^2 에서 Cu filling한 경우, 트랜치 비아의 폭이 $75\sim 35 \mu\text{m}$ 범위에서는 95% 이상의 높은 Cu filling ratio를 나타내었으며, 트랜치의 폭이 $20 \mu\text{m}$ 이하로 감소함에 따라 filling ratio가 감소하여 폭 $10 \mu\text{m}$ 의 트랜치 비아에서는 45%의 Cu filling ratio를 나타내었다. 전류밀도 2.5 mA/cm^2 에서 Cu filling한 경우에는 트랜치 비아의 폭이 $75 \mu\text{m}$ 에서 $10 \mu\text{m}$ 로 감소함에 따라 Cu filling ratio가 71%에서 45%로 감소하였다.

RDE 회전속도에 따른 Cu 비아 filling 거동을 분석하기 위해 각기 폭이 $75 \mu\text{m}$, $50 \mu\text{m}$, $35 \mu\text{m}$ 및 $20 \mu\text{m}$ 인 트랜치 비아들에 대해 2.5 mA/cm^2 의 DC 전류를 인가시 RDE 속도를 $0\sim 2000 \text{ rpm}$ 으로 증가시키며 따른 filling된 형상을 FESEM으로 관찰하였으며, 그 결과를 Fig. 5, Fig. 6, Fig. 7 및 Fig. 8에 나타내었다. Fig. 5에서와 같이 트랜치 크기가 $75 \mu\text{m}$ 일 경우에는 RDE 속도가 0에서 250 rpm 으로 증가됨에 따라 트랜치 내부에 형성되었던 기공의 크기가 급격히 감소하였으며, RDE의 속도가 250 rpm 이상으로 증가할 경우 superfilling이 되는 것을 확인할 수 있었다. RDE의 속도가 0 rpm 일 경우에는 트랜치 개구부의 Cu^{2+} 이온의 농도가 트랜

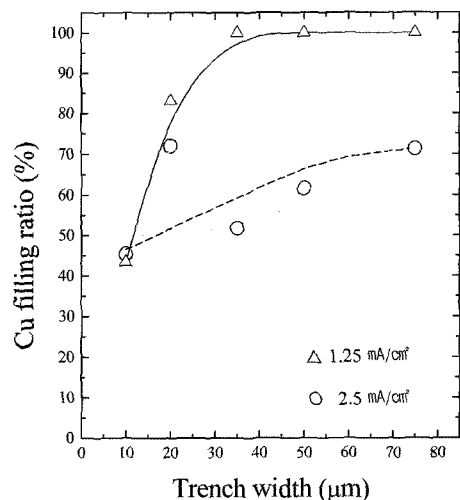


Fig. 4. Cu filling ratio of the trench vias at different direct current densities as a function of the trench width.

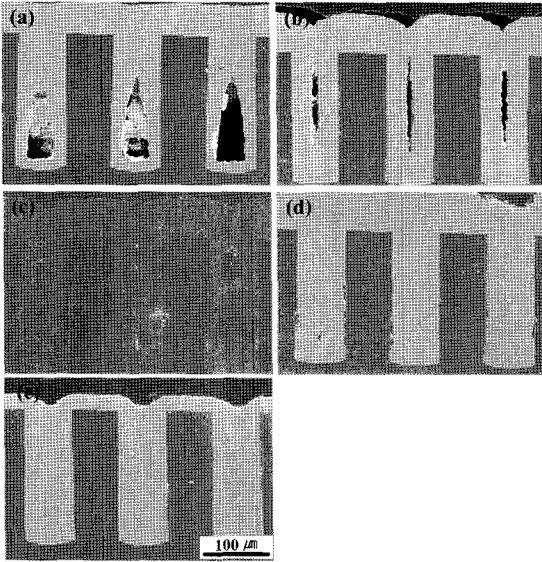


Fig. 5. Cross-sectional FESEM micrographs of the trench vias of 75 μm width filled with Cu electroplating at 2.5 mA/cm^2 with the rotating-disc-speed of (a) 0 rpm, (b) 250 rpm, (c) 500 rpm, (d) 1000 rpm, and (e) 2000 rpm.

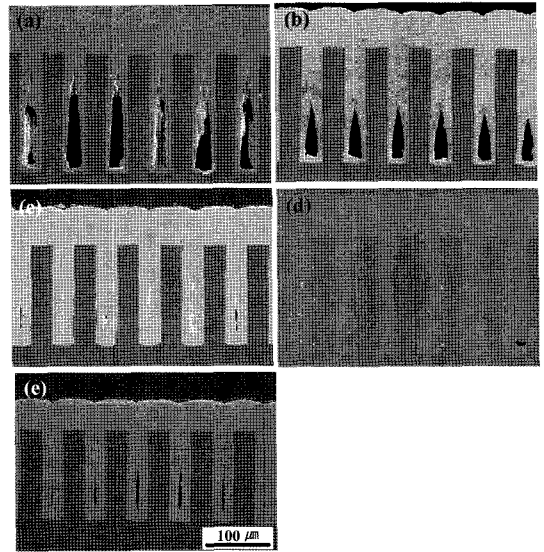


Fig. 7. Cross-sectional FESEM micrographs of the trench vias of 35 μm width filled with Cu electroplating at 2.5 mA/cm^2 with the rotating-disc-speed of (a) 0 rpm, (b) 250 rpm, (c) 500 rpm, (d) 1000 rpm, and (e) 2000 rpm.

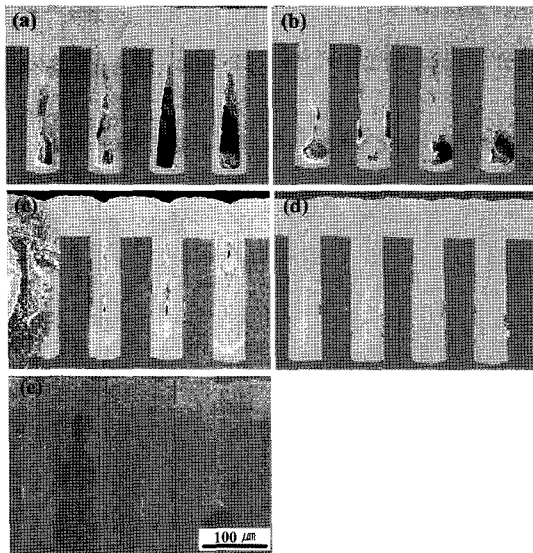


Fig. 6. Cross-sectional FESEM micrographs of the trench vias of 50 μm width filled with Cu electroplating at 2.5 mA/cm^2 with the rotating-disc-speed of (a) 0 rpm, (b) 250 rpm, (c) 500 rpm, (d) 1000 rpm, and (e) 2000 rpm.

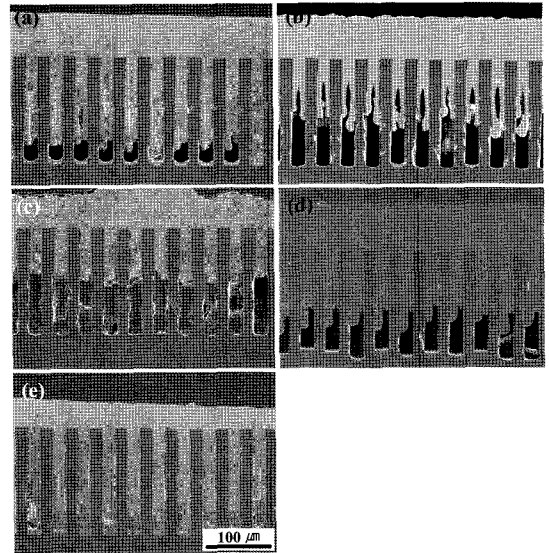


Fig. 8. Cross-sectional FESEM micrographs of the trench vias of 20 μm width filled with Cu electroplating at 2.5 mA/cm^2 with the rotating-disc-speed of (a) 0 rpm, (b) 250 rpm, (c) 500 rpm, (d) 1000 rpm, and (e) 2000 rpm.

치 바닥면의 Cu^{2+} 이온의 농도보다 높아 개구부의 도금속도가 더 빠르기 때문에 트랜치 개구부가 막

히게 되어 내부에 기공이 형성된다. RDE의 속도를 증가시키에 따라 트랜치 개구부의 측면부위에

서 Cu^{2+} 이온의 농도가 개구부의 농도와 같아져 트랜치 내부의 도금속도가 증가하여 superfilling이 된다. Figs. 6에서 8에서와 같이 트랜치의 크기가 50 μm , 35 μm , 20 μm 일 경우에는 RDE의 속도가 각기 500, 750, 1000 rpm일 때 superfilling 되었다.

각기 Figs. 5에서 8에 있는 트랜치 비아의 폭 및 RDE 속도에 따른 Cu filling 비를 분석한 결과를 Fig. 9에 나타내었다. 폭이 75 μm 인 트랜치의 경우에는 RDE의 속도가 0 rpm일 때 트랜치 개구부의 높은 전류밀도로 인해 내부에 기공이 발생하였으나, RDE의 속도를 250 rpm 이상으로 증가할 경우 기공의 비율이 급격히 감소하여 95% 이상의 filling 비를 나타내었다. 트랜치의 폭이 50 μm 인 경우에는 500 rpm, 35 μm 인 경우에는 750 rpm, 20 μm 인 경우에는 2000 rpm의 RDE 속도에서 95% 이상의 filling 비를 나타내었다. 이러한 현상은 식 1의 Nernst 수식에서 보는 것과 같이 전기도금시 도금이온의 확산층 두께(δ_n)가 RDE의 속도 $\omega^{1/2}$ 에 반비례하기 때문에 RDE 속도가 증가함에 따라 트랜치 내부와 개구부에서의 Cu^{2+} 이온농도 차이의 감소로 트랜치 내부에서도 도금이 잘 일어나기 때문에 우수한 filling 특성을 나타내는 것으로 판단된다.¹⁶⁾

$$\delta_n = \frac{1.61 \times \nu^{1/6} \times D^{1/3}}{\omega^{1/2}} \quad (1)$$

여기서, δ_n 은 확산층의 두께이며, ν 는 점도 (cP), D 는 확산계수 (m^2/sec), ω 는 RDE의 회전수(rpm)이다.

트랜치 비아의 전기도금시 트랜치 내부에서 폭 방향으로 Cu^{2+} 이온의 최대 확산거리는 트랜치 폭의 1/2로 가정할 수 있다. 식 1에 나타낸 Nernst 관계에서 RDE의 회전속도가 증가하면 도금이온의 확산층 두께가 감소하기 때문에, superfilling이 가능한 트랜치 비아의 폭은 RDE 회전속도에 의존하게 된다. Fig. 9에 나타낸 결과로부터 폭 75~20 μm 의 각 트랜치들에 대해 95%의 filling 비를 얻을 수 있는 최소 RDE 속도 ω 를 구한 후, $\omega^{-1/2}$ 과 트랜치 폭의 1/2 길이와의 상관관계를 Fig. 10에 나타내었다. 이 결과에서 95% 이상의 superfilling을 얻을 수 있는 트랜치 비아의 반폭은 RDE 회전속도의 제곱근의 역수인 $\omega^{-1/2}$ 에 직선적으로 비례하는 것을 알 수 있으며, 트랜치 비아의 Cu filling에 대해 Nernst 관계를 적용하는 것이 가능함을 알 수 있다. Fig.

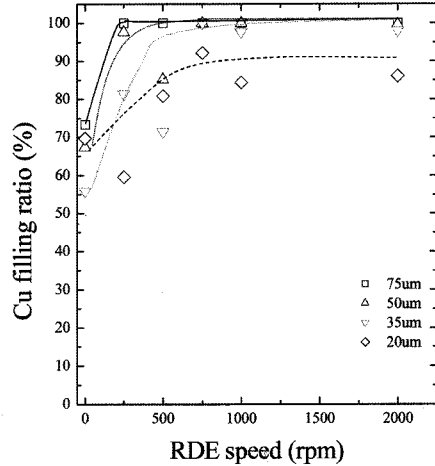


Fig. 9. Cu filling ratio of the trench vias at 2.5 mA/cm^2 for trench vias of various width as a function of the rotating-disc-electrode speed.

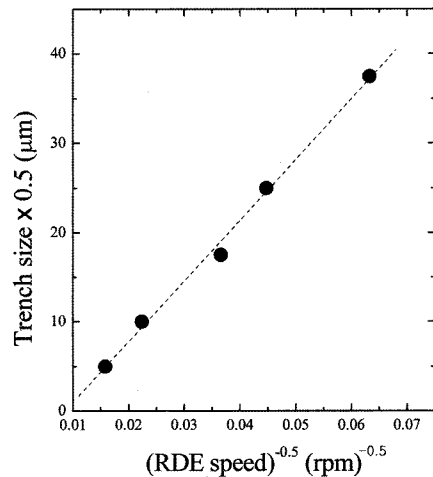


Fig. 10. Half of minimum width of the trench vias with 95% Cu filling ratio as a function of the (RDE speed)^{-1/2}.

10으로부터 트랜치 비아의 폭이 10 μm 일 경우 95% 이상의 filling에 4000 rpm의 RDE의 속도가 요구됨을 알 수 있다. 향후 10 μm 이하의 미세 비아에 대한 Cu filling 공정에 요구되는 최적의 RDE 속도를 Nernst 관계식으로부터 예측하는 것이 가능할 것으로 판단된다.

4. 결 론

칩 스택 패키지의 삼차원 interconnection 공정에

의 적용을 위해 폭 75~10 μm, 길이 3 mm의 트랜치 비아에 대해 전기도금전류밀도 및 rotating disc electrode의 회전속도에 따른 Cu filling 특성을 분석하여 다음과 같은 결론을 얻었다.

(1) 직류모드로 1.25 mA/cm²에서 Cu filling한 경우, 트랜치 비아의 폭이 75~35 μm 범위에서는 95% 이상의 높은 Cu filling 비를 나타내었으며, 트랜치의 폭이 20 μm 이하로 감소함에 따라 filling 비가 감소하여 폭 10 μm의 트랜치 비아에서는 45%의 Cu filling ratio를 나타내었다. 직류 전류밀도 2.5 mA/cm²에서 Cu filling한 경우에는 1.25 mA/cm² 조건에 비해 열등한 Cu filling 비를 나타내었으며, 트랜치의 폭이 75 μm에서 10 μm로 감소함에 따라 Cu filling 비가 71%에서 45%로 감소하였다.

(2) RDE 속도가 증가함에 따라 트랜치 비아의 Cu filling 특성이 향상되었다. 직류 전류밀도 2.5 mA/cm²에서 Cu 전기도금시 트랜치 비아의 폭이 75 μm인 경우에는 250 rpm 이상의 RDE 회전속도에서 95% 이상의 Cu filling 비를 ratio를 나타내었으며, 트랜치의 폭인 50 μm인 경우에는 500 rpm, 35 μm인 경우에는 750 rpm, 20 μm인 경우에는 2000 rpm의 속도부터 95% 이상의 Cu filling 비를 나타내었다.

(3) 트랜치 비아의 반폭 길이, 즉 트랜치 비아 폭의 1/2 길이와 이 트랜치 비아에 대해 95% 이상의 Cu filling 비를 얻기 위한 RDE 최소 속도 사이에는 Nernst 관계식이 성립하여, 95% 이상의 Cu filling 비를 얻을 수 있는 최소 트랜치 비아의 반폭 길이는 RDE 속도의 제곱근의 역수에 직선적으로 비례하였다.

감사의 글

본 연구는 과학기술부/한국과학재단 전자패키지재료연구센터(우수연구센터) 지원으로 수행되었으며, 이에 감사드립니다.

참고문헌

1. S. F. Al-Sarawi, D. Abbott, and P. D. Franzone, "A review of 3-D packaging technology", IEEE Trans. on Comp. Packag. Manufact. Technol., 21, 2-14,

(1988).
 2. M. Hirano, K. Nishikawa, I. Toyoda, S. Aoyama, S. Sugitani, and K. Yamasaki, "Three-dimensional interconnect technology for ultra-compact MMICs", Solid State Electro., 41, 1451-1455, (1997).
 3. S. Sheng, A. Chandrakasan, and R. W. Brodersen, "A portable multimedia terminal", IEEE Commun. Mag., 30, 64-75, (1992).
 4. R. E. Terrill, "Aladdin: Packaging lessons learned", Proc. 1995 Int. Conf. Multichip Modules, pp. 7-11, (1995).
 5. R. Crowley, "Three-dimensional electronics packaging", Tech. Rep. TechSearch Int. Inc. Austin, pp. 7-11, (1995).
 6. K. Takahashi, T. Hiroshi, T. Yoshihiro, Y. Yasuhiro, H. Masataka, S. Tomotoshi, M. Tadahiro, S. Masahiro and B. Manabu, "Current status of research and development for three-dimensional and chip stack technology", Jpn. J. Appl. Phys., 40, 3032-3037, (2001).
 7. T. Matsumoto, "Three-dimensional integration technology based on wafer bonding technique using micro-bumps", Ext. Abstr. 1995 Int. Conf. Solid State Devices Mater. Osaka, Japan, pp. 1073-1074, (1995).
 8. P. Ramm, "Three dimensional metallization for vertically integrated circuits", Microelectron. Eng., 37, 39-47, (1997).
 9. R. Crowley, "Three-dimensional electronics packaging", Tech. Rep., Techsearch Int. Inc. Austin, TX, pp. 159-161, (1993).
 10. O. Ehrmann, K. Buschick, G. Chmiel, and A. Pareds, "3-D-multichip module", Proc. 1995 Int. Conf. Multichip Modules, Denver, CO, (1995).
 11. H. Kanbach, J. Wilde, F. Kriebel, and E. Meusel, "3D Si-on-Si stack package", Int. Conf. on High Density Packaging and MCMs, pp. 248-253, (1999).
 12. M. Karnezos, F. Carson and R. Pendse, "3D packaging promises performance, reliability gains with small footprints and lower profiles", Chip Scale Review (2005).
 13. C. H. Seah, S. Mridha, and L. H. Chan, "DC/pulse plating of copper for trench/via filling", J. Mater. Process. Technol., 114, 233-239 (2001).
 14. J. C. Puipe and F. Leaman, "Theory and practice of pulse plating", American Electroplaters and Surface Finishers Soc. (1998).
 15. T. Kobayashi, J. Kawasaki, K. Mihara, H. Honma, "Via-filling using electroplating for build-up PCBs", Electrochimica Acta, 47, 85-89, (2001).
 16. T. R. Ralph, M. L. Hitchman, J. P. Millington and F. C. Walsh, "The reduction of L-cystine hydrochloride at stationary and rotating disc mercury electrodes", Electrochimica Acta, 51, 133-145, (2005).