

논문 2007-44SD-10-9

전압 이득 향상을 위한 고전압 CMOS Rail-to-Rail 입/출력 OP-AMP 설계

(A High Voltage CMOS Rail-to-Rail Input/Output Operational Amplifier with Gain enhancement)

안 창 호*, 이 승 권**, 전 영 현**, 공 배 선***

(Chang-Ho An, Seung-Kwon Lee, Young-Hyun Jun, and Bai-Sun Kong)

요 약

본 논문에서는 LCD (Liquid Crystal Display) source driver IC에서 사용되는 고전압 op-amp의 출력 편차를 개선하기 위하여 전압 이득을 향상한 CMOS rail-to-rail 입/출력 op-amp를 제안하였다. 제안된 op-amp는 15 V 이상의 고전압 MOSFET의 과도한 channel length modulation에 의한 전압 이득의 감소로 offset 전압이 커지는 문제를 해결하기 위하여 cascode 구조를 갖는 floating current source 및 class-AB control단을 채용하고 있다. 제안된 op-amp는 HSPICE 시뮬레이션을 통하여 전압 이득이 기존 대비 30 dB 향상됨을 확인하였으며, offset 전압은 기존 6.84 mV에서 400 μ V 이하로 개선됨을 확인하였다. 또한, 제안된 op-amp가 적용된 LCD source driver IC의 실험 결과 출력 편차는 기존 대비 2 mV 향상됨을 확인하였다.

Abstract

A gain enhancement rail-to-rail buffer amplifier for liquid crystal display (LCD) source driver is proposed. An op-amp with extremely high gain is needed to decrease the offset voltage of the buffer amplifier. Cascoded floating current source and class-AB control block in the op-amp achieve a high voltage gain by reducing the channel length modulation effect in high voltage technologies. HSPICE simulation in 1 μ m 15 V CMOS process demonstrates that voltage gain is increased by 30 dB. The offset voltage is improved from 6.84 mV to 400 μ V. Proposed op-amp is fabricated in an LCD source driver IC and overall system offset voltage is decreased by 2 mV.

Keywords : LCD source driver IC, 출력편차, 전압 이득, offset 전압, op-amp

I. 서 론

LCD source Driver IC(LDI)는 고용량의 저항, 커패시터 부하를 갖는 LCD 패널의 데이터 라인을 구동하는 역할을 한다. LDI는 크게 디지털 입력 데이터를 처리하는 저전압 회로와 디지털 데이터를 아날로그 전압으로 변환해주는 고전압 회로로 구성되어 있다. LDI 출력은

대개 384개 이상의 다채널로 구성되어 있으며, 각 채널의 출력 특성은 패널에 표시되는 색상 즉 R, G, B의 밝기에 영향을 미치며, 채널 간의 출력 편차는 이러한 밝기의 균등함에 중요한 영향을 미친다. 각 채널 간 출력 편차는 $\pm 1/2$ LSB 전압 (동작전압/계조수) 넘을 경우 LCD 패널의 display 시인성에 세로 줄무늬와 같은 문제가 발생한다. 따라서 각 채널에서의 offset 전압을 최소화하고 채널 간의 출력 편차를 줄이는 것은 LDI의 품질을 향상시키는 방법이 된다. 출력 특성은 IC 최종 출력인 고전압 op-amp의 AC 및 DC 특성으로 대표되며, 이러한 특성은 큰 전압 이득을 갖고, 저 전력을 소모하며, 부하에 따른 slew rate, 전류 구동 능력, 입출력 동작 영역이 큰 값을 갖고, 작은 입력 offset 전압을 가

* 학생회원, *** 평생회원, 성균관대학교 전자전기 컴퓨터공학과
(School of Information and Communication Engineering, Sungkyunkwan University)

** 평생회원, 삼성전자(주) 반도체총괄
(Semiconductor Division, Samsung Electronics)
접수일자:2007년5월26일, 수정완료일:2007년8월28일

지며, 또한 넓은 영역의 전원 전압의 변화에도 일정한 동작 특성이 요구된다.

본 논문에서는 현재 LDI의 최종 출력단으로 사용하고 있는 고전압 op-amp의 AC 및 DC 특성 면에서 화질에 영향을 미치는 출력 편차를 감소시키기 위해 전압 이득을 향상하여 offset 전압을 줄이는 방법을 제안하고자 한다.

II. 본 론

1. LDI 출력 Buffer의 Systematic Offset

그림 1에서 도시한 바와 같이, LCD 구동을 위한 최종 출력 buffer단의 systematic offset 전압은 MOS 소자의 non-ideal 특성 및 V_{DS} 변화에 따른 출력 저항의 변화 등의 원인으로 발생하는 것으로 최대 'VDD/전압 이득' 또는 'VSS/전압이득' 만큼 발생할 수 있다^[1]. LDI는 다채널 DAC system으로 구성되어 있어 출력 buffer로 구동하는 op-amp의 systematic offset 전압은 DAC system의 INL (AV_0 : Output Average Voltage deviation) error를 유발 할 수 있으며 random offset 전압은 DNL (DV_0 : Output Voltage Deviation, DV_{rms} : Output Swing Voltage Deviation) error를 유발 할 수 있다. LDI의 출력 buffer로 사용되는 systematic offset 전압은 식 (1)과 같이 제어 될 수 있다^[2].

$$A_{V,closed} = \frac{A_{V,open}}{1 + A_{V,open} (A_{feedback} = 1)} \quad (1)$$

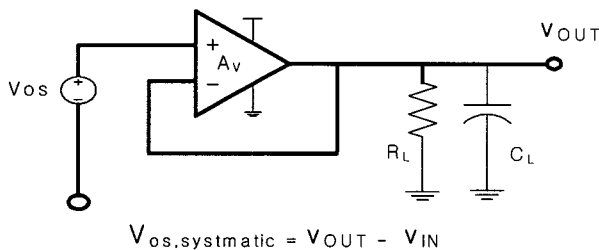


그림 1. LDI 출력 buffer의 systematic offset
Fig. 1. Systematic offset of LDI output buffer.

2. 기존 Operational Amplifier 회로

그림 2에 기존 CMOS rail-to-rail 입/출력 op-amp가 도시되어 있다. 첫 번째 단은 입력단에 인가되는 차동 입력 전압을 전류로 변환하는 입력단과 변환된 전류를 전압으로 증폭시켜 주는 transresistance amp로 구성 된다. 두 번째 단은 증폭된 입력신호 전압을 LCD

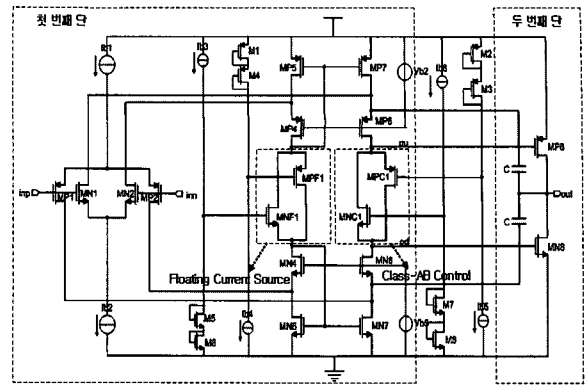


그림 2. 기존 operational amplifier 회로
Fig. 2. Conventional operational amplifier.

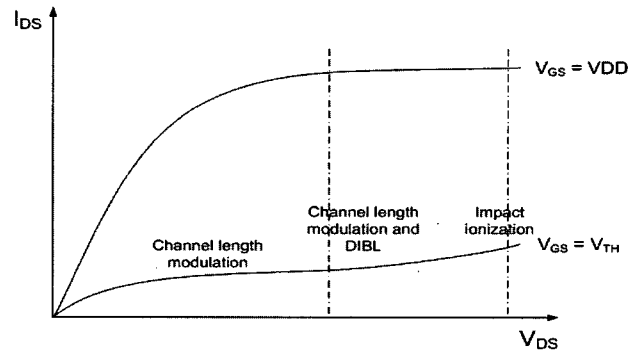


그림 3. 고전압 MOSFET의 $I_{DS}-V_{DS}$ 특성
Fig. 3. $I_{DS}-V_{DS}$ characteristics of high-voltage MOSFET.

패널의 데이터 라인을 구동하는 역할을 하며, 넓은 입출력 영역에서 동작하기 위해 class-AB로 구성 되어 있다^[3].

그림 3은 고전압 공정에서의 MOSFET에 대한 $I_{DS}-V_{DS}$ 특성을 나타내고 있다. 그림에서 보는 바와 같이, V_{GS} 가 전원 전압에 가까운 영역에서는 I_{DS} 포화가 확실하게 나타나지만, V_{GS} 가 V_{TH} 근처 영역이고, V_{DS} 가 동작 전압과 가까운 영역으로 갈수록 I_{DS} 가 증가하는 channel length modulation 그리고 drain induced barrier lowering (DIBL) 및 impact ionization 현상이 나타난다. 이러한 현상들은 leakage 전류가 계속 증가한다는 점에서 약한 breakdown이라 볼 수 있으며, 이 원인은 크게 punch-through와 hot carrier가 발생시키는 impact ionization 때문으로 해석된다^[4-5]. 이러한 이유로, 고전압 MOSFET 공정을 이용하여 기존의 op-amp를 설계하게 되면 전압 이득이 작게 나오며 이에 따라 offset 전압이 크게 나타나는 원인이 된다.

3. 제안된 Operational Amplifier 회로

그림 4에 본 논문에서 제안된 op-amp 회로를 도시하

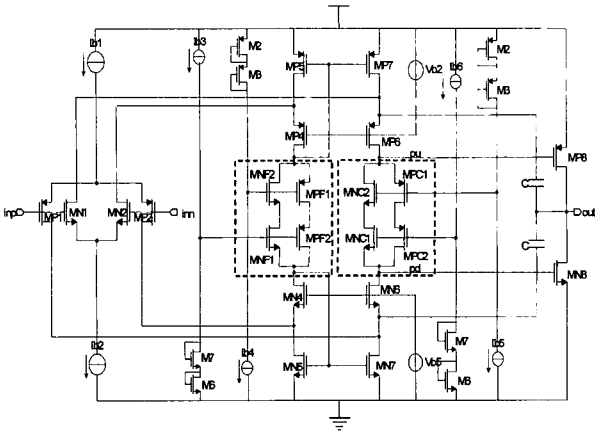


그림 4. 제안된 operational amplifier 회로
Fig. 4. Proposed operational amplifier.

였다. 기존 op-amp(그림 2)와 제안된 op-amp(그림 4)의 AC 특성은 folded-cascode 사이의 floating current source와 class-AB control이 이상적인 전류원으로 가정한다면 open-loop 전압 이득(Av)은 동일하며, 식 (2)와 같이 표현된다. 그러나, 본 장 2 절에서 설명한 바와 같이 고전압 MOSFET에서는 hot carrier injection으로 과도한 channel length modulation 영향으로 인해 두 op-amp의 DC 전압 이득에서 차이가 발생한다.

$$A_V = A_{V1} + A_{V2}$$

$$A_{V1} = (g_{m,MP1} + g_{m,MN1})(R_{O1} // R_{O2})$$

$$R_{O1} = r_{ds,MN6} [1 + g_{m,MN6}(r_{ds,MN7} // r_{ds,MP1})]$$

$$R_{O2} = r_{ds,MP6} [1 + g_{m,MP6}(r_{ds,MP1} // r_{ds,MN1})]$$

$$A_{V2} = (g_{m,MP8} + g_{m,MN8})(r_{ds,MP8} // r_{ds,MN8} // r_{out})$$

그림 2에 나타난 기존 op-amp는 입력 전압 영역에 따라 floating current source로 구동하는 MPF1와 MNF1 그리고 class-AB control로 동작하는 MPC1, MNC1 트랜지스터들의 V_{DS} 전압이 그림 6-(b)의 B 지점(V_{DD}-2V~V_{DD}-3V)에서 동작하므로 소신호 출력 임피던스, r_o가 거의 무한대로 동작하지 못하고, 식 (3)과 같이 유한한 값을 가진다^[5].

$$r_o = \frac{2L}{1 - \frac{\Delta L}{L}} \frac{1}{2I_D} \sqrt{\frac{qN_B}{2\epsilon_{si}} (V_{DS} - V_{DS,sat})}$$

따라서 첫 번째 단의 class-AB control current source인 r_o와 cascode단의 출력 임피던스, Rout 등이 병렬로 보여, 그림 5에 도시한 바와 같이 첫 번째 단의 출력 임피던스 R_{O1}이 작아져 전압 이득이 감소한다. 이를 해결하기 위하여, 제안된 op-amp에서는 floating

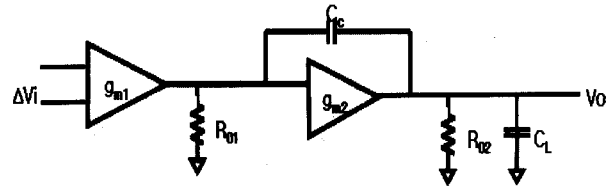


그림 5. op-amp의 소신호 모델
Fig. 5. Small signal model of op-amp.

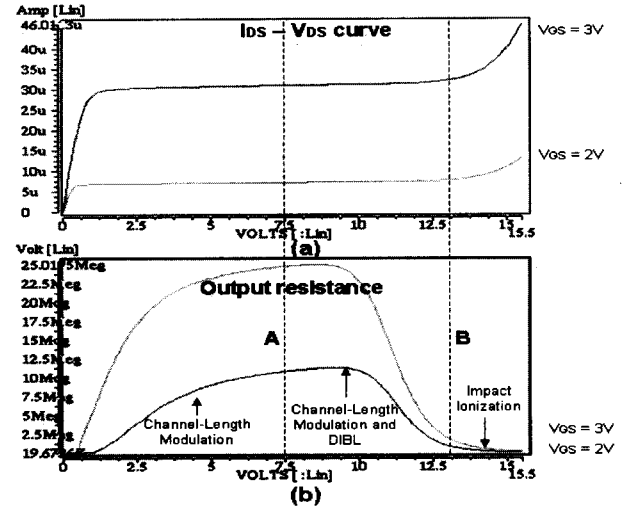


그림 6. (a) Ids-Vds curve (b) Vds 변화에 따른 output resistance 변화

Fig. 6. (a) Ids-Vds curve (b) Output resistance variation as a function of Vds.

current source와 class-AB control current source의 소신호 출력 임피던스 r_o가 거의 무한한 값을 갖는 cascode current source 구조를 채용하였다.

그림 4에 나타난 바와 같이, 제안한 구조에서는 floating current source로 동작하는 MPF1, MPF2, MNF1, MNF2 그리고 class-AB control current source로 동작하는 MPC1, MPC2, MNC1, MNC2 트랜지스터들의 V_{DS} 전압이 그림 6-(b)의 A 지점(V_{DD}/2-1V ~ V_{DD}/2+1V)에서 동작한다. A 지점이 B 지점보다 고전압 MOSFET의 hot carrier injection에 의한 channel length modulation 영향이 적어 보다 이상적인 전류원으로 동작한다. 이러한 이유 때문에, 2단으로 구성된 op-amp에서 첫 번째 단의 R_{O1}을 키워 전압 이득을 증가시킬 수 있다.

기존의 구조를 cascode 형태로 바꿈에 따라 전압 이득이 향상됨 외에 다른 특성들의 변화는 크게 나타나지 않는다. 즉, common-mode input voltage range 및 output voltage swing range는 input stage 및 output stage의 common source amp에 의해서 결정되기 때문

에 변화가 없으며, output voltage swing range는 기존 op-amp와 같이 최대 2 V_{DS} 로 동일하다. 기존의 op-amp의 class-AB 구동은 트랜지스터 M6, M7, MN8, MNC1(M2, M3, MP8, MPC1)의 V_{GS} 전압에 의해 동작하며 ($V_{GSM6} + V_{GSM7} = V_{GSMN8} + V_{GSMNC1}$, $|V_{GSM2}| + |V_{GSM3}| = |V_{GSMPC8}| + |V_{GSMPC1}|$), 제안된 op-amp는 트랜지스터 M6, M7, MN8, MNC1, MPC2(M2, M3, MP8, MNC2, MPC1)의 V_{GS} 전압에 의해 동작한다 ($V_{GSM6} + V_{GSM7} = V_{GSMN8} + V_{GSMNC1}$ (V_{GSMPC2}), $|V_{GSM2}| + |V_{GSM3}| = |V_{GSMPC8}| + |V_{GSMNC2}|$ (V_{GSMPC1})). 여기서, V_{GSMNC1} 과 V_{GSMPC2} 가 동일한 전압으로 동작하고 input stage의 tail current source 및 cascode current mirror의 summing circuit 전류원이 같다면 static current 및 dynamic current 그리고 slew rate은 동일하다. 또한, R_{O1} 증가에 따른 dominant pole의 영향은 R_{O1} 과 R_{O2} 가 병렬 임피던스로 보이기 때문에 unit-gain frequency의 변화는 작으며, 그림 5의 op-amp의 소신호 모델에서 second pole에 영향을 미치는 g_{m2} 가 동일하면 phase margin은 같다.

III. 실험

제안된 op-amp의 성능을 평가하기 위하여, NMOS 트랜지스터의 문턱전압이 1.1V이고 PMOS의 문턱전압이 -1.05V인 1- μm 15-V CMOS 공정을 이용하여 제안된 op-amp 기술을 적용한 LDI를 구현하였으며, 이에 대한 full chip layout을 그림 7에 도시하였다. 기존 설계와 비교하여 3/4 μm 트랜지스터 2개가 추가되므로, 이에 따른 layout height 증가는 3 μm 로 매우 적다. 설계된 LDI에 대한 실측 결과는 EDS (Electrical Die Sorting) TEST를 통하여 얻었다.

그림 8과 9에 입력 전압($VSS+0.1V \sim VDD-0.1V$)에 따른 기존 op-amp와 제안한 op-amp의 전압 이득과 offset 전압을 비교 도시하였다. 제안된 op-amp의 전압 이득은 기존 대비 30 dB 정도 향상됨을 확인 할 수 있

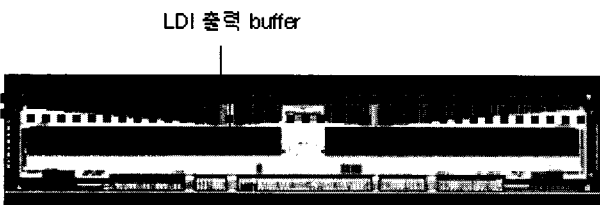


그림 7. LDI의 full chip layout (13260um x 1750um)
Fig. 7. Full chip layout of LDI (13260um x 1750um).

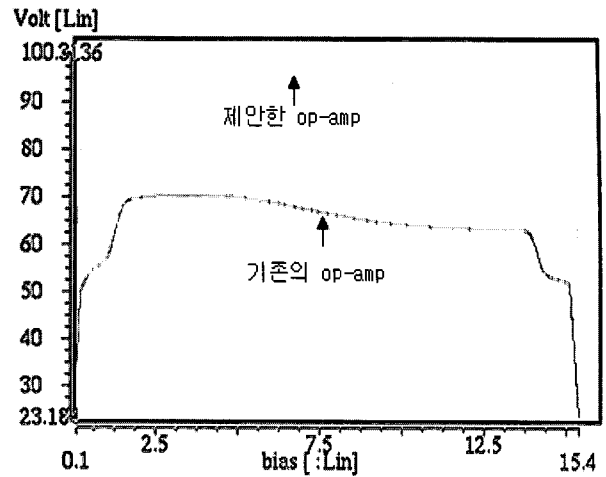


그림 8. op-amp의 open-loop 전압 이득 비교
Fig. 8. Simulation results of open-loop gain of the conventional and the proposed op-amp.

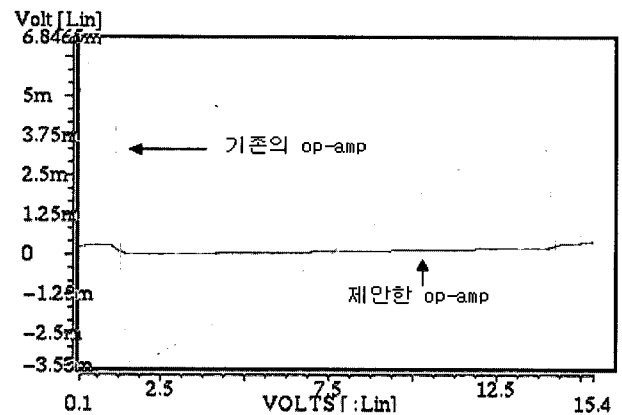


그림 9. 출력 buffer의 입력 offset 전압 비교
Fig. 9. Simulation results of input offset voltage of the conventional and the proposed op-amp.

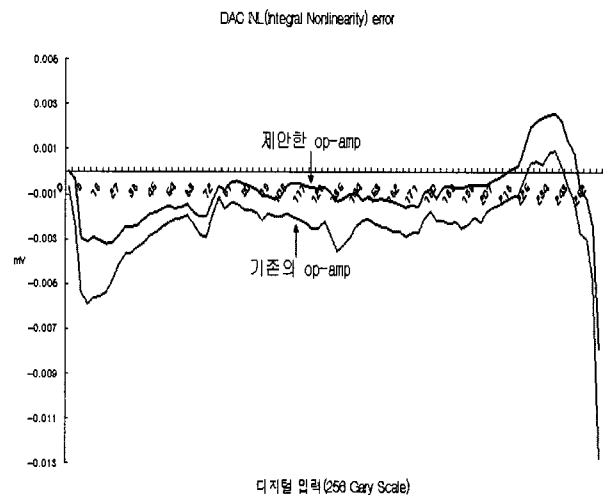


그림 10. LDI 출력 편차 비교
Fig. 10. LDI output average voltage deviation measured by the EDS.

표 1. Op-amp의 특성 비교

Table 1. Measurement results of op-amp.

VDD=15.5V, VSS=0V, Ta=25°C			
Parameter	기존의 op-amp	제안한 op-amp	units
Common-mode input voltage range	VSS+0.1V ~ VDD-0.1V		V
output voltage swing range	VSS+0.1V ~ VDD-0.1V		V
Open-loop voltage gain	66.5	96.2	dB
Unit-gain frequency	6.0	5.7	MHz
Phase margin	62.9	63.0	°
Input offset voltage	≤ 6.84	≤ 0.40	mV
Static current	6.70	6.29	μA
Dynamic current	139.60	139.20	μA
Slew rate (rising)	16.0	15.5	V/μs
Load	R=20kΩ, Ci=300pF		

으며, offset 전압은 기존 6.84 mV에서 400 μV 이하로 개선됨을 확인할 수 있다. 그림 10에 기존 및 제안한 op-amp가 적용된 LDI의 입력 디지털 코드(256 Gray Scale)에 따른 출력 편차를 도시하였으며, 실측 결과 기존 대비 2 mV 정도 감소됨을 알 수 있다. 표 1에 기존 및 제안된 op-amp 특성들에 대한 결과를 정리 하였다. 제안된 op-amp는 기존 회로 대비 전압 이득과 offset 전압이 각각 44.6% 및 94.1% 향상됨을 확인할 수 있으며 다른 특성들은 거의 동일함을 알 수 있다.

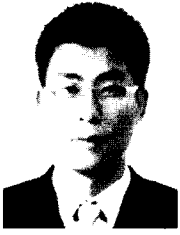
IV. 결 론

본 논문에서는 LDI에 사용되는 고전압 op-amp의 출력 편차를 개선하기 위하여 전압 이득을 향상한 CMOS rail-to-rail 입/출력 op-amp를 제안하였다. 제안된 op-amp는 15 V 이상의 고전압 MOSFET의 과도한 channel length modulation에 의한 전압 이득의 감소로 offset 전압이 커지는 문제를 해결하기 위하여 op-amp의 floating current source 및 class-AB control단이 각각 cascade 구조를 갖는다. 제안한 op-amp는 HSPICE 시뮬레이션을 이용하여 전압 이득이 기존 대비 30 dB 향상됨을 확인하였으며, offset 전압은 기존 6.84 mV에서 400 μV 이하로 개선됨을 확인하였다. 또한, 제안한 op-amp가 적용된 LDI의 실측 결과 출력 편차는 기존 대비 2 mV 향상됨을 확인하였다. 향후 LDI를 구현함에 있어 제안한 op-amp를 적용한다면, 채널별/IC별 출력 편차를 개선할 수 있어 display 시인성에 문제가 없는 화질 구현이 가능할 것으로 기대된다.

참 고 문 헌

- [1] R. Jacob Baker, "CMOS Circuit Design, Layout and Simulation" IEEE Press, pp. 617-680, 1998, pp. 773-824, 2005.
- [2] Phillip E. Allen, Douglas R. Holberg, "CMOS Analog Circuit Design." Oxford University Press, pp.310-323, 2002.
- [3] R. Hogervorst, J. P. Tero, R. G. H. Eschauzier, and J. H. Huijting "A Compact Power-Efficient 3V CMOS Rail-to-Rail Input/Output Operational Amplifier for VLSI Cell Libraries." IEEE J. of Solid-State Circuits, vol. 29, no.12, pp. 1505-1513, December, 1994.
- [4] Y. Tsvividis, "Operation and Modeling of the MOS Transistor." Second Ed., New York, McGraw-Hill, 1999.
- [5] Behzad Razavi, "Design of Analog CMOS integrated Circuits." McGraw-Hill Series in Electrical and Computer Engineering, pp. 83-93, 291-340, 579-600, 2001.

저 자 소 개



안 창 호(학생회원)
 2000년 성균관대학교 전자공학과 학사 졸업.
 2000년~현재 삼성전자 반도체 총괄 Panel DDI 설계팀 선임연구원 재직
 2006년~현재 성균관대학교 전기전자컴퓨터공학과 석사 과정

<주관심분야 : CMOS Analog IC 설계, Mixed Signal IC 설계, VLSI 설계 >



이 승 권(정회원)
 1984년 삼성전자 입사
 1984년~1996년 Consumer IC 설계
 1996년~2000년 MCU IC 설계
 2000년~현재 DDI 설계, Panel DDI 설계팀 그룹장 (수석연구원)

<주관심분야 : Mixed Signal IC 설계, VLSI 설계 >



전 영 현(평생회원)
 1984년 한양대학교 전자공학과 공학사.
 1986년 한국과학기술원(KAIST) 전기 및 전자공학과 공학석사.
 1989년 한국과학기술원(KAIST) 전기 및 전자공학과 공학박사

1990년~1991년 미국 University of Illinois, Coordinated Science Lab. 연구원
 2007년 현재 삼성전자(주) 반도체총괄 DRAM 설계팀 전무
 <주관심분야 : 초고속 메모리 설계, 고속 I/O Interface 설계 >



공 배 선(평생회원)
 1990년 연세대학교 전자공학과 공학사.
 1992년 한국과학기술원(KAIST) 전기 및 전자공학과 공학석사.
 1996년 한국과학기술원(KAIST) 전기 및 전자공학과 공학박사

1996년~1999년 LG 반도체 중앙연구소 선임연구원
 2000년~2005년 한국항공대학교 항공전자공학과 부교수
 2005년~현재 성균관대학교 정보통신공학부 부교수
 <주관심분야 : 디지털 및 혼성모드 집적회로설계, 저전력 메모리 설계 >