
NQS효과를 고려한 FD-SOI MOSFET의 고주파 소신호 모델변수 추출방법

김 규 철*

Accurate parameter extraction method for FD-SOI MOSFETs RF small-signal model including non-quasi-static effects

Gue-chol Kim*

요 약

본 논문에서는 NQS(non-quasi-static)효과를 고려한 FD(fully depleted)-SOI(silicon-on-insulator) MOSFETs의 고주파 소신호 모델링을 위한 등가회로 변수들을 간단하고 정확히 추출하는 방법을 제시하였다. 제시된 추출방법은 임피던스와 어드미턴스 행렬계산으로 S-파라미터의 측정결과로부터 MOSFET의 외부 기생용량과 기생저항을 제거하여 물리적인 특성을 바탕으로 한 MOSFET의 내부등가회로변수가 간단히 추출되어진다. 제시된 방법으로 등가회로를 구한 후 Y-파라미터를 계산하여 측정치와 비교한 결과 500MHz부터 20GHz까지 잘 일치함을 확인하였다.

ABSTRACT

An accurate and simple method to extract equivalent circuit parameters of fully-depleted silicon-on-insulator MOSFETs small-signal modeling operating at RF frequencies including the non-quasi static effects is presented in this article. The advantage of this method is that a unique and physically meaningful set of intrinsic equivalent circuit parameters is extracted by de-embedding procedure of extrinsic elements such as parasitic capacitances and resistances of MOSFETs from measured S-parameters using simple Z- and Y- matrices calculations. The calculated small-signal parameters using the presented extraction method give modeled Y-parameters which are in good agreement with the measured Y-parameters from 0.5 to 20GHz.

키워드

MOSFET, RF, small-signal modeling, SOI, Non-Quasi-Static effects

I. 서 론

실리콘 제조기술의 발전에 따라, MOSFET 동작의 고속화가 진전되어, 최근에는 CMOS기술에 의한 RF IC의 개발이 활발히 진행되어지고 있다. 그중에서도 SOI(silicon-on-insulator) MOSFET는 일반적인 벌크(Bulk)소자에 비해 소자와 기판사이의 기생용량성분과 소자간

의 잡음전달이 적고 라치업(latch-up)이 전혀 발생하지 않는 장점을 가지고 있어 고주파회로 설계로의 응용이 기대되어지고 있다[1,2,3]. 하지만 고주파에서 동작하는 단채널 SOI MOSFET는 NQS(non-quasi-static)효과로 인한 드레인 전류의 지연이 발생하게 된다[4].

따라서 고주파 영역에서 FD-SOI MOSFET의 전기적 특성을 정확하게 예측하려면 NQS 효과와 기생 성분을

포함한 복잡한 등가회로가 필요하게 된다. 이것은 NQS 효과가 포함되어있는 MOSFET의 내부등가회로변수 (intrinsic parameters)와 외부기생소자가 정확히 추출되어야 하는 것을 의미한다. 본 연구에서는 Z-파라미터와 Y-파라미터의 관계식을 이용해 SOI MOSFET의 측정치로부터 외부기생소자를 분리한 후 내부등가회로변수를 추출하여 물리적인 타당성을 확인한다. 또한 도출되어진 등가회로 변수로 구성된 소신호 등가회로로 Y-파라미터를 계산하고 측정치와 비교하여 추출방법의 유효성을 증명한다.

II. FD-SOI MOSFET의 NQS소신호모델

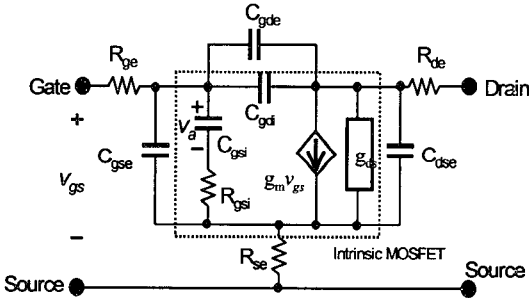


그림 1. FD-SOI MOSFET의 NQS 소신호등가회로
Fig. 1. Non-quasi-static small-signal equivalent circuit of FD-SOI MOSFETs

2.1 Non-Quasi-Static 효과

MOSFET를 저주파영역에서 동작시키는 경우, 게이트(gate)-소스(source)간 전압 v_{gs} 와 게이트-소스간 용량 C_{gs} 에 알맞은 양의 전하가 모여 반전층을 형성해, v_{gs} 의 변동에 따라서 전하량도 변동한다. 이와 같이 반전층을 형성하는 전하량 q_g 을 항상

$$q_g = C_{gs}v_{gs} \quad (1)$$

에 의해서 나타낼 수 있는 상태를 Quasi Static 이라고 부른다. 그러나 MOSFET를 고주파영역에서 동작시켰을 경우, 반전층을 형성하는 전하는 소스로부터 채널 전체에 전개되어가지만, 전하는 고주파 신호에 대한 응답에

지연을 일으켜 반전층의 형성이나 드레인 전류에 영향을 준다. 이와 같이 입력신호에 대한 전하의 응답지연이 생기는 현상을 NQS효과라고 부른다[5,6].

고주파 신호에 대한 전하 응답의 지연에 의해, 전류량이 반전층의 전하의 양에 의해서 결정되는 드레인 전류 i_d 의 응답에도 이와 같이 지연을 일으킨다.

즉, 여기에서 NQS의 영향은 g_m (트랜스컨덕턴스)의 응답 지연으로 나타나는 것이므로 NQS효과의 영향을 포함한 g_m 는 식 (2)와 같이 구할 수 있다.

$$g_m = \frac{g_{m0}}{1 + j\omega\tau_{gs}} \quad (2)$$

여기서 g_{m0} 는 저주파 영역에 있어서의 g_m 의 값이며, τ_{gs} 는 v_{gs} 에 대한 i_d 의 응답 시간이다. 또한 지연을 포함한 v_{gs} 와 i_d 의 관계는 다음과 같다.

$$i_d = g_m v_{gs} \quad (3)$$

그러나 NQS의 영향을 포함한 식 (2)의 g_m 을 식 (3)에 그대로 적용하게 되면 모델식이 복잡해지므로 모델식의 단순화를 위해서, g_m 의 지연을 그림 1의 NQS 저항 R_{gsi} 로 표현하는 방법이 이용된다[5].

MOSFET의 게이트와 소스 사이에 NQS저항을 삽입함으로써, g_m 의 응답 지연을 C_{gsi} 에 인가되는 전압 v_a 의 RC 시정수에 의한 지연으로 변환할 수 있다. R_{gsi} 와 C_{gsi} 의 직렬 회로 전체에 인가되는 전압을 v_a 라 하면, 2개의 전압의 관계는 다음과 같이 표현된다.

$$v_a = v_{gs} \frac{1}{1 + j\omega C_{gsi} R_{gsi}} \quad (4)$$

이 식이 성립되도록 R_{gsi} 의 값을 결정함으로써, NQS에 의한 g_m 의 응답 지연요소를 R_{gsi} 의 등가회로변수로 변환할 수 있다. 포화 영역 동작시의 R_{gsi} 의 값은 식 (5)에 의해 구할 수 있다[10].

$$R_{gsi} = \frac{1}{\kappa g_m} \quad (5)$$

여기서 k 는 Elmore 계수이며, 일반적으로 $k=5$ 를 이용한다[6].

2.2 외부기생소자에 의한 영향

MOSFET 의 게이트 단자는 실리콘 산화막에 의해서 다른 단자와 절연되어 있기 때문에 정상적인 전류는 흐르지 않는다. 그러나 게이트에 고주파 신호가 입력되는 경우, 게이트-소스간, 게이트-드레인간의 용량을 통해서 고주파 전류가 흐른다. 따라서 고주파영역에서는 게이트 전극, 드레인 소스의 각 단자에 직렬로 연결되어져 있는 그림 1의 기생저항 R_{ge} , R_{de} , R_{se} 의 영향을 무시할 수 없게 된다. 이중에서도 게이트전극저항 R_{ge} 는 MOSFET의 최대발전주파수와 열잡음 등에 커다란 영향을 끼치므로 멀티핑거(multi-finger) 구조로 레이아웃(layout) 함으로써 저항값을 줄여야 한다[7].

또한 MOSFET에서는 게이트와 소스, 게이트와 드레인 사이에 오버랩 용량(overlap capacitances)이 존재한다. MOSFET가 포화영역에서 동작할 때 게이트로부터 소스에 전류가 흐르는 경로는, 그림 1의 채널용량 C_{gsi} 과 R_{gsi} 을 통하여 흐르는 경로와 게이트 오버랩 용량 C_{gse} 를 통해 흐르는 2개의 경로가 있다. 단채널 MOSFET에서는, 채널용량에 비해 게이트 오버랩 용량은 무시할 수 없을 만큼 크다 따라서 기생성분을 고려하지 않은 상태에서 채널내부의 등가변수를 추출한 경우 MOSFET 소신호의 바이어스, 주파수, 사이즈 의존성 등의 전기적특성에서 오차가 발생하게 된다.

III. 소신호 등가변수의 추출과 검증

본 연구에서는 0.15 μ m FD-SOI 공정을 사용하여 멀티핑거형태의 n+ polysilicon 게이트로 구성된 게이트길이 0.14 μ m 채널폭 240 μ m(단위핑거폭5 μ m, 48개의 핑거)의 MOSFET를 사용하였다. 실리콘 웨이퍼(wafer)상에 있는 소스접지 샘플에 GSG (ground-signal-ground)프로브를 입력(게이트)측, 출력(드레인)측에 접속해, Network Analyzer (Agilent 8722E)로 MOSFET의 S-파라미터를 측정하였다. S-파라미터의 측정결과는 MOSFE해석에 이용하기 위해, 식 (6)에 의해 Y-파라미터로 변환한다.

$$[Y_{DUT}] = \frac{1}{Z_0} ([E] + [S_{DUT}])^{-1} ([E] - [S_{DUT}]) \quad (6)$$

여기에서 $[Y_{DUT}]$, $[S_{DUT}]$ 는 Y-파라미터, S-파라미터의 행렬표현이며, $[E]$ 는 단위행렬, Z_0 는 특성임피던스를 나타낸다.

또한 MOSFET의 각 단자에 전압을 인가하는 측정패드의 영향은 동일 웨이퍼 상에 오픈(open), 쇼트(short)패턴을 제작하여 디임베딩(De-embedding)과정을 거침으로서 소거되어진다[8].

MOSFET의 측정치로부터 기생성분을 소거하여 내부등가회로를 추출하는 방법은 먼저 외부기생용량과 기생저항을 추출한다. 기생성분은 바이어스의존성이 없기 때문에 콜드바이어스(Cold-bias) 조건하에서 측정함으로써 도출할 수 있다 [7]. 여기서 기생용량은 다음의 식 (7) ~ (9)에 의해서 도출되어진다.

$$C_{gde} = -\text{Im}(Y_{12})/\omega \quad (7)$$

$$C_{gse} = (\text{Im}(Y_{11}) + \text{Im}(Y_{12}))/\omega \quad (8)$$

$$C_{dse} = \text{Im}(Y_{11})/\omega - C_{gde} - g_m R_{\geq} C_{gde} + \omega^2 C_{gde} C_{dge} (C_{gde} + C_{gse}) R_{\geq}^2 \quad (9)$$

또한 기생저항은 측정된 S-파라미터를 Z-파라미터로 변환한 식을 해석하여 구할 수 있다[9,10].

기생 저항과 기생용량을 소거하는 순서는, 측정치의 Y-파라미터(Y_{DUT})의 역행렬을 계산해, Z-파라미터(Z_{DUT})로 변환한다. 그 다음, 식(10)와 같이 Z_{DUT} 부터 기생 저항 R_{ge} , R_{se} , R_{de} 을 소거한다. 기생저항을 소거한 Z-파라미터를 Z' 로 한다.

$$Z' = \begin{pmatrix} Z_{11} - R_{\geq} - R_{se}, & Z_{11} - R_{\geq} - R_{se} \\ Z_{12} - R_{se}, & Z_{22} - R_{de} - R_{se} \end{pmatrix} \quad (10)$$

또한 Z' 의 역행렬을 계산해, Y' 로 변환한다. 변환한 Y' 로부터 게이트 오버랩 용량 C_{gse} , C_{gde} 과 드레인 소스간 용량 C_{dse} 을 소거하면 기생성분을 소거한 내부등가회로의 Y-파라미터인 Y'' 가 도출되어진다.

$$Y'' = \begin{pmatrix} Y'_{11} - j\omega(C_{gse} + C_{gde}), & Y'_{12} + j\omega C_{gde} \\ Y'_{21} + j\omega C_{gde}, & Y'_{22} - j\omega(C_{gde} + C_{dse}) \end{pmatrix} \quad (11)$$

Y'' 는 다음의 식으로 나타내어진다.

$$Y''_{11} = \frac{j\omega C_{gsi}}{1 + j\omega C_{gsi} R_{gsi}} + \frac{j\omega C_{gdi}}{1 + j\omega C_{gdi} R_{gdi}} \quad (12)$$

$$Y''_{12} = -\frac{j\omega C_{gdi}}{1 + j\omega C_{gdi} R_{gdi}} \quad (13)$$

$$Y''_{21} = \frac{g_m}{1 + j\omega C_{gsi} R_{gsi}} - \frac{j\omega C_{gdi}}{1 + j\omega C_{gdi} R_{gdi}} \quad (14)$$

$$Y''_{22} = g_{ds} + \frac{j\omega C_{gdi}}{1 + j\omega C_{gdi} R_{gdi}} \quad (15)$$

여기에서 $(\omega C_{gsi} R_{gsi})^2 \ll 1$ 과 $(\omega C_{gdi} R_{gdi})^2 \ll 1$ 을 만족하는 주파수범위에서는 다음의 식으로 간략화 할 수 있다.

$$Y''_{11} = (\omega C_{gsi})^2 R_{gsi} + (\omega C_{gdi})^2 R_{gdi} + j\omega(C_{gsi} + C_{gdi}) \quad (16)$$

$$Y''_{12} = -(\omega C_{gdi})^2 R_{gdi} - j\omega C_{gdi} \quad (17)$$

$$Y''_{21} = g_m - (\omega C_{gdi})^2 R_{gdi} - j\omega(C_{gsi} R_{gsi} g_m + C_{gdi}) \quad (18)$$

$$Y''_{22} = g_{ds} + (\omega C_{gdi})^2 R_{gdi} + j\omega C_{gdi} \quad (19)$$

위의 식 (16) ~ (19)의 실수부와 허수부로부터 내부 등가회로변수 C_{gdi} , C_{gsi} , g_m , g_{ds} 는 다음의 식으로 도출되어진다.

$$C_{gdi} = -\text{Im}(Y''_{12})/\omega \quad (20)$$

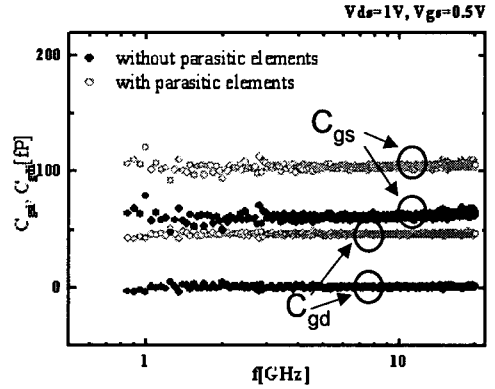
$$C_{gsi} = (\text{Im}(Y''_{11}) + \text{Im}(Y''_{12}))/\omega \quad (21)$$

$$g_m = \text{Re}(Y''_{21})|_{\omega^2=0} \quad (22)$$

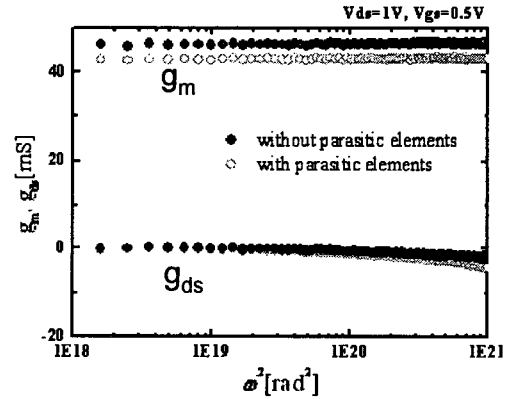
$$g_{ds} = \text{Re}(Y''_{22})|_{\omega^2=0} \quad (23)$$

식 (20) ~ (23)을 이용해서 측정치로부터 계산한 (a) g_m , g_{ds} (b) C_{gsi} , C_{gdi} 를 그림 2에 보여준다.

외부기생소자를 소거한 결과 g_m 과 g_{ds} 모두 다소 증가한 결과가 얻어졌다. 또한 포화영역에서 동작하는 MOSFET의 채널용량 C_{gsi} 와 C_{gdi} 는 각각 오버랩용량 C_{gse} , C_{gde} 만큼 감소하였고, C_{gdi} 는 0에 근접한 결과가 얻어졌다.



(a)



(b)

그림 2. 내부등가회로변수 (a) C_{gsi} , C_{gdi} 와 (b) g_m , g_{ds} 의 도출결과

Fig. 2. Extraction results of (a) C_{gsi} , C_{gdi} , and (b) g_m , g_{ds}

또한 NQS 저항 R_{gsi} 는 식(24)로부터 도출되어진다.

$$R_{gsi} = \text{Re} \frac{1}{Y''_{11} + Y''_{12}} \quad (24)$$

포화 영역 동작시의 게이트-소스간의 NQS 저항 R_{gsi} 는 식 (5)로부터 구할 수 있다. 하지만 식 (5)는 선형영역에서 동작할 때는 사용할 수 없기 때문에, 포화/선형영역 동작시의 파라미터로서 g_m 대신 식(25)의 g_m^* 를 이용하였다.

$$g_m^* \triangleq \beta(V_{GS} - V_{th}) \quad V_{DS} > V_{GS} - V_{th}$$

$$= \begin{cases} g_m \\ g_m \times \frac{V_{GS} - V_{th}}{V_{DS}} \end{cases} \quad V_{DS} < V_{GS} - V_{th} \quad (25)$$

식 (24)을 이용하여 게이트 전압 V_{gs} 를 0.1V에서 1.0V까지 변화시켜 추출한 NQS 저항 R_{gsi} 를 $1/g_m^*$ 와 비교하여 그림 3에 나타낸다. 식 (5)에서와 같이 R_{gsi} 는 $1/g_m^*$ 에 비례한다. 게이트-소스간 전압이 낮은 경우, 기생성분을 소거하기 전에는 R_{gsi} 가 오버랩용량의 영향으로 $1/\kappa g_m^*$ 보다 매우 적은 값이 얻어졌지만 기생성분을 소거한 결과 R_{gsi} 는 $1/g_m^*$ 에 매우 일치하는 결과가 얻어졌다.

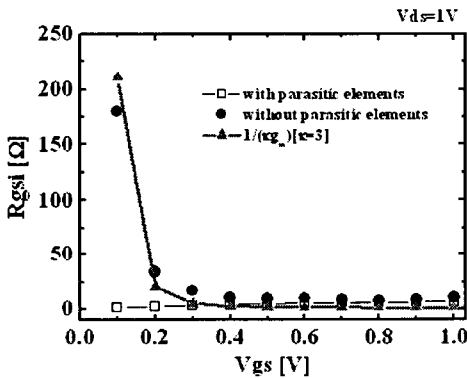


그림 3. V_{gs} 의 함수로 추출된 R_{gsi} 의 도출결과
Fig. 3. Extraction results of R_{gsi} as a function of gate bias V_{gs}

그림 4는 제시된 추출방법을 이용한 모델로부터 계산한 Y파라미터를 측정치로부터 계산한 Y-파라미터 500MHz로부터 20GHz까지 비교하였다. 그 결과 계산한 Y-파라미터가 측정치에 근접한 결과가 얻어져 본 논문에서 제시한 추출방법이 매우 유용함을 확인하였다. SOI MOSFET의 고주파 소신호 모델에서는 NQS효과에 의한 드레인전류의 지연을 고려하지 않으면 실측치와 계산치 사이에 큰 오차가 발생한다[4]. 제시된 방법에 의하여 MOSFET의 채널용량, NQS저항을 정확하고 간단히 추출함으로써 보다 정밀한 모델링이 가능하게 되어 기존의 모델보다 더 정확히 SOI MOSFET의 고주파특성을 예측할 수 있다.

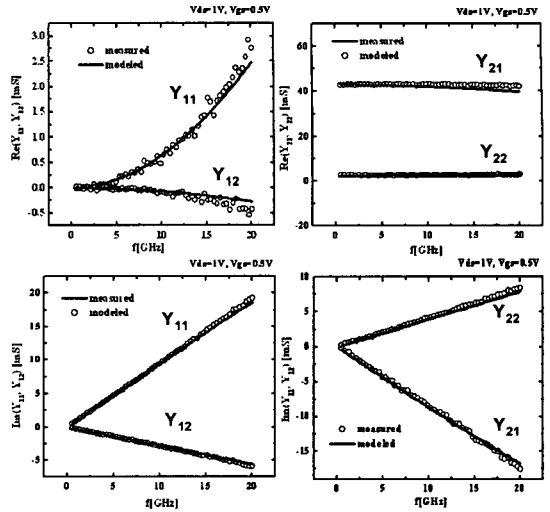


그림 4. 측정된 Y-파라미터와 모델링된 Y-파라미터와의 비교 ($W=5 \times 48$, $L=0.14\mu m$)

Fig. 4. Comparison of modeled and measured Y-parameters with $W=5 \times 48$, $L=0.14\mu m$

V. 결론

본 논문에서는 NQS 효과와 기생 성분의 영향을 고려한 FD-SOI MOSFET 소신호 모델링을 위해서 별도의 DC측정을 하거나 복잡한 소자의 물리적 특성 분석 없이 측정된 S-파라미터로부터 직접 소신호 등가회로변수를 간단히 추출하는 방법을 제시하였다. Z-행렬과 Y-행렬을 이용해, 측정된 S-파라미터로부터 MOSFET의 외부 기생소자를 분리해, 내부등가회로 변수를 추출하였다. 여기서 내부등가회로의 NQS저항은 외부기생소자를 소거함으로써 $1/g_m^*$ 에 비례하게 되어 물리적으로 타당한 값을 갖게 되었다. 또한 제시된 추출방법을 이용한 모델로부터 계산한 Y-파라미터는 500 MHz에서 20 GHz까지, 실측치와 일치하는 결과를 얻어 본 논문에서 제시한 추출방법의 타당성을 입증하였다.

참고문헌

[1] Y. Ho, K. Kim, B. A. Floyd, C. Wann, Y. Taur, I. Lagnado, and K. K. O, "4- and 13- GHz Tuned Amplifiers Implemented in a 0.1um CMOS

Technology on SOI, SOS, and Bulk Substrates," *IEEE J. Solid-State Circuits*, vol.33, no. 12, pp. 2066-2073, 1998.

저자소개

김 규 철(Guechol Kim)



2000년 2월 목포해양대학교 해양전자
통신공학과(공학사)

2003년 8월 목포해양대학교 해양전자
통신공학과(공학석사)

2007년 3월 오사카대학 전자정보에너지공학(공학박사)
2006년 11월 ~ 현재 Matsushita Electric Works 중앙
연구소 연구원

※관심분야: 고주파용 CMOS소자 모델링, 아날로그
집적회로설계

- [2] F. Ichikawa, Y. Nagatomo, Y. Katakura, M. Itoh, S. Itoh, H. Matsushashi, T. Ichimori, N. Hirashita, and S. Baba, "Fully depleted SOI process and device technology for digital and RF applications," *Solid-State Electronics*, vol. 48, pp. 999-1006, June 2004.
- [3] A. O. Adan, T. Yoshimatsu, S. Shitara, N. Tanba, and M. Fukumi, "Linearity and Low-Noise Performance of SOI MOSFETs for RF Applications," *IEEE Trans. Electron Devices*, vol. 49, no. 5, pp. 881-888, May 2002.
- [4] Y. Shimizu, G. Kim, B. Murakami, K. Ueda, Y. Utsurogi, S. Cha, T. Matsuoka, and K. Taniguchi, "Drain current response delay of FD-SOI MOSFETs in RF operation," *IEICE Electronics Express*, Vol. 1, No. 16, pp. 518-522, 2004..
- [5] Y. Tsvividis, " *Operation and Modeling of the MOS Transistor*," 2nd ed., McGraw-Hill, pp. 440-512, 1999.
- [6] J. Janssens and M. Steyaert, CMOS CELLULAR RECEIVER FRONT-ENDS(Kluwer Academic Publishers, Boston, 2002), pp. 72-75.
- [7] C. C. Enz and Y. Cheng, " MOS Transistor Modeling for RF IC," *IEEE J. Solid-State Circuits*, vol. 35, no. 2, pp. 186-201, 2000.
- [8] "New RF MOSFET Small Signal SPICE Model Part 1," A Journal for Circuit Simulation and SPICE Modeling Engineers, Silvaco, vol. 11, no. 4, Apr. 2000.
- [9] J. P. Raskin, G. Dambrine, R. Gillon, " Direct Extraction of the Series Equivalent Circuit Parameters for the Small-Signal Model of MOSFETs," *IEEE Microwave and Guided wave Letters*, Vol 7, No.12, pp. 749-751, December 1997.
- [10] F. X. Pengg, " Direct Parameter Extraction on RF-CMOS," *Proc. IEEE RFIC Symp.*, pp. 355-358, 2002.